

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザース・マニュアル

78K0/Kx2-A

8ビット・シングルチップ・マイクロコントローラ

μPD78F0590

μPD78F0591

μPD78F0592

μPD78F0593

資料番号 U19780JJ2V0UD00 (第2版)

発行年月 February 2010 NS

© NEC Electronics Corporation 2009

(メモ)

目次要約

第1章	概 説	...	17
第2章	端子機能	...	26
第3章	CPUアーキテクチャ	...	49
第4章	ポート機能	...	80
第5章	クロック発生回路	...	128
第6章	16ビット・タイマ/イベント・カウンタ00	...	172
第7章	8ビット・タイマ/イベント・カウンタ50, 51	...	251
第8章	8ビット・タイマH0, H1	...	269
第9章	リアルタイム・カウンタ	...	295
第10章	ウォッチドッグ・タイマ	...	321
第11章	クロック出力制御回路	...	328
第12章	A/Dコンバータ	...	332
第13章	オペアンプ	...	364
第14章	シリアル・インタフェースUART6	...	372
第15章	シリアル・インタフェースCSI10	...	412
第16章	シリアル・インタフェースIICA	...	433
第17章	乗除算器	...	509
第18章	割り込み機能	...	519
第19章	キー割り込み機能	...	542
第20章	スタンバイ機能	...	545
第21章	リセット機能	...	559
第22章	パワーオン・クリア回路	...	569
第23章	低電圧検出回路	...	575
第24章	オプション・バイト	...	593
第25章	フラッシュ・メモリ	...	598
第26章	オンチップ・デバッグ機能	...	621
第27章	命令セットの概要	...	624
第28章	電気的特性	...	639
第29章	外形図	...	665
第30章	ウエイトに関する注意事項	...	667
付録A	改版履歴	...	668

CMOSデバイスの一般的注意事項

- (1) 入力端子の印加波形：入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOSデバイスの入力がノイズなどに起因して、VIL (MAX.) から VIH (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、VIL (MAX.) から VIH (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。
- (2) 未使用入力の処理：CMOSデバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOSデバイスの入力が何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してVDDまたはGNDに接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。
- (3) 静電気対策：MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。
- (4) 初期化以前の状態 電源投入時、MOSデバイスの初期状態は不定です。電源投入時の端子の出力状態や出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。
- (5) 電源投入切断順序 内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。
- (6) 電源OFF時における入力信号 当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

EEPROMは、NECエレクトロニクス株式会社の登録商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

- ・本資料に記載されている内容は2010年2月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- ・文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- ・当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- ・本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- ・当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- ・当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。
 - 「標準水準」：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 「特別水準」：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器
 - 「特定水準」：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

注1. 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

注2. 本事項において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいう。

(M8E0909J)

はじめに

- 対象者** このマニュアルは、78K0/Kx2-Aマイクロコントローラの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
- 目的** このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。
- 構成** 78K0/Kx2-Aマイクロコントローラのマニュアルは、このマニュアルと命令編（78K0マイクロコントローラ共通）の2冊に分かれています。

78K0/Kx2-A ユーザーズ・マニュアル	78K/0シリーズ ユーザーズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性	

- 読み方** このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。
- 一通りの機能を理解しようとするとき
目次に従って読んでください。
 - レジスタ・フォーマットの見方
ビット番号を で囲んでいるものは、そのビット名称がRA78K0では予約語に、CC78K0では #pragma sfr指令で、sfr変数として定義されているものです。
 - 78K0マイクロコントローラの命令機能の詳細を知りたいとき
別冊の78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

- 凡例**
- データ表記の重み : 左が上位桁，右が下位桁
 - アクティブ・ロウの表記 : $\overline{x \times x}$ （端子，信号名称に上線）
 - 注 : 本文中につけた注の説明
 - 注意 : 気をつけて読んでいただきたい内容
 - 備考 : 本文の補足説明
 - 数の表記 : 2進数... $x \times x \times x$ または $x \times x \times x B$
10進数... $x \times x \times x$
16進数... $x \times x \times x H$

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
78K0/Kx2-A ユーザーズ・マニュアル	このマニュアル	U19780E
78K0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E

開発ツール（ソフトウェア）の資料

資料名	資料番号		
	和文	英文	
RA78K0 Ver.3.80 アセンブラ・パッケージ ユーザーズ・マニュアル ^{注1}	操作編	U17199J	U17199E
	言語編	U17198J	U17198E
	構造化アセンブリ言語編	U17197J	U17197E
RA78K0 Ver.4.01 使用上の留意点（文書） ^{注1}	ZUD-CD-07-0181	ZUD-CD-07-0181-E	
CC78K0 Ver.3.70 Cコンパイラ ユーザーズ・マニュアル ^{注2}	操作編	U17201J	U17201E
	言語編	U17200J	U17200E
CC78K0 Ver4.00 使用上の留意点（文書） ^{注2}	ZUD-CD-07-0103	ZUD-CD-07-0103-E	
SM+ システム・シミュレータ ユーザーズ・マニュアル	操作編	U18601J	U18601E
	ユーザ・オープン・ インタフェース編	U18212J	U18212E
ID78K0-QB Ver.2.94 統合デバッガ ユーザーズ・マニュアル	操作編	U18330J	U18330E
ID78K0-QB Ver.3.00 統合デバッガ ユーザーズ・マニュアル	操作編	U18492J	U18492E
PM plus Ver.5.20 ^{注3} ユーザーズ・マニュアル	U16934J	U16934E	
PM+ Ver.6.30 ^{注4} ユーザーズ・マニュアル	U18416J	U18416E	

注1. この資料は、RA78K0 Ver.4.01のインストール時に、ツール本体と一緒に、PCにインストールされます。

「RA78K0 Ver.4.01 使用上の留意点（文書）」に記載されていない内容に関しては、RA78K0 Ver.3.80のユーザーズ・マニュアルを参照してください。

2. この資料は、CC78K0 Ver.4.00のインストール時に、ツール本体と一緒に、PCにインストールされます。

「CC78K0 Ver4.00 使用上の留意点（文書）」に記載されていない内容に関しては、CC78K0 Ver.3.70のユーザーズ・マニュアルを参照してください。

3. PM+ Ver.5.20は、RA78K0 Ver.3.80に同梱されている統合開発環境です。

4. PM+ Ver.6.30は、RA78K0 Ver.4.01に同梱されている統合開発環境です。ソフトウェア・ツール（アセンブラ、Cコンパイラ、デバッガ、シミュレータ）の複数の異なるバージョン製品を管理することができます。

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

開発ツール（ハードウェア）の資料（ユーザズ・マニュアル）

資料名	資料番号	
	和文	英文
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	U18371E

フラッシュ・メモリ書き込み用の資料（ユーザズ・マニュアル）

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュ・メモリ・プログラマ	U18865J	U18865E
QB-Programmer プログラミングGUI 操作編	U18527J	U18527E

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 … 17

- 1.1 特 徴 … 17
- 1.2 応用分野 … 18
- 1.3 オーダ情報 … 18
- 1.4 端子接続図 (Top View) … 19
 - 1.4.1 78K0/KB2-A … 19
 - 1.4.2 78K0/KC2-A … 21
- 1.5 ブロック図 … 23
 - 1.5.1 78K0/KB2-A … 23
 - 1.5.2 78K0/KC2-A … 24
- 1.6 機能概要 … 25

第2章 端子機能 … 26

- 2.1 端子機能一覧 … 26
 - 2.1.1 78K0/KB2-A … 27
 - 2.1.2 78K0/KC2-A … 30
- 2.2 端子機能の説明 … 33
 - 2.2.1 P00-P02 (Port 0) … 33
 - 2.2.2 P10-P13 (Port 1) … 34
 - 2.2.3 P20-P27 (Port 2) … 35
 - 2.2.4 P31-P35 (Port 3) … 36
 - 2.2.5 P40-P42 (Port 4) … 37
 - 2.2.6 P60, P61 (Port 6) … 38
 - 2.2.7 P70-P75 (Port 7) … 39
 - 2.2.8 P80-P83 (Port 8) … 40
 - 2.2.9 P120-P124 (Port 12) … 41
 - 2.2.10 AV_{REF} , AV_{REFM} , AV_{REFP} , AV_{DD} , AV_{SS} , V_{DD} , V_{SS} … 42
 - 2.2.11 RESET … 43
 - 2.2.12 REGC … 43
 - 2.2.13 FLMD0 … 43
- 2.3 端子の入出力回路と未使用端子の処理 … 44

第3章 CPUアーキテクチャ … 49

- 3.1 メモリ空間 … 49
 - 3.1.1 内部プログラム・メモリ空間 … 52
 - 3.1.2 内部データ・メモリ空間 … 54
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 … 54
 - 3.1.4 データ・メモリ・アドレッシング … 55
- 3.2 プロセッサ・レジスタ … 58
 - 3.2.1 制御レジスタ … 58

- 3.2.2 汎用レジスタ … 61
- 3.2.3 特殊機能レジスタ (SFR : Special Function Register) … 63
- 3.3 **命令アドレスのアドレッシング** … 68
 - 3.3.1 レラティブ・アドレッシング … 68
 - 3.3.2 イミディエト・アドレッシング … 69
 - 3.3.3 テーブル・インダイレクト・アドレッシング … 70
 - 3.3.4 レジスタ・アドレッシング … 70
- 3.4 **オペランド・アドレスのアドレッシング** … 71
 - 3.4.1 インプライド・アドレッシング … 71
 - 3.4.2 レジスタ・アドレッシング … 72
 - 3.4.3 ダイレクト・アドレッシング … 73
 - 3.4.4 ショート・ダイレクト・アドレッシング … 74
 - 3.4.5 特殊機能レジスタ (SFR) アドレッシング … 75
 - 3.4.6 レジスタ・インダイレクト・アドレッシング … 76
 - 3.4.7 ベースト・アドレッシング … 77
 - 3.4.8 ベースト・インデクスト・アドレッシング … 78
 - 3.4.9 スタック・アドレッシング … 79

第4章 ポート機能 … 80

- 4.1 **ポートの機能** … 80
- 4.2 **ポートの構成** … 83
 - 4.2.1 ポート0 … 84
 - 4.2.2 ポート1 … 86
 - 4.2.3 ポート2 … 92
 - 4.2.4 ポート3 … 98
 - 4.2.5 ポート4 … 101
 - 4.2.6 ポート6 … 103
 - 4.2.7 ポート7 … 105
 - 4.2.8 ポート8 … 106
 - 4.2.9 ポート12 … 110
- 4.3 **ポート機能を制御するレジスタ** … 114
- 4.4 **ポート機能の動作** … 120
 - 4.4.1 入出力ポートへの書き込み … 120
 - 4.4.2 入出力ポートからの読み出し … 121
 - 4.4.3 入出力ポートでの演算 … 121
- 4.5 **兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定** … 121
- 4.6 **ポート・レジスタ n (P_n) に対する1ビット・メモリ操作命令に関する注意事項** … 127

第5章 クロック発生回路 … 128

- 5.1 **クロック発生回路の機能** … 128
- 5.2 **クロック発生回路の構成** … 129
- 5.3 **クロック発生回路を制御するレジスタ** … 132
- 5.4 **システム・クロック発振回路** … 142
 - 5.4.1 X1発振回路 … 142
 - 5.4.2 XT1発振回路 … 142
 - 5.4.3 サブシステム・クロックを使用しない場合 … 145
 - 5.4.4 高速内蔵発振回路 … 145

- 5.4.5 低速内蔵発振回路 … 145
- 5.4.6 プリスケーラ … 145
- 5.5 **クロック発生回路の動作** … 146
- 5.6 **クロックの制御** … 150
 - 5.6.1 高速システム・クロックの制御例 … 150
 - 5.6.2 高速内蔵発振クロックの制御例 … 153
 - 5.6.3 サブシステム・クロックの制御例 … 156
 - 5.6.4 低速内蔵発振クロックの制御例 … 158
 - 5.6.5 CPUクロック, 周辺ハードウェア・クロックへの供給クロック … 159
 - 5.6.6 CPUクロック状態移行図 … 160
 - 5.6.7 CPUクロックの移行前の条件と移行後の処理 … 166
 - 5.6.8 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間 … 168
 - 5.6.9 クロック発振停止前の条件 … 170
 - 5.6.10 周辺ハードウェアとソース・クロック … 171

第6章 16ビット・タイマ/イベント・カウンタ00 … 172

- 6.1 16ビット・タイマ/イベント・カウンタ00の機能 … 172
- 6.2 16ビット・タイマ/イベント・カウンタ00の構成 … 173
- 6.3 16ビット・タイマ/イベント・カウンタ00を制御するレジスタ … 179
- 6.4 16ビット・タイマ/イベント・カウンタ00の動作 … 189
 - 6.4.1 インターバル・タイマとしての動作 … 189
 - 6.4.2 方形波出力としての動作 … 192
 - 6.4.3 外部イベント・カウンタとしての動作 … 196
 - 6.4.4 TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作 … 200
 - 6.4.5 フリー・ランニング・タイマとしての動作 … 216
 - 6.4.6 PPG出力としての動作 … 226
 - 6.4.7 ワンショット・パルス出力としての動作 … 230
 - 6.4.8 パルス幅測定としての動作 … 235
- 6.5 TM00の特殊な使用方法 … 244
 - 6.5.1 CR010のTM00動作中の書き換え … 244
 - 6.5.2 LVS00, LVR00の設定について … 244
- 6.6 16ビット・タイマ/イベント・カウンタ00の注意事項 … 246

第7章 8ビット・タイマ/イベント・カウンタ50, 51 … 251

- 7.1 8ビット・タイマ/イベント・カウンタ50, 51の機能 … 251
- 7.2 8ビット・タイマ/イベント・カウンタ50, 51の構成 … 251
- 7.3 8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ … 254
- 7.4 8ビット・タイマ/イベント・カウンタ50, 51の動作 … 260
 - 7.4.1 インターバル・タイマとしての動作 … 260
 - 7.4.2 外部イベント・カウンタとしての動作 … 262
 - 7.4.3 方形波出力としての動作 … 263
 - 7.4.4 PWM出力としての動作 … 264
- 7.5 8ビット・タイマ/イベント・カウンタ50, 51の注意事項 … 268

第8章 8ビット・タイマH0, H1 … 269

- 8.1 8ビット・タイマH0, H1の機能 … 269

- 8.2 8ビット・タイマH0, H1の構成 … 269
- 8.3 8ビット・タイマH0, H1を制御するレジスタ … 273
- 8.4 8ビット・タイマH0, H1の動作 … 279
 - 8.4.1 インターバル・タイマ / 方形波出力としての動作 … 279
 - 8.4.2 PWM出力としての動作 … 282
 - 8.4.3 キャリア・ジェネレータとしての動作 (8ビット・タイマH1のみ) … 288

第9章 リアルタイム・カウンタ … 295

- 9.1 リアルタイム・カウンタの機能 … 295
- 9.2 リアルタイム・カウンタの構成 … 296
- 9.3 リアルタイム・カウンタを制御するレジスタ … 298
- 9.4 リアルタイム・カウンタの動作 … 311
 - 9.4.1 リアルタイム・カウンタの動作開始 … 311
 - 9.4.2 リアルタイム・カウンタのカウント読み出し / 書き込み … 312
 - 9.4.3 リアルタイム・カウンタのアラーム設定 … 314
 - 9.4.4 リアルタイム・カウンタの1 Hz出力 … 315
 - 9.4.5 リアルタイム・カウンタの32.768 kHz出力 … 315
 - 9.4.6 リアルタイム・カウンタの512 Hz, 16.384 kHz出力 … 315
 - 9.4.7 リアルタイム・カウンタの時計誤差補正例 … 316

第10章 ウォッチドッグ・タイマ … 321

- 10.1 ウォッチドッグ・タイマの機能 … 321
- 10.2 ウォッチドッグ・タイマの構成 … 322
- 10.3 ウォッチドッグ・タイマを制御するレジスタ … 323
- 10.4 ウォッチドッグ・タイマの動作 … 324
 - 10.4.1 ウォッチドッグ・タイマの動作制御 … 324
 - 10.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定 … 325
 - 10.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定 … 326

第11章 クロック出力制御回路 … 328

- 11.1 クロック出力制御回路の機能 … 328
- 11.2 クロック出力制御回路の構成 … 329
- 11.3 クロック出力制御回路を制御するレジスタ … 329
- 11.4 クロック出力制御回路の動作 … 331
 - 11.4.1 クロック出力としての動作 … 331

第12章 A/Dコンバータ … 332

- 12.1 A/Dコンバータの機能 … 332
- 12.2 A/Dコンバータの構成 … 334
- 12.3 A/Dコンバータで使用するレジスタ … 336
- 12.4 A/Dコンバータの動作 … 348
 - 12.4.1 A/Dコンバータの基本動作 … 348
 - 12.4.2 入力電圧と変換結果 … 350
 - 12.4.3 A/Dコンバータの動作モード … 351
- 12.5 A/Dコンバータ特性表の読み方 … 357

12.6 A/Dコンバータの注意事項 … 360

第13章 オペアンプ … 364

- 13.1 オペアンプの機能 … 364
- 13.2 オペアンプの構成 … 364
- 13.3 オペアンプで使用するレジスタ … 366
- 13.4 オペアンプの動作 … 371

第14章 シリアル・インタフェースUART6 … 372

- 14.1 シリアル・インタフェースUART6の機能 … 372
- 14.2 シリアル・インタフェースUART6の構成 … 377
- 14.3 シリアル・インタフェースUART6を制御するレジスタ … 380
- 14.4 シリアル・インタフェースUART6の動作 … 390
 - 14.4.1 動作停止モード … 390
 - 14.4.2 アシクロナス・シリアル・インタフェース (UART) モード … 391
 - 14.4.3 専用ポー・レート・ジェネレータ … 405
 - 14.4.4 ポー・レートの算出 … 406

第15章 シリアル・インタフェースCSI10 … 412

- 15.1 シリアル・インタフェースCSI10の機能 … 412
- 15.2 シリアル・インタフェースCSI10の構成 … 413
- 15.3 シリアル・インタフェースCSI10を制御するレジスタ … 415
- 15.4 シリアル・インタフェースCSI10の動作 … 421
 - 15.4.1 動作停止モード … 421
 - 15.4.2 3線式シリアルI/Oモード … 422

第16章 シリアル・インタフェースIICA … 433

- 16.1 シリアル・インタフェースIICAの機能 … 433
- 16.2 シリアル・インタフェースIICAの構成 … 436
- 16.3 シリアル・インタフェースIICAを制御するレジスタ … 438
- 16.4 I²Cバス・モードの機能 … 451
 - 16.4.1 端子構成 … 451
 - 16.4.2 IICWL, IICWHレジスタによる転送クロック設定方法 … 452
- 16.5 I²Cバスの定義および制御方法 … 453
 - 16.5.1 スタート・コンディション … 453
 - 16.5.2 アドレス … 454
 - 16.5.3 転送方向指定 … 454
 - 16.5.4 アクノリッジ (ACK) … 455
 - 16.5.5 ストップ・コンディション … 456
 - 16.5.6 ウエイト … 457
 - 16.5.7 ウエイト解除方法 … 459
 - 16.5.8 割り込み要求 (INTIICA0) 発生タイミングおよびウエイト制御 … 460
 - 16.5.9 アドレスの一致検出方法 … 461
 - 16.5.10 エラーの検出 … 461
 - 16.5.11 拡張コード … 462

- 16. 5. 12 アービトレーション … 463
- 16. 5. 13 ウエイクアップ機能 … 464
- 16. 5. 14 通信予約 … 468
- 16. 5. 15 その他の注意事項 … 472
- 16. 5. 16 通信動作 … 473
- 16. 5. 17 I²C割り込み要求 (INTIICA0) の発生タイミング … 481
- 16. 6 タイミング・チャート … 502

第17章 乗除算器 … 509

- 17. 1 乗除算器の機能 … 509
- 17. 2 乗除算器の構成 … 509
- 17. 3 乗除算器を制御するレジスタ … 514
- 17. 4 乗除算器の動作 … 515
 - 17. 4. 1 乗算動作 … 515
 - 17. 4. 2 除算動作 … 517

第18章 割り込み機能 … 519

- 18. 1 割り込み機能の種類 … 519
- 18. 2 割り込み要因と構成 … 519
- 18. 3 割り込み機能を制御するレジスタ … 523
- 18. 4 割り込み処理動作 … 535
 - 18. 4. 1 マスカブル割り込み要求の受け付け動作 … 535
 - 18. 4. 2 ソフトウェア割り込み要求の受け付け動作 … 538
 - 18. 4. 3 多重割り込み処理 … 538
 - 18. 4. 4 割り込み要求の保留 … 541

第19章 キー割り込み機能 … 542

- 19. 1 キー割り込みの機能 … 542
- 19. 2 キー割り込みの構成 … 543
- 19. 3 キー割り込みを制御するレジスタ … 544

第20章 スタンバイ機能 … 545

- 20. 1 スタンバイ機能と構成 … 545
 - 20. 1. 1 スタンバイ機能 … 545
 - 20. 1. 2 スタンバイ機能を制御するレジスタ … 546
- 20. 2 スタンバイ機能の動作 … 548
 - 20. 2. 1 HALTモード … 548
 - 20. 2. 2 STOPモード … 553

第21章 リセット機能 … 559

- 21. 1 リセット要因を確認するレジスタ … 568

第22章 パワーオン・クリア回路 … 569

- 22.1 パワーオン・クリア回路の機能 … 569
- 22.2 パワーオン・クリア回路の構成 … 570
- 22.3 パワーオン・クリア回路の動作 … 570
- 22.4 パワーオン・クリア回路の注意事項 … 573

第23章 低電圧検出回路 … 575

- 23.1 低電圧検出回路の機能 … 575
- 23.2 低電圧検出回路の構成 … 576
- 23.3 低電圧検出回路を制御するレジスタ … 576
- 23.4 低電圧検出回路の動作 … 579
 - 23.4.1 リセットとして使用時の設定 … 580
 - 23.4.2 割り込みとして使用時の設定 … 585
- 23.5 低電圧検出回路の注意事項 … 590

第24章 オプション・バイト … 593

- 24.1 オプション・バイトの機能 … 593
- 24.2 オプション・バイトのフォーマット … 594

第25章 フラッシュ・メモリ … 598

- 25.1 メモリ・サイズ切り替えレジスタ … 598
- 25.2 フラッシュ・メモリ・プログラムによる書き込み方法 … 599
- 25.3 プログラミング環境 … 599
- 25.4 通信方式 … 600
- 25.5 オンボード上の端子処理 … 601
 - 25.5.1 FLMD0端子 … 602
 - 25.5.2 シリアル・インタフェース端子 … 602
 - 25.5.3 RESET端子 … 603
 - 25.5.4 ポート端子 … 604
 - 25.5.5 REGC端子 … 604
 - 25.5.6 その他の信号端子 … 604
 - 25.5.7 電 源 … 605
- 25.6 プログラミング方法 … 605
 - 25.6.1 フラッシュ・メモリ制御 … 605
 - 25.6.2 フラッシュ・メモリ・プログラミング・モード … 606
 - 25.6.3 通信方式の選択 … 607
 - 25.6.4 通信コマンド … 607
- 25.7 セキュリティ設定 … 609
- 25.8 セルフ書き込みによるフラッシュ・メモリ・プログラミング … 611
 - 25.8.1 ブート・スワップ機能 … 619

第26章 オンチップ・デバッグ機能 … 621

- 26.1 QB-MINI2と78K0/Kx2-Aマイクロコントローラの接続 … 621

26.2 QB-MINI2が使用する予約領域 … 623

第27章 命令セットの概要 … 624

27.1 凡 例 … 625

27.1.1 オペランドの表現形式と記述方法 … 625

27.1.2 オペレーション欄の説明 … 626

27.1.3 フラグ動作欄の説明 … 626

27.2 オペレーション一覧 … 627

27.3 アドレッシング別命令一覧 … 635

第28章 電気的特性 … 639

第29章 外形図 … 665

29.1 78K0/KB2-A … 665

29.2 78K0/KC2-A … 666

第30章 ウェイトに関する注意事項 … 667

30.1 ウェイトに関する注意事項 … 667

30.2 ウェイトが発生する周辺ハードウェア … 667

付録A 改版履歴 … 668

A.1 本版で改訂された主な箇所 … 668

第1章 概 説

1.1 特 徴

高速(0.1 μ s : 高速システム・クロック20 MHz動作時)から超低速(122 μ s : サブシステム・クロック32.768 kHz動作時^{注1})まで最小命令実行時間を変更可能

汎用レジスタ : 8ビット×32レジスタ(8ビット×8レジスタ×4バンク)

ROM(フラッシュ・メモリ), RAM容量

プログラム・メモリ (ROM) ^{注2}	データ・メモリ (RAM)	78K0/KB2-A	78K0/KC2-A
		30ピン	48ピン
16 Kバイト	1 Kバイト	μ PD78F0590	μ PD78F0592
32 Kバイト		μ PD78F0591	μ PD78F0593

単電源のフラッシュ・メモリ内蔵(チップ消去/ブロック消去/書き込み禁止機能あり)

セルフ・プログラミング内蔵(ブート・スワップ機能あり)

オンチップ・デバッグ機能内蔵

パワーオン・クリア(POC)回路, 低電圧検出(LVI)回路内蔵

ウォッチドッグ・タイマ内蔵(低速内蔵発振クロックで動作可能)

乗除算器(16ビット×16ビット, 32ビット÷16ビット)

キー割り込み機能: 6チャンネル(78K0/KC2-Aのみ)

クロック出力制御回路内蔵(78K0/KC2-Aのみ)

I/Oポート

- ・78K0/KB2-A : 22本(N-chオープン・ドレーン : 2本)
- ・78K0/KC2-A : 40本(N-chオープン・ドレーン : 2本)

12ビット分解能A/Dコンバータ

- ・78K0/KB2-A : 10チャンネル
- ・78K0/KC2-A : 12チャンネル

オペアンプ : 3チャンネル

タイマ

品 名	項 目	16ビット・タイマ / イベント・ カウンタ	8ビット・タイマ / イベント・ カウンタ	8ビット・タイマ	ウォッチドッ グ・タイマ	リアルタイム・ カウンタ
78K0/KB2-A		1チャンネル	2チャンネル	2チャンネル	1チャンネル	-
78K0/KC2-A						1チャンネル

注1. 78K0/KB2-Aには, サブシステム・クロックはありません。

- メモリ・サイズ切り替えレジスタ(IMS)により, 内部フラッシュ・メモリ容量の変更可能です。IMSについては, 25.1 **メモリ・サイズ切り替えレジスタ**を参照してください。

シリアル・インタフェース

品 名 \ 項 目	LIN-bus対応UART	3線式CSI	I ² C
78K0/KB2-A	1チャンネル	1チャンネル	1チャンネル
78K0/KC2-A		1チャンネル ^注	

注 3線式CSIをスレーブ・モードとして使用する場合、イネーブル制御が可能です。

電源電圧：V_{DD} = 1.8 ~ 5.5 V

動作周囲温度：T_A = - 40 ~ + 85

1.2 応用分野

- ・AV機器
- ・家電製品
- ・産業機器
- ・アミューズメント機器

1.3 オーダ情報

- ・フラッシュ・メモリ製品（鉛フリー製品）

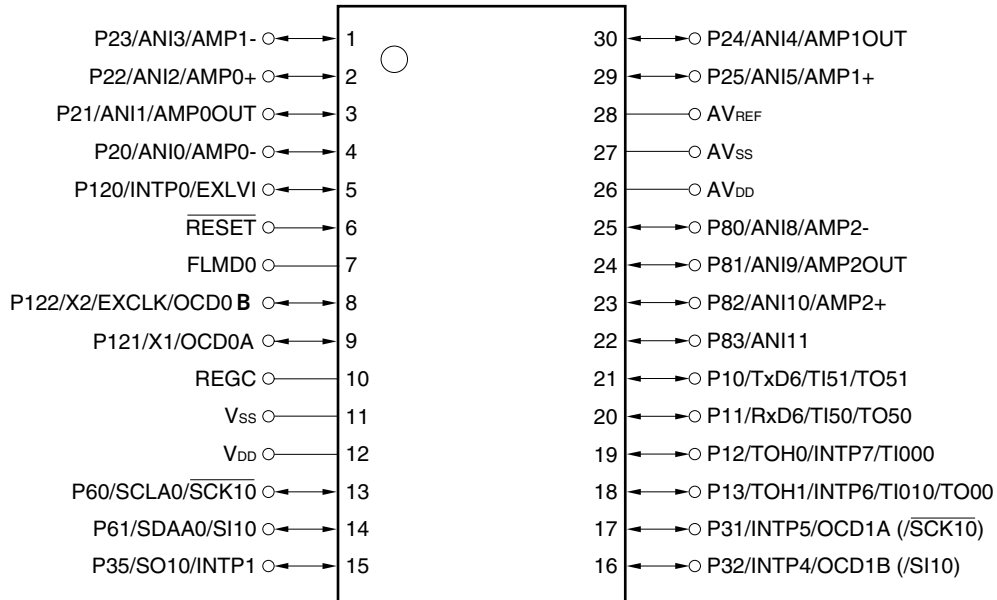
78K0/Kx2-A マイクロ コントローラ	パッケージ	オーダ名称
78K0/KB2-A	30ピン・プラスチックSSOP (7.62 mm (300))	μ PD78F0590MC-CAB-AX, 78F0591MC-CAB-AX
78K0/KC2-A	48ピン・プラスチックLQFP(ファインピッチ) (7x7)	μ PD78F0592GA-GAM-AX, 78F0593GA-GAM-AX

注意 78K0/Kx2-Aマイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

1.4 端子接続図 (Top View)

1.4.1 78K0/KB2-A

・ 30ピン・プラスチックSSOP (7.62 mm (300))



注意1. AV_{SS}はV_{SS}と同電位にしてください。

2. REGCはコンデンサ (0.47 ~ 1 μF : 推奨) を介し, V_{SS}に接続してください。

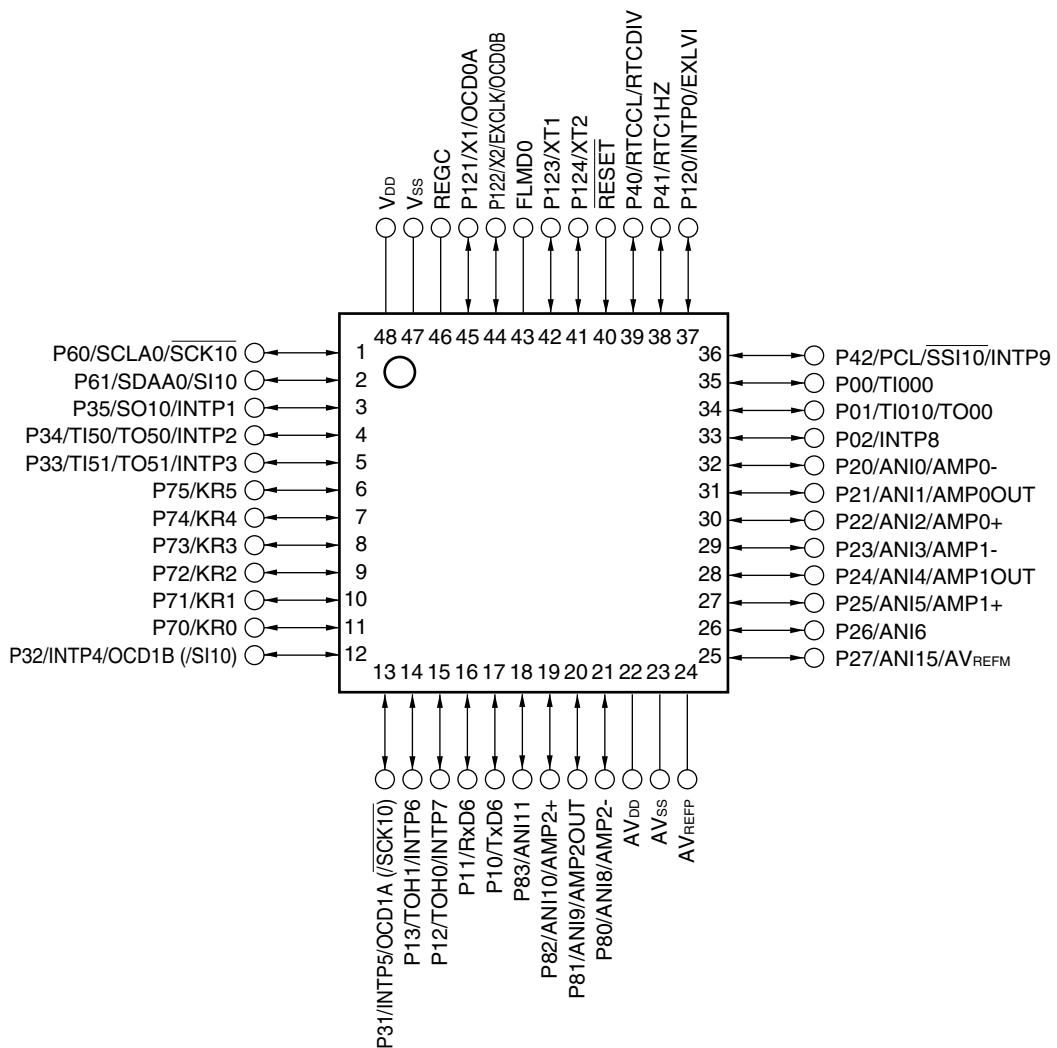
備考 ()内の機能は, 入力切り替え制御レジスタ (ISC) のビット2 (ISC2) を1に設定することにより, 割り当てられます。ISC2 = 0の場合, シリアル・インタフェースCSI10はスレーブ送受信のみ可能です。

端子名称

AMP0- -AMP2-:	Amplifier Input Minus	P80-P83:	Port 8
AMP0+ -AMP2+:	Amplifier Input Plus	P120-P122:	Port 12
AMP0OUT-AMP2OUT:	Amplifier Output	REGC:	Regulator Capacitance
ANI0-ANI5, ANI8-ANI11:	Analog Input	<u>RESET</u> :	Reset
AVDD:	Analog Power Supply	<u>RxD6</u> :	Receive Data
AVREF:	Analog Reference Voltage	<u>SCK10</u> :	Serial Clock Input/Output
AVSS:	Analog Ground	SCLA0:	Serial Clock Input/Output
EXCLK:	External Clock Input (Main System Clock)	SDAA0:	Serial Data Input/Output
EXLVI:	External potential Input for Low-voltage detector	SI10:	Serial Data Input
FLMD0:	Flash Programming Mode	SO10:	Serial Data Output
INTP0, INTP1, INTP4-INTP7:	External Interrupt Input	TI000, TI010, TI50, TI51:	Timer Input
OCD0A, OCD0B, OCD1A, OCD1B:	On Chip Debug Input/Output	TO00, TO50, TO51, TOH0, TOH1:	Timer Output
P10-P13:	Port 1	TxD6:	Transmit Data
P20-P25:	Port 2	V _{DD} :	Power Supply
P31, P32, P35:	Port 3	V _{SS} :	Ground
P60, P61:	Port 6	X1, X2:	Crystal Oscillator (Main System Clock)

1.4.2 78K0/KC2-A

・48ピン・プラスチックLQFP（ファインピッチ）（7x7）



注意1. AV_{SS}はV_{SS}と同電位にしてください。

2. REGCはコンデンサ（0.47～1 μF：推奨）を介し、V_{SS}に接続してください。

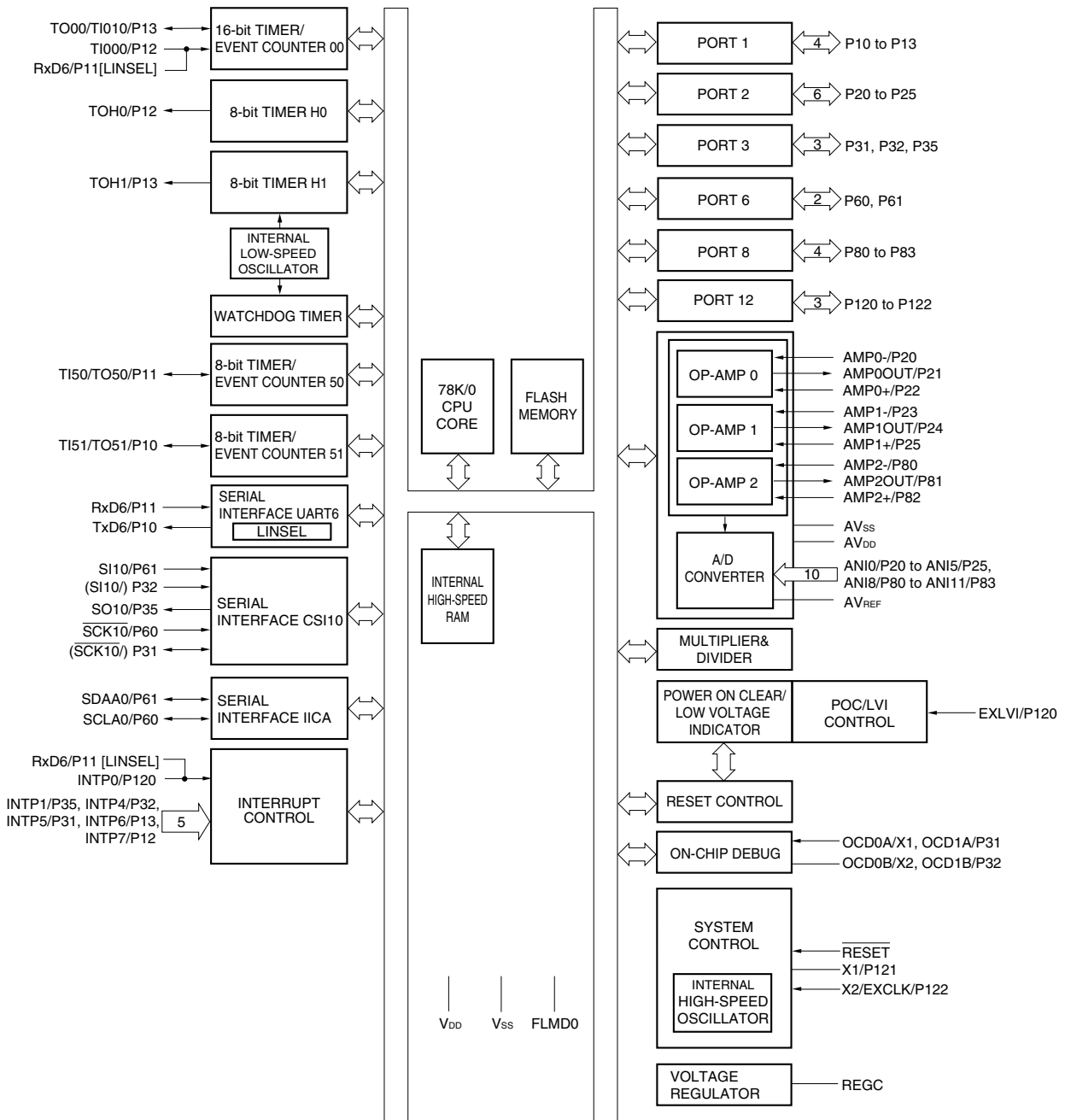
備考 ()内の機能は、入力切り替え制御レジスタ(ISC)のビット2(ISC2)を1に設定することにより、割り当てられます。ISC2 = 0の場合、シリアル・インタフェースCSI10はスレーブ送受信のみ可能です。

端子名称

AMP0- -AMP2-:	Amplifier Input Minus	PCL:	Programmable Clock Output
AMP0+ -AMP2+:	Amplifier Input Plus	REGC:	Regulator Capacitance
AMP0OUT-AMP2OUT:	Amplifier Output	$\overline{\text{RESET}}$:	Reset
ANI0-ANI6,		RTC1HZ :	Real-time Counter Correction
ANI8-ANI11, ANI15:	Analog Input		Clock (1 Hz) Output
AVDD:	Analog Power Supply	RTCCL :	Real-time Counter Clock
AVREFM:	Analog Reference Voltage		(32 kHz Original Oscillation) Output
	Minus	RTCDIV :	Real-time Counter Clock
AVREFP:	Analog Reference Voltage Plus		(32 kHz Divided Frequency) Output
AVss:	Analog Ground	RxD6:	Receive Data
EXCLK:	External Clock Input	$\overline{\text{SCK10}}$:	Serial Clock Input/Output
	(Main System Clock)	SCLA0:	Serial Clock Input/Output
EXLVI:	External potential Input	SDAA0:	Serial Data Input/Output
	for Low-voltage detector	SI10:	Serial Data Input
FLMD0:	Flash Programming Mode	SO10:	Serial Data Output
INTP0-INTP9:	External Interrupt Input	$\overline{\text{SSI10}}$:	Serial Interface Chip Select Input
KR0-KR5:	Key Return	TI000, TI010,	
OCD0A, OCD0B,		TI50, TI51:	Timer Input
OCD1A, OCD1B:	On Chip Debug Input/Output	TO00, TO50, TO51,	
P00-P02:	Port 0	TOH0, TOH1:	Timer Output
P10-P13:	Port 1	TxD6:	Transmit Data
P20-P27:	Port 2	VDD:	Power Supply
P31-P35:	Port 3	Vss:	Ground
P40-P42:	Port 4	X1, X2:	Crystal Oscillator (Main
P60, P61:	Port 6		System Clock)
P70-P75:	Port 7	XT1, XT2:	Crystal Oscillator (Subsystem
P80-P83:	Port 8		Clock)
P120-P124:	Port 12		

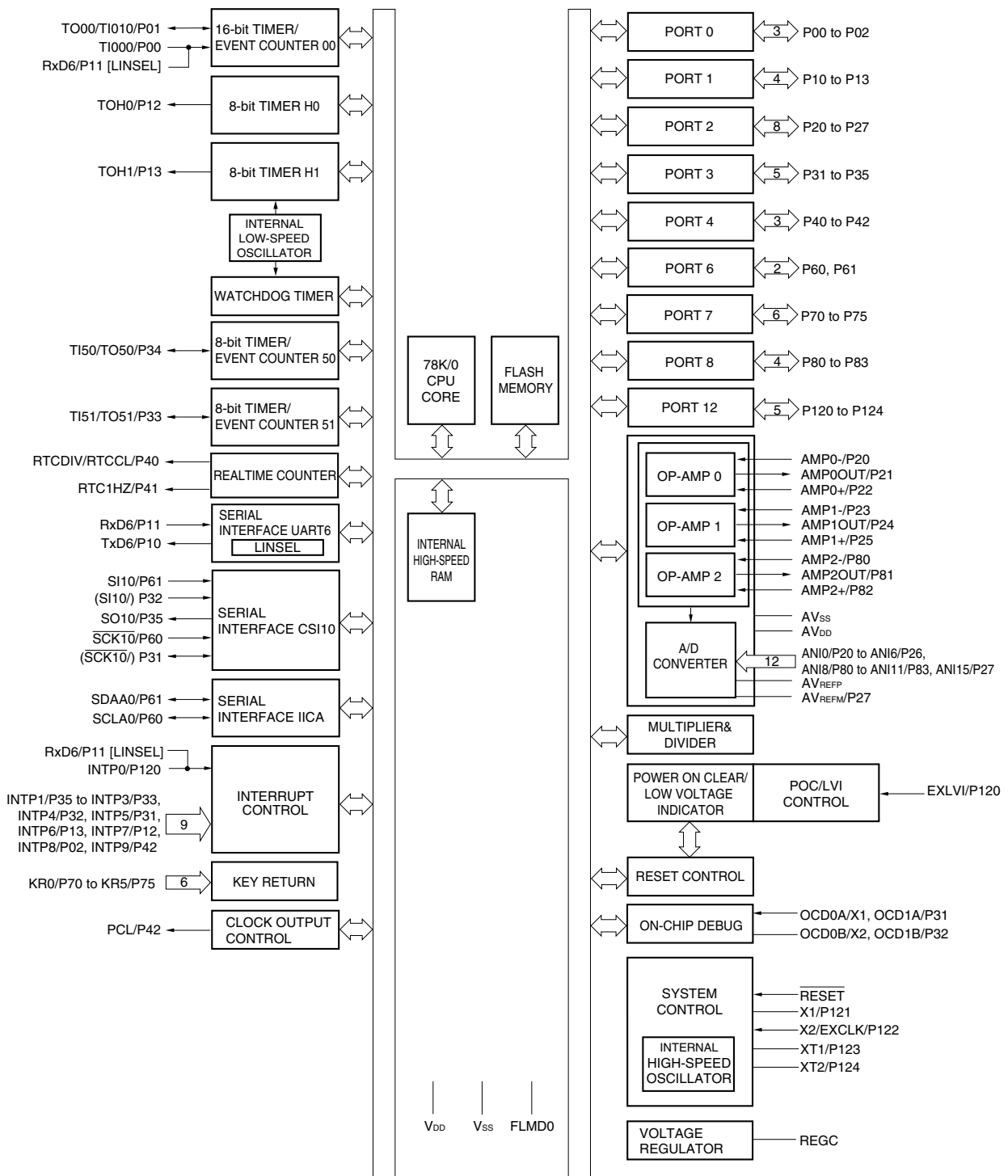
1.5 ブロック図

1.5.1 78K0/KB2-A



備考 ()内の機能は、入力切り替え制御レジスタ(ISC)のビット2(ISC2)を1に設定することにより、割り当てられます。ISC2 = 0の場合、シリアル・インタフェースCSI10はスレーブ送受信のみ可能です。

1.5.2 78K0/KC2-A



備考 ()内の機能は、入力切り替え制御レジスタ(ISC)のビット2(ISC2)を1に設定することにより、割り当てられます。ISC2 = 0の場合、シリアル・インタフェースCSI10はスレーブ送受信のみ可能です。

1.6 機能概要

項 目		製 品			
		78K0/KB2-A		78K0/KC2-A	
		μ PD78F0590	μ PD78F0591	μ PD78F0592	μ PD78F0593
		30ピン		48ピン	
内部メモリ	フラッシュ・メモリ（セルフ・プログラミング対応）	16 Kバイト	32 Kバイト	16 Kバイト	32 Kバイト
	高速RAM	1 Kバイト			
電源電圧		$V_{DD} = 1.8 \sim 5.5$ V			
レギュレータ		内蔵			
最小命令実行時間		0.1 μ s (20 MHz動作時: $V_{DD} = 2.7 \sim 5.5$ V) / 0.4 μ s (5 MHz動作時: $V_{DD} = 1.8 \sim 5.5$ V)			
クロック	メイン	高速システム (水晶/セラミック発振, 外部クロック入力)			
		1 ~ 20 MHz: $V_{DD} = 2.7 \sim 5.5$ V / 1 ~ 5 MHz: $V_{DD} = 1.8 \sim 5.5$ V			
	高速内蔵発振クロック		8 MHz (TYP.): $V_{DD} = 1.8 \sim 5.5$ V		
	サブ (水晶発振)		-	32.768 kHz (TYP.): $V_{DD} = 1.8 \sim 5.5$ V	
低速内蔵発振		240 kHz (TYP.): $V_{DD} = 1.8 \sim 5.5$ V			
汎用レジスタ		8ビット \times 32レジスタ (8ビット \times 8レジスタ \times 4バンク)			
ポート	合計	22本		40本	
	CMOS入出力	20本		38本	
	N-ch入出力	2本		2本	
タイマ	16ビット (TM0)	1チャンネル (PPG出力: 1本, キャプチャ入力: 2本)			
	8ビット (TM5)	2チャンネル (PWM出力: 2本)			
	8ビット (TMH)	2チャンネル (PWM出力: 2本)			
	ウォッチドッグ (WDT)	1チャンネル			
	リアルタイム・カウンタ	-	1チャンネル (RTC出力: 2本)		
クロック出力		-		1本	
インターフェース	シリアル	3線式CSI	1チャンネル ^{注1}	1チャンネル ^{注1, 2}	
	シリアル	LIN-bus対応UART	1チャンネル		
	シリアル	I ² C	1チャンネル		
12ビットA/Dコンバータ		10チャンネル		12チャンネル	
オペアンプ		3チャンネル			
ベクタ	外部	6		11	
割り込み	内部	14		16	
キー割り込み		-		6	
リセット	RESET端子	あり			
	POC	1.59 V \pm 0.15 V			
	LVI	電源電圧の検出レベルを選択可能			
	WDT	あり			
乗除算器		あり			
オンチップ・デバッグ機能					
動作周囲温度		$T_A = -40 \sim +85$			
パッケージ		30ピン・プラスチックSSOP (7.62 mm (300))		48ピン・プラスチックLQFP (ファインピッチ) (7 \times 7)	

注1. 3線式CSIをマスタとして使用する場合は、入力切り替え制御レジスタ (ISC) のビット2 (ISC2) を1に設定し、SCK10, SI10をP31, P32に割り当ててください。詳細は、第15章 シリアル・インタフェースCSI10を参照してください。

2. 3線式CSIをスレーブ・モードとして使用する場合、イネーブル制御が可能です。

第2章 端子機能

2.1 端子機能一覧

端子の入出力バッファ電源には、 AV_{DD} 、 V_{DD} の2系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電 源	対応する端子	
	78K0/KB2-A	78K0/KC2-A
AV_{DD}	P20-P25, P80-P83	P20-P27, P80-83
V_{DD}	P20-P25, P80-P83以外の端子	P20-P27, P80-83以外の端子

2.1.1 78K0/KB2-A

(1) ポート機能 : 78K0/KB2-A

機能名称	入出力	機能	リセット時	兼用機能
P10	入出力	ポート1。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TxD6/TI51/TO51
P11				RxD6/TI50/TO50
P12				TOH0/INTP7/TI000
P13				TOH1/INTP6/TI010 /TO00
P20	入出力	ポート2。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル入力 ポート	ANI0/AMP0-
P21				ANI1/AMP0OUT
P22				ANI2/AMP0+
P23				ANI3/AMP1-
P24				ANI4/AMP1OUT
P25				ANI5/AMP1+
P31	入出力	ポート3。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP5/OCD1A (/SCK10)
P32				INTP4/OCD1B (/SI10)
P35				SO10/INTP1
P60	入出力	ポート6。 2ビット入出力ポート。 出力はN-chオープン・ドレイン出力(6V耐圧)。 1ビット単位で入力/出力の指定可能。	入力ポート	SCLA0/SCK10
P61				SDAA0/SI10
P80	入出力	ポート8。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル入力 ポート	ANI8/AMP2-
P81				ANI9/AMP2OUT
P82				ANI10/AMP2+
P83				ANI11
P120	入出力	ポート12。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121				X1/OCD0A
P122				X2/EXCLK/OCD0B

備考 ()内の機能は、入力切り替え制御レジスタ(ISC)のビット2(ISC2)を1に設定することにより、割り当てられます。

(2) ポート以外の機能 (1/2) : 78K0/KB2-A

機能名称	入出力	機 能	リセット時	兼用機能
AMP0-	入力	オペアンプ入力 (- 側)	デジタル入力 ポート	ANI0/P20
AMP1-				ANI3/P23
AMP2-				ANI8/P80
AMP0+	入力	オペアンプ入力 (+ 側)	デジタル入力 ポート	ANI2/P22
AMP1+				ANI5/P25
AMP2+				ANI10/P82
AMP0OUT	入力	オペアンプ出力	デジタル入力 ポート	ANI1/P21
AMP1OUT				ANI4/P24
AMP2OUT				ANI9/P81
ANI0	入力	A/Dコンバータのアナログ入力	デジタル入力 ポート	AMP0-/P20
ANI1				AMP0OUT/P21
ANI2				AMP0+/P22
ANI3				AMP1-/P23
ANI4				AMP1OUT/P24
ANI5				AMP1+/P25
ANI8				AMP2-/P80
ANI9				AMP2OUT/P81
ANI10				AMP2+/P82
ANI11				P83
AVREF				入力
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み	-	-
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P35/SO10
INTP4				P32/OCD1B (/SI10)
INTP5				P31/OCD1A (/SCK10)
INTP6				P13/TOH1/TI010/ TO00
INTP7				P12/TOH0/TI000
REGC	-	内部動作用レギュレータ出力 (2.5 V) 安定容量接続。 コンデンサ (0.47 ~ 1 μF : 推奨) を介し, V _{SS} に接続してください。	-	-
RESET	入力	システム・リセット入力	-	-
RxD6	入力	UART6のシリアル・データ入力	入力ポート	P11/TI50/TO50
SCK10	入出力	CSI10のクロック入出力	入力ポート	P60/SCLA0
(SCK10)				P31/OCD1A
SCLA0	入出力	I ² Cのクロック入出力	入力ポート	P60/SCK10
SDAA0	入出力	I ² Cのシリアル・データ入出力	入力ポート	P61/SI10
SI10	入力	CSI10のシリアル・データ入力	入力ポート	P61/SDAA0
(SI10)				P32/OCD1B
SO10	出力	CSI10のシリアル・データ出力	入力ポート	P35/INTP1

備考 () 内の機能は, 入力切り替え制御レジスタ (ISC) のビット2 (ISC2) を1に設定することにより, 割り当てられます。

(2) ポート以外の機能 (2/2) : 78K0/KB2-A

機能名称	入出力	機能	リセット時	兼用機能
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力。 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ入力。	入力ポート	P12/TOH0/INTP7
TI010	入力	16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ入力	入力ポート	P13/TOH1/INTP6/ TO00
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力	入力ポート	P11/TO50/RxD6
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力		P10/TO51/TxD6
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P13/TOH1/TI010/ INTP6
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力ポート	P11/TI50/RxD6
TO51		8ビット・タイマ/イベント・カウンタ51出力		P10/TI51/TxD6
TOH0	出力	8ビット・タイマH0出力	入力ポート	P12/TI000/INTP7
TOH1		8ビット・タイマH1出力		P13/TI010/TO00/ INTP6
TxD6	出力	UART6のシリアル・データ出力	入力ポート	P10/TI51/TO51
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121/OCD0A
X2	-		入力ポート	P122/EXCLK/ OCD0B
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/OCD0B
V _{DD}	-	P20-P25, P80-P83, A/Dコンバータ, オペアンプ以外の正電源	-	-
AV _{DD}	-	P20-P25, P80-P83, A/Dコンバータ, オペアンプの正電源	-	-
V _{SS}	-	P20-P25, P80-P83, A/Dコンバータ, オペアンプ以外のグラウンド電位	-	-
AV _{SS}	-	P20-P25, P80-P83, A/Dコンバータ, オペアンプのグラウンド電位。V _{SS} と同電位にしてください。	-	-
OCD0A	入力	オンチップ・デバッグ・モード引き込み用接続	入力ポート	P121/X1
OCD1A				P31/INTP5 (/SCK10)
OCD0B	入出力			P122/X2/EXCLK
OCD1B				P32/INTP4 (/SI10)

備考 () 内の機能は, 入力切り替え制御レジスタ (ISC) のビット2 (ISC2) を1に設定することにより, 割り当てられます。

2.1.2 78K0/KC2-A

(1) ポート機能：78K0/KC2-A

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 3ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI000
P01				TI010/TO00
P02				INTP8
P10	入出力	ポート1。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TxD6
P11				RxD6
P12				TOH0/INTP7
P13				TOH1/INTP6
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル入力 ポート	ANI0/AMP0-
P21				ANI1/AMP0OUT
P22				ANI2/AMP0+
P23				ANI3/AMP1-
P24				ANI4/AMP1OUT
P25				ANI5/AMP1+
P26				ANI6
P27				ANI15/AV _{REFM}
P31				入出力
P32	INTP4/OCD1B (/SI10)			
P33	TI51/TO51/INTP3			
P34	TI50/TO50/INTP2			
P35	SO10/INTP1			
P40	入出力	ポート4。 3ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	RTCCL/RTC DIV
P41				RTC1HZ
P42				PCL/SSI10/INTP9
P60	入出力	ポート6。 2ビット入出力ポート。 出力はN-chオープン・ドレイン出力(6V耐圧)。 1ビット単位で入力 / 出力の指定可能。	入力ポート	SCLA0/SCK10
P61				SDAA0/SI10
P70-P75	入出力	ポート7。 6ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	KR0-KR5
P80	入出力	ポート8。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル入力 ポート	ANI8/AMP2-
P81				ANI9/AMP2OUT
P82				ANI10/AMP2+
P83				ANI11
P120	入出力	ポート12。 5ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121				X1/OCD0A
P122				X2/EXCLK/OCD0B
P123				XT1
P124				XT2

備考 ()内の機能は、入力切り替え制御レジスタ(ISC)のビット2(ISC2)を1に設定することにより、割り当てられます。

(2) ポート以外の機能 (1/2) : 78K0/KC2-A

機能名称	入出力	機能	リセット時	兼用機能			
AMP0-	入力	オペアンプ入力 (- 側)	デジタル入 力ポート	ANI0/P20			
AMP1-				ANI3/P23			
AMP2-				ANI8/P80			
AMP0+	入力	オペアンプ入力 (+ 側)	デジタル入 力ポート	ANI2/P22			
AMP1+				ANI5/P25			
AMP2+				ANI10/P82			
AMP0OUT	入力	オペアンプ出力	デジタル入 力ポート	ANI1/P21			
AMP1OUT				ANI4/P24			
AMP2OUT				ANI9/P81			
ANI0	入力	A/Dコンバータのアナログ入力	デジタル入 力ポート	AMP0-/P20			
ANI1				AMP0OUT/P21			
ANI2				AMP0+/P22			
ANI3				AMP1-/P23			
ANI4				AMP1OUT/P24			
ANI5				AMP1+/P25			
ANI6				P26			
ANI8				AMP2-/P80			
ANI9				AMP2OUT/P81			
ANI10				AMP2+/P82			
ANI11				P83			
ANI15				AV _{REFM} /P27			
AV _{REFM}				入力	A/Dコンバータのアナログ基準電圧入力 (- 側)	デジタル入 力ポート	ANI15/P27
AV _{REFP}				入力	A/Dコンバータのアナログ基準電圧入力 (+ 側)	アナログ入 力	-
EXLVI				入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み	-	-			
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち 下がりの両エッジ) 指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI			
INTP1				P35/SO10			
INTP2				P34/TI50/TO50			
INTP3				P33/TI51/TO51			
INTP4				P32/OC1B (/SI10)			
INTP5				P31/OC1A (/SCK10)			
INTP6				P13/TOH1			
INTP7				P12/TOH0			
INTP8				P02			
INTP9				P42/PCL/SSI10			
KR0-KR5	入力	キー割り込み入力	入力ポート	P70-P75			
PCL	出力	クロック出力 (高速システム・クロック, サブシステム・クロ ックのトリミング用)	入力ポート	P42/SSI10/INTP9			
REGC	-	内部動作レギュレータ出力 (2.5V) 安定容量接続。 コンデンサ (0.47 ~ 1 μF : 推奨) を介し, V _{SS} に接続してくださ い。	-	-			
RESET	入力	システム・リセット入力	-	-			
RTC1HZ	出力	リアルタイム・カウンタ補正クロック (1 Hz) 出力	入力ポート	P41			
RTCCCL	出力	リアルタイム・カウンタ・クロック (32 kHz原発) 出力	入力ポート	P40/RTCDIV			
RTCDIV	出力	リアルタイム・カウンタ・クロック (32 kHz分周) 出力	入力ポート	P40/RTCCCL			

備考 () 内の機能は, 入力切り替え制御レジスタ (ISC) のビット2 (ISC2) を1に設定することにより, 割り当
てられます。

(2) ポート以外の機能 (2/2) : 78K0/KC2-A

機能名称	入出力	機能	リセット時	兼用機能
RxD6	入力	UART6のシリアル・データ入力	入力ポート	P11
$\overline{\text{SCK10}}$ (SCK10)	入出力	CSI10のクロック入出力	入力ポート	P60/SCLA0 P31/INTP5
SCLA0	入出力	I ² Cのクロック入出力	入力ポート	P60/ $\overline{\text{SCK10}}$
SDAA0	入出力	I ² Cのシリアル・データ入出力	入力ポート	P61/SI10
SI10 (SI10)	入力	CSI10のシリアル・データ入力	入力ポート	P61/SDAA0 P32/INTP4
SO10	出力	CSI10のシリアル・データ出力	入力ポート	P35/INTP1
$\overline{\text{SSI10}}$	入力	CSI10のチップ・セレクト入力	入力ポート	P42/PCL/INTP9
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力。 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ入力。	入力ポート	P00
TI010	入力	16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ入力	入力ポート	P01/TO00
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力	入力ポート	P34/TO50/INTP2
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力		P33/TO51/INTP3
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P01/TI010
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力ポート	P34/TI50/INTP2
TO51		8ビット・タイマ/イベント・カウンタ51出力		P33/TI51/INTP3
TOH0	出力	8ビット・タイマH0出力	入力ポート	P12/INTP7
TOH1		8ビット・タイマH1出力		P13/INTP6
TxD6	出力	UART6のシリアル・データ出力	入力ポート	P10
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121/OC0A
X2	-		入力ポート	P122/EXCLK/ OC0B
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/OC0B
XT1	-	サブシステム・クロック用発振子接続	入力ポート	P123
XT2	-		入力ポート	P124
V _{DD}	-	P20-P27, P80-P83, A/Dコンバータ, オペアンプ以外の正電源	-	-
AV _{DD}	-	P20-P27, P80-P83, A/Dコンバータ, オペアンプの正電源	-	-
V _{SS}	-	P20-P27, P80-P83, A/Dコンバータ, オペアンプ以外のグラウンド電位	-	-
AV _{SS}	-	P20-P27, P80-P83, A/Dコンバータ, オペアンプのグラウンド電位。V _{SS} と同電位にしてください。	-	-
OC0A	入力	オンチップ・デバッグ・モード引き込み用接続	入力ポート	P121/X1
OC01A				P31/INTP5 (/ $\overline{\text{SCK10}}$)
OC00B	入出力			P122/X2/EXCLK
OC01B				P32/INTP4 (/SI10)

備考 ()内の機能は, 入力切り替え制御レジスタ (ISC) のビット2 (ISC2) を1に設定することにより, 割り当てられます。

2.2 端子機能の説明

備考 製品により、搭載している端子が異なります。1.4 端子接続図 (Top View) , 2.1 端子機能一覧を参照してください。

2.2.1 P00-P02 (Port 0)

入出力ポートです。入出力ポートのほかに外部割り込み要求入力、タイマの入出力機能があります。

78K0/KB2-A	78K0/KC2-A
-	P00/TI000
	P01/TI010/TO00
	P02/INTP8

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、タイマの入出力として機能します。

(a) INTP8

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) TI000

16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ信号入力端子です。

(c) TI010

16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ信号入力端子です。

(d) TO00

16ビット・タイマ/イベント・カウンタ00のタイマ出力端子です。

2.2.2 P10-P13 (Port 1)

入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、シリアル・インタフェースのデータ入出力、タイマの入出力機能があります。

78K0/KB2-A	78K0/KC2-A
P10/TxD6/TI51/TO51	P10/TxD6
P11/RxD6/TI50/TO50	P11/RxD6
P12/TOH0/INTP7/TI000	P12/TOH0/INTP7
P13/TOH1/INTP6/TI010/TO00	P13/TOH1/INTP6

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、シリアル・インタフェースのデータ入出力、タイマの入出力として機能します。

(a) INTP6, INTP7

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) RxD6

シリアル・インタフェースUART6のシリアル・データ入力端子です。

(c) TxD6

シリアル・インタフェースUART6のシリアル・データ出力端子です。

(d) TOH0, TOH1

8ビット・タイマH0, H1のタイマ出力端子です。

(e) TI50, TI51

8ビット・タイマ/イベント・カウンタ50, 51への外部カウント・クロック入力端子です。

(f) TO50, TO51

8ビット・タイマ/イベント・カウンタ50, 51のタイマ出力端子です。

(g) TI000

16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ信号入力端子です。

(h) TI010

16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ信号入力端子です。

(i) TO00

16ビット・タイマ/イベント・カウンタ00のタイマ出力端子です。

2.2.3 P20-P27 (Port 2)

入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力, アナログ基準電圧入力, オペアンプ入出力機能があります。

78K0/KB2-A	78K0/KC2-A
P20/ANI0/AMP0-	
P21/ANI1/AMP0OUT	
P22/ANI2/AMP0+	
P23/ANI3/AMP1-	
P24/ANI4/AMP1OUT	
P25/ANI5/AMP1+	
-	P26/ANI6
-	P27/ANI15/AV _{REFM}

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力, アナログ基準電圧入力, オペアンプ入出力として機能します。

(a) ANI0-ANI6, ANI15

A/Dコンバータのアナログ入力端子です。アナログ入力端子として使用する場合, 12.6 A/Dコンバータの注意事項 (5) ANI0-ANI6, ANI8-ANI11, ANI15を参照してください。

(b) AV_{REFM}

A/Dコンバータの - 側のアナログ基準電圧入力端子です。

(c) AMP0-, AMP1-

オペアンプ0, 1の - 側の入力端子です。

(d) AMP0+, AMP1+

オペアンプ0, 1の + 側の入力端子です。

(e) AMP0OUT, AMP1OUT

オペアンプ0, 1の出力端子です。

2.2.4 P31-P35 (Port 3)

入出力ポートです。入出力ポートのほかに外部割り込み要求入力, タイマ入出力, シリアル・インタフェースのデータ入出力, クロック入出力機能があります。

78K0/KB2-A	78K0/KC2-A
P31/INTP5/OCD1A (/SCK10)	
P32/INTP4/OCD1B (/SI10)	
-	P33/TI51/TO51/INTP3
-	P34/TI50/TO50/INTP2
P35/SO10/INTP1	

備考 ()内の機能は, 入力切り替え制御レジスタ (ISC) のビット2 (ISC2) を1に設定することにより, 割り当てられます。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により, 内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力, シリアル・インタフェースのデータ入出力, クロック入出力, タイマの入出力として機能します。

(a) INTP1-INTP5

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) SI10

シリアル・インタフェースCSI10のシリアル・データ入力端子です。

(c) SCK10

シリアル・インタフェースCSI10のシリアル・クロック入出力端子です。

(d) SO10

シリアル・インタフェースCSI10のシリアル・データ出力端子です。

(e) TI50, TI51

8ビット・タイマ/イベント・カウンタ50, 51への外部カウント・クロック入力端子です。

(f) TO50, TO51

8ビット・タイマ/イベント・カウンタ50, 51のタイマ出力端子です。

注意 P31/INTP5/OCD1A ($\overline{\text{SCK10}}$)端子が、フラッシュ・メモリ・プログラマ接続時およびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください。

		P31/INTP5/OCD1A ($\overline{\text{SCK10}}$)
フラッシュ・メモリ・プログラマ接続		抵抗を介してVssに接続してください。
オンチップ・デバッグ・エミュレータ接続 (ただし、オンチップ・デバッグ・モード引き込み用端子として使用しない場合)	リセット時	入力時：抵抗を介して、VDDまたはVssに接続してください。 出力時：オープンにしてください。
	リセット解除時	

備考 P31, P32は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD1A, OCD1B) として使用できます。オンチップ・デバッグ・エミュレータ (QB-MINI2) との接続については、第26章 **オンチップ・デバッグ機能**を参照してください。

2.2.5 P40-P42 (Port 4)

入出力ポートです。入出力ポートのほかに外部割り込み要求入力、クロック出力、リアルタイム・カウンタ・クロック出力、シリアル・インタフェースのチップ・セレクト入力機能があります。

78K0/KB2-A	78K0/KC2-A
-	P40/RTCCL/RTCDIV
	P41/RTC1HZ
	P42/PCL/SSI10/INTP9

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、クロック出力、リアルタイム・カウンタ・クロック出力、シリアル・インタフェースのチップ・セレクト入力として機能します。

(a) INTP9

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(b) PCL

クロック出力端子です。

(c) RTCDIV

リアルタイム・カウンタ・クロック（32 kHz分周）出力端子です。

(d) RTCCL

リアルタイム・カウンタ・クロック（32 kHz原発）出力端子です。

(e) RTC1HZ

リアルタイム・カウンタの補正クロック（1 Hz分周）出力端子です。

(f) $\overline{\text{SSI10}}$

シリアル・インタフェースCSI10のチップ・セレクト入力端子です。

2.2.6 P60, P61 (Port 6)

入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力，クロック入出力機能があります。

78K0/KB2-A	78K0/KC2-A
P60/SCLA0/SCK10	
P61/SDAA0/SI10	

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。

出力はN-chオープン・ドレイン出力（6 V耐圧）になっています。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力，クロック入出力として機能します。

(a) SI10

シリアル・インタフェースCSI10のシリアル・データ入力端子です。

(b) SCK10

シリアル・インタフェースCSI10のシリアル・クロック入出力端子です。

(c) SDAA0

シリアル・インタフェースIICAのシリアル・データ入出力端子です。

(d) SCLA0

シリアル・インタフェースIICAのシリアル・クロック入出力端子です。

2.2.7 P70-P75 (Port 7)

入出力ポートです。入出力ポートのほかにキー割り込み入力機能があります。

78K0/KB2-A	78K0/KC2-A
-	P70/KR0
	P71/KR1
	P72/KR2
	P73/KR3
	P74/KR4
	P75/KR5

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ7 (PU7) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

キー割り込み入力端子として機能します。

(a) KR0-KR5

キー割り込み入力端子です。

2.2.8 P80-P83 (Port 8)

入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力,オペアンプ入出力機能があります。

78K0/KB2-A	78K0/KC2-A
P80/ANI8/AMP2-	
P81/ANI9/AMP2OUT	
P82/ANI10/AMP2+	
P83/ANI11	

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ8 (PM8) の設定により,1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力,オペアンプ入出力として機能します。

(a) ANI8-ANI11

A/Dコンバータのアナログ入力端子です。アナログ入力端子として使用する場合,12.6 A/Dコンバータの注意事項 (5) ANI0-ANI6, ANI8-ANI11, ANI15を参照してください。

(b) AMP2-

オペアンプ2の - 側の入力端子です。

(c) AMP2+

オペアンプ2の + 側の入力端子です。

(d) AMP2OUT

オペアンプ2の出力端子です。

2.2.9 P120-P124 (Port 12)

入出力ポートです。入出力ポートのほかに外部割り込み要求入力，外部低電圧検出用電位入力，メイン・システム・クロック用発振子接続，サブシステム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力機能があります。

78K0/KB2-A	78K0/KC2-A
P120/INTP0/EXLVI	
P121/X1/OCDOA	
P122/X2/OCDOB	
-	P123/XT1
-	P124/XT2

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ12 (PM12) の設定により，入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12 (PU12) の設定により，P120のみ内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力，外部低電圧検出用電位入力，メイン・システム・クロック用発振子接続，サブシステム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力として機能します。

(a) INTP0

有効エッジ (立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力 (INTP0) として機能します。

(b) EXLVI

外部低電圧検出用電位入力端子です。

(c) X1, X2

メイン・システム・クロック用発振子接続端子です。

(d) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

(e) XT1, XT2

サブシステム・クロック用発振子接続端子です。

注意 P121/X1/OCD0A端子が、フラッシュ・メモリ・プログラマ接続時およびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください。

		P121/X1/OCD0A
フラッシュ・メモリ・プログラマ接続		オープン、または抵抗を介してV _{SS} に接続してください。
オンチップ・デバッグ・エミュレータ接続(ただし、オンチップ・デバッグ・モード引き込み用端子として使用しない場合)	リセット時	入力時：抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
	リセット解除時	

備考 X1, X2は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子(OCD0A, OCD0B)として使用できます。オンチップ・デバッグ・エミュレータ(QB-MINI2)との接続については、第26章 **オンチップ・デバッグ機能**を参照してください。

2.2.10 AVREF, AVREFM, AVREFP, AVDD, AVSS, VDD, VSS

78K0/KB2-A	78K0/KC2-A
AVREF	AVREFM/ANI15/P27 AVREFP
AVDD	
AVSS	
VDD	
VSS	

(a) AVREF

A/Dコンバータのアナログ基準電圧入力端子です。

(b) AVREFM

A/Dコンバータの - 側のアナログ基準電圧入力端子です。

(c) AVREFP

A/Dコンバータの + 側のアナログ基準電圧入力端子です。

(d) AVDD

P20-P27, P80-P83, A/Dコンバータ, オペアンプの正電源供給端子です。

A/Dコンバータまたはオペアンプを使用しない場合は、V_{DD}に直接接続してください^注。

注 ポート2, 8をデジタル・ポートとして使用する場合は、V_{DD}と同電位にしてください。

(e) AV_{SS}

P20-P27, P80-P83, A/Dコンバータ, オペアンプのグラウンド電位端子です。A/Dコンバータまたはオペアンプを使用しないときでも, 常にV_{SS}と同電位で使用してください。

(f) V_{DD}

V_{DD}は, P20-P27, P80-P83, A/Dコンバータ, オペアンプ以外の正電源供給端子です。

(g) V_{SS}

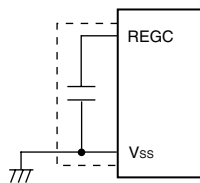
V_{SS}は, P20-P27, P80-P83, A/Dコンバータ, オペアンプ以外のグラウンド電位端子です。

2.2.11 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.12 REGC

内部動作レギュレータ出力 (2.5 V) 安定容量接続端子です。コンデンサ (0.47 ~ 1 μ F : 推奨) を介し, V_{SS} に接続してください。



注意 上図の破線部分の配線を極力短くしてください。

2.2.13 FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

通常動作モード時には, FLMD0をV_{SS}に接続してください。

フラッシュ・メモリ・プログラミング・モード時には, フラッシュ・メモリ・プログラマと接続してください。

2.3 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2 - 2に示します。

また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

備考 製品により、搭載している端子が異なります。1.5 端子接続図 (Top View) , 2.1 端子機能一覧を参照してください。

表2 - 2 各端子の入出力回路タイプ (1/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/TI000	5-AQ	入出力	入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P01/TI010/TO00			
P02/INTP8			
P10/TxD6 ^注			
P11/RxD6 ^注			
P12/TOH0/INTP7 ^注			
P13/TOH1/INTP6 ^注			
P20/ANI0/AMP0-	11-P		< デジタル入力設定時およびアナログ入力設定時 > 個別に抵抗を介して、 AV_{DD} または AV_{SS} に接続してください。 < デジタル出力設定時 > オープンにしてください。
P21/ANI1/AMP0OUT	11-S		
P22/ANI2/AMP0+	11-N		
P23/ANI3/AMP1-	11-P		
P24/ANI4/AMP1OUT	11-S		
P25/ANI5/AMP1+	11-N		
P26/ANI6	11-G		
P27/ANI15/AV _{REFM}	11-T		

注 78K0/KB2-A : P10/TxD6/TI51/TO51, P11/RxD6/TI50/TO50, P12/TOH0/INTP7/TI000, P13/TOH1/INTP6/TI010/TO00
78K0/KC2-A : P10/TxD6, P11/RxD6, P12/TOH0/INTP7, P13/TOH1/INTP6

表2-2 各端子の入出力回路タイプ (2/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P31/INTP5/OCD1A (/SCK10) ^{注1}	5-AQ	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P32/INTP4/OCD1B (/SI10)			
P33/TI51/TO51/INTP3			
P34/TI50/TO50/INTP2			
P35/SO10/INTP1			
P40/RTCCL/RTCDIV	5-AG		
P41/RTC1HZ			
P42/PCL/SSI10/INTP9	5-AQ		
P60/SCLA0/SCK10	13-AI		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続、またはV _{SS} に直接接続してください。 出力時：ポートの出カラッチに0を設定してロウ・レベル出力でオープンにしてください。
P61/SDAA0/SI10			
P70/KR0-P75/KR5	5-AQ		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P80/ANI8/AMP2-	11-P		<デジタル入力設定時およびアナログ入力設定時> 個別に抵抗を介して、AV _{DD} またはAV _{SS} に接続してください。 <デジタル出力設定時> オープンにしてください。
P81/ANI9/AMP2OUT	11-S		
P82/ANI10/AMP2+	11-N		
P83/ANI11	11-G		
P120/INTP0/EXLVI	5-AQ		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P121/X1/OCD0A ^{注1, 2}	37		
P122/X2/EXCLK/OCD0B ^{注2}			
P123/XT1 ^{注2}			
P124/XT2 ^{注2}			
AV _{REFP}	-	-	AV _{DD} またはV _{DD} と同電位にしてください。 ^{注3}

注1. P31/INTP5/OCD1A (/SCK10) 端子とP121/X1/OCD0A端子が、フラッシュ・メモリ・プログラマ接続時およびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください。

	P31/INTP5/OCD1A (/SCK10)	P121/X1/OCD0A
フラッシュ・メモリ・プログラマ接続	抵抗を介してV _{SS} に接続してください。	オープン、または抵抗を介してV _{SS} に接続してください。
オンチップ・デバッグ・エミュレータ接続(ただし、オンチップ・デバッグ・モード引き込み用端子として使用しない場合)	リセット時	
	リセット解除時	入力時：抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。

- 未使用時は、入出力ポート・モード (6.3 (1) クロック動作モード選択レジスタ (OSCCTL), (3) サブシステム・クロック端子の動作モードの設定方法を参照) で上記の推奨接続方法を行ってください。
- ポート2をデジタル・ポートとして使用する場合は、V_{DD}と同電位にしてください。

備考 ()内の機能は、入力切り替え制御レジスタ (ISC) のビット2 (ISC2) を1に設定することにより、割り当てられます。

表2 - 2 各端子の入出力回路タイプ (3/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
AV _{DD}	-	-	< P20-P27, P80-P83のうち, 1本でもデジタル・ポートとして設定時 > V _{DD} と同電位にしてください。 < P20-P27, P80-P83をすべてアナログ・ポートとして設定時 > AV _{REFP} V _{DD} となる電位にしてください。
AV _{SS}	-	-	V _{SS} と同電位にしてください。
FLMD0	38-A	-	V _{SS} に接続してください。 ^注
RESET	2	入力	V _{DD} に直接接続または抵抗を介して接続してください。

注 FLMD0は, フラッシュ・メモリにデータを書き込むときに使用する端子です。オンボードでフラッシュ・メモリのデータを書き換える場合, またはオンチップ・デバッグを行う場合は, 抵抗 (10 k : 推奨) を介して, V_{SS}に接続してください。

図2 - 1 端子の入出力回路一覧 (1/2)

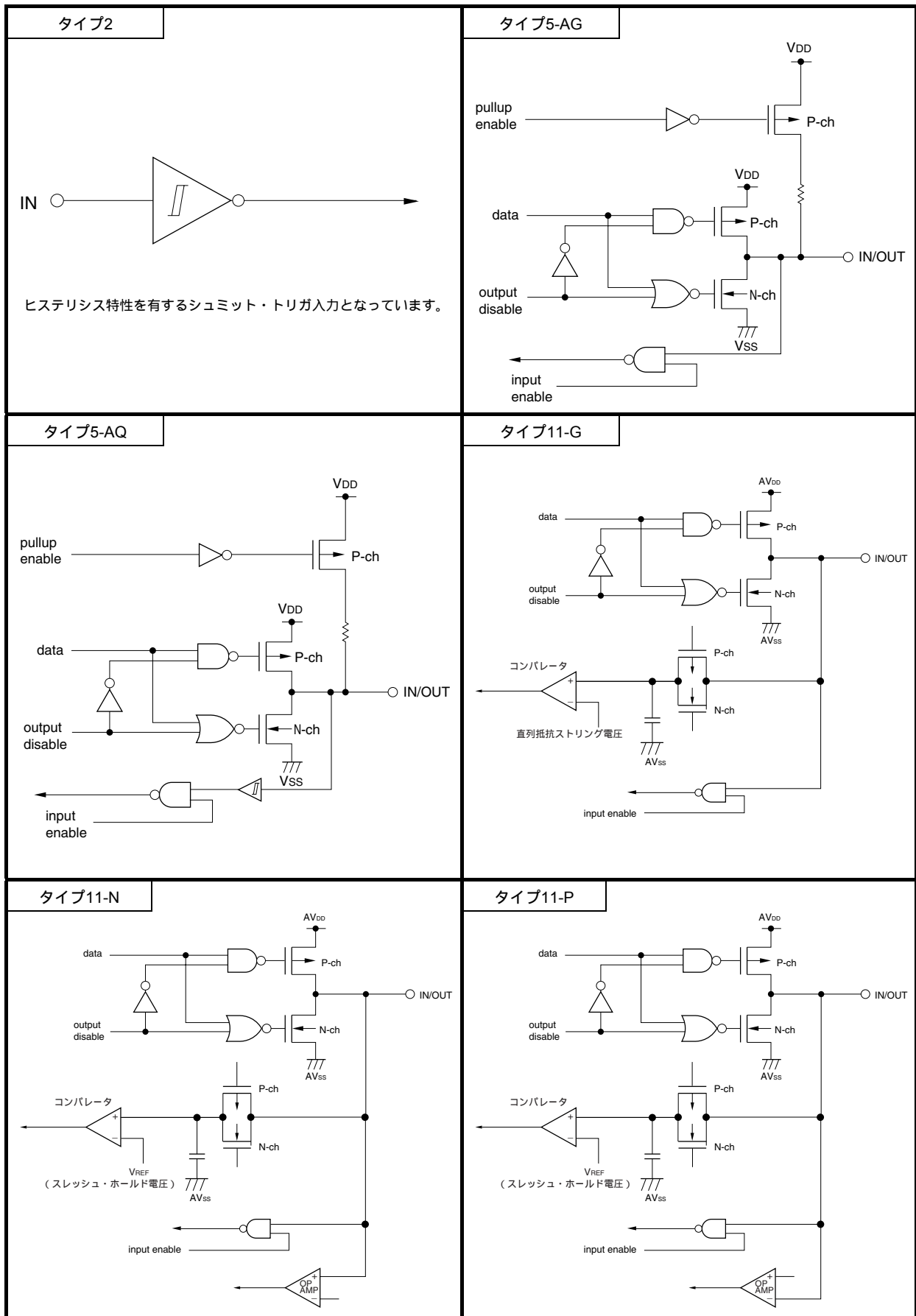
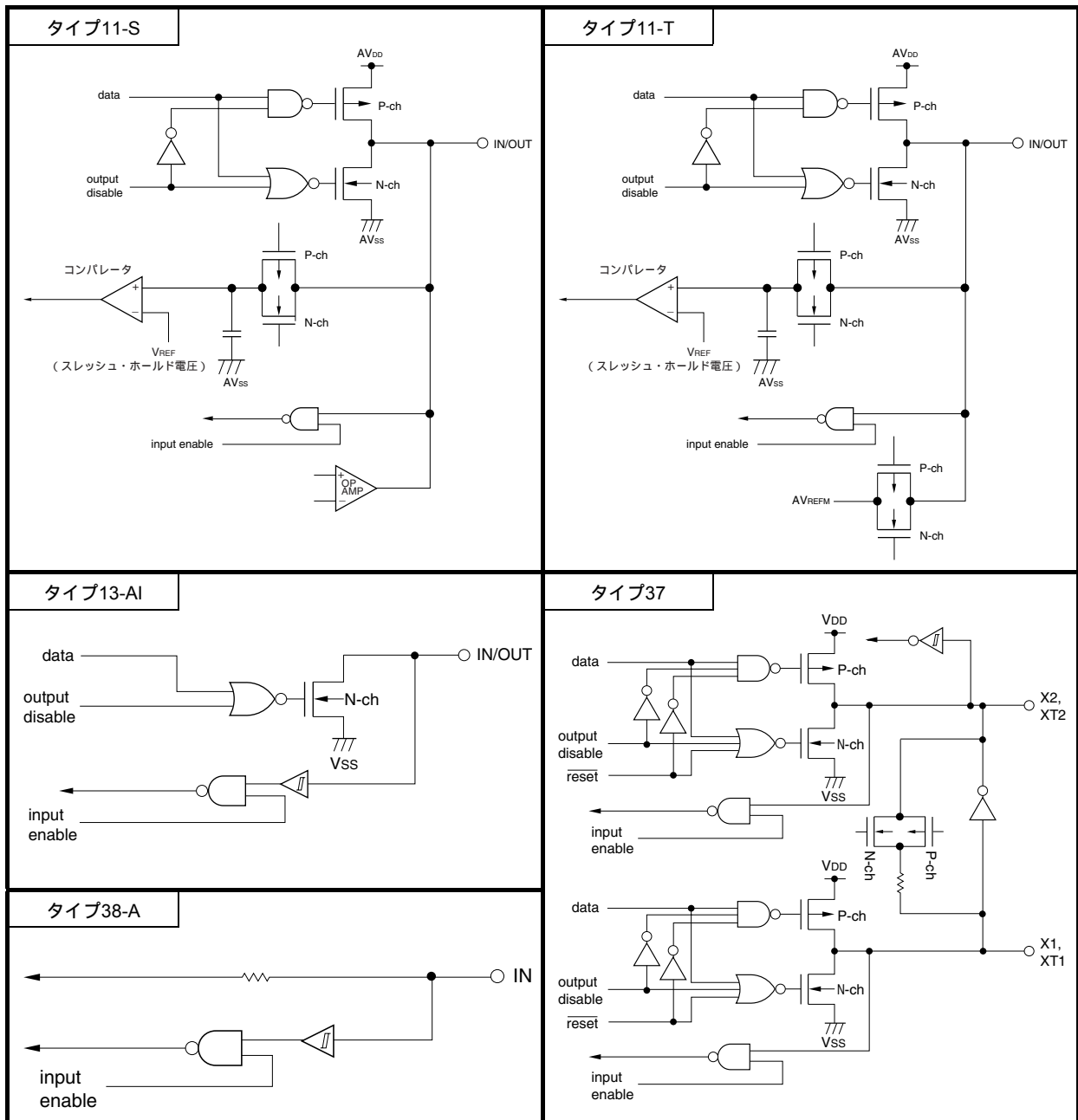


図2 - 1 端子の入出力回路一覧 (2/2)



第3章 CPUアーキテクチャ

3.1 メモリ空間

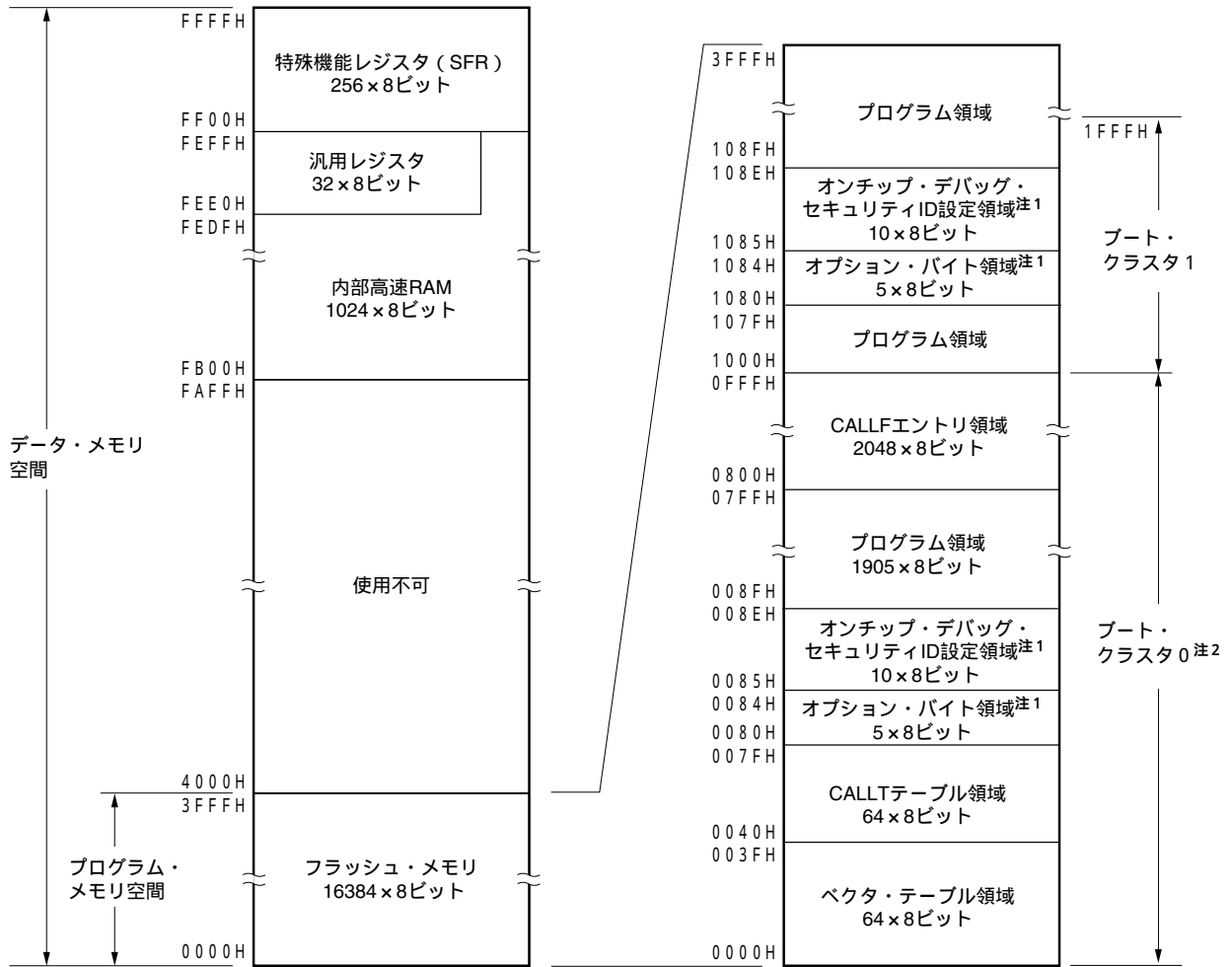
78K0/Kx2-Aマイクロコントローラは、64 Kバイトのメモリ空間をアクセスできます。図3 - 1、図3 - 2に、メモリ・マップを示します。

注意 メモリ・サイズ切り替えレジスタ (IMS) のリセット解除後の初期値は、内部メモリ容量にかかわらず、78K0/Kx2-Aマイクロコントローラのすべての製品において一定 (IMS = CFH) となっています。したがって、リセット解除後に製品ごとに次に示す値を必ず設定してください。

表3 - 1 メモリ・サイズ切り替えレジスタ (IMS) の設定値

品 名		IMS	ROM容量	内部高速RAM容量
78K0/KB2-A	78K0/KC2-A			
μ PD78F0590	μ PD78F0592	C4H	16 Kバイト	1 Kバイト
μ PD78F0591	μ PD78F0593	C8H	32 Kバイト	

図3 - 1 メモリ・マップ (μ PD78F0590, 78F0592)



- 注1. ブート・スワップ未使用時 : 0080H-0084Hにオプション・バイト, 0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 0080H-0084H, 1080H-1084Hにオプション・バイト, 0085H-008EH, 1085H-108EHにオンチップ・デバッグ・セキュリティID設定
2. セキュリティの設定により, ブート・クラスタ0は書き換え禁止することができます (25.7 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1 Kバイト)。アドレス値とブロック番号については, 表3 - 2 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

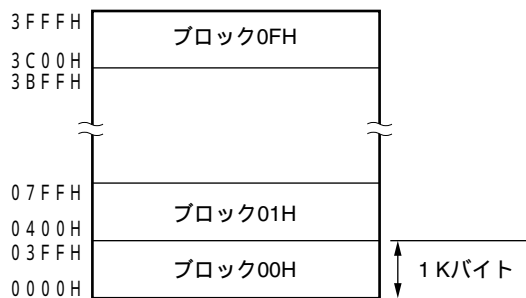
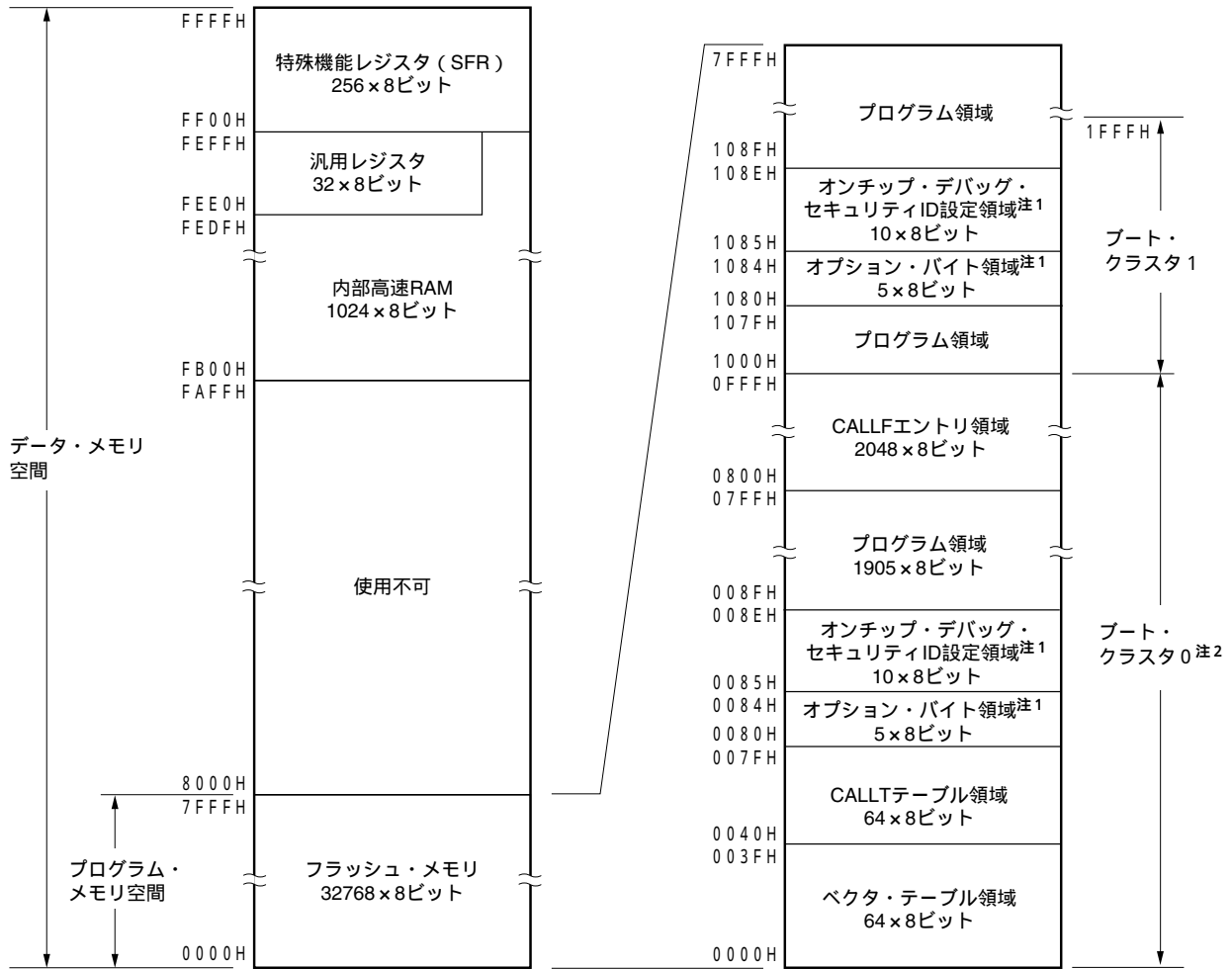
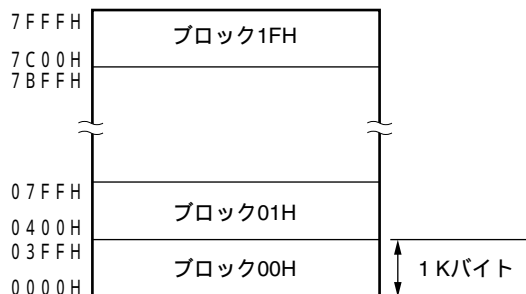


図3 - 2 メモリ・マップ (μ PD78F0591, 78F0593)



- 注1. ブート・スワップ未使用時 : 0080H-0084Hにオプション・バイト, 0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 0080H-0084H, 1080H-1084Hにオプション・バイト, 0085H-008EH, 1085H-108EHにオンチップ・デバッグ・セキュリティID設定
2. セキュリティの設定により, ブート・クラスタ0は書き換え禁止することができます (25.7 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1 Kバイト)。アドレス値とブロック番号については, 表3 - 2 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3 - 2 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック番号	アドレス値	ブロック番号
0000H-03FFH	00H	4000H-43FFH	10H
0400H-07FFH	01H	4400H-47FFH	11H
0800H-0BFFH	02H	4800H-4BFFH	12H
0C00H-0FFFH	03H	4C00H-4FFFH	13H
1000H-13FFH	04H	5000H-53FFH	14H
1400H-17FFH	05H	5400H-57FFH	15H
1800H-1BFFH	06H	5800H-5BFFH	16H
1C00H-1FFFH	07H	5C00H-5FFFH	17H
2000H-23FFH	08H	6000H-63FFH	18H
2400H-27FFH	09H	6400H-67FFH	19H
2800H-2BFFH	0AH	6800H-6BFFH	1AH
2C00H-2FFFH	0BH	6C00H-6FFFH	1BH
3000H-33FFH	0CH	7000H-73FFH	1CH
3400H-37FFH	0DH	7400H-77FFH	1DH
3800H-3BFFH	0EH	7800H-7BFFH	1EH
3C00H-3FFFH	0FH	7C00H-7FFFH	1FH

備考 μ PD78F0590, 78F0592 : ブロック番号00H-0FH

μ PD78F0591, 78F0593 : ブロック番号00H-1FH

3. 1. 1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ (PC) でアドレスします。

78K0/Kx2-Aマイクロコントローラは、各製品ごとに次に示す内部ROM (フラッシュ・メモリ) を内蔵しています。

表3 - 3 内部ROM容量

品 名		内部ROM (フラッシュ・メモリ)
78K0/KB2-A	78K0/KC2-A	
μ PD78F0590	μ PD78F0592	16384 × 8ビット (0000H-3FFFH)
μ PD78F0591	μ PD78F0593	32768 × 8ビット (0000H-7FFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3 - 4 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	78K0/KB2-A (μ PD78F0590, 78F0591)	78K0/KC2-A (μ PD78F0592, 78F0593)
0000H	RESET入力, POC, LVI, WDT		
0004H	INTLVI		
0006H	INTP0		
0008H	INTP1		
000AH	INTP2	-	
000CH	INTP3	-	
000EH	INTP4		
0010H	INTP5		
0012H	INTSRE6		
0014H	INTSR6		
0016H	INTST6		
0018H	INTCSI10		
001AH	INTTMH1		
001CH	INTTMH0		
001EH	INTTM50		
0020H	INTTM000		
0022H	INTTM010		
0024H	INTAD		
0026H	INTIICA0		
0028H	INTRTCI	-	
002AH	INTTM51		
002CH	INTKR	-	
002EH	INTRTC	-	
0030H	INTP6		
0032H	INTP7		
0034H	INTDMU		
0038H	INTP8	-	
003AH	INTP9	-	
003EH	BRK		

備考 : 搭載, - : 非搭載

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令（CALLT）のサブルーチン・エン트리・アドレスを格納することができます。

(3) オプション・バイト領域

0080H-0084H，1080H-1084Hの5バイト領域にオプション・バイト領域を用意しています。ブート・スワップ未使用時は0080H-0084Hに，ブート・スワップ使用時には0080H-0084Hと1080H-1084Hにオプション・バイトを設定してください。詳細は第24章 **オプション・バイト**を参照してください。

(4) CALLF命令エン트리領域

0800H-0FFFHの領域は，2バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

(5) オンチップ・デバッグ・セキュリティID設定領域

0085H-008EH，1085H-108EHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には0085H-008EHに，ブート・スワップ使用時には0085H-008EHと1085H-108EHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第26章 **オンチップ・デバッグ機能**を参照してください。

3.1.2 内部データ・メモリ空間

78K0/Kx2-Aマイクロコントローラは，次に示すRAMを内蔵しています。

(1) 内部高速RAM

内部高速RAMのFEE0H-FEFFFHの32バイトの領域には，8ビット・レジスタ8個を1バンクとする汎用レジスタが，4バンク割り付けられます。

プログラム領域として命令を書いて実行することはできません。

また，スタック・メモリは内部高速RAMを使用します。

表3 - 5 内部高速RAM容量

品 名		内部高速RAM
78K0/KB2-A	78K0/KC2-A	
μ PD78F0590	μ PD78F0592	1024 × 8ビット (FB00H-FEFFFH)
μ PD78F0591	μ PD78F0593	

3.1.3 特殊機能レジスタ（SFR : Special Function Register）領域

FF00H-FFFFHの領域には，オンチップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（3.2.3 **特殊機能レジスタ（SFR : Special Function Register）**の表3 - 6 **特殊機能レジスタ一覧参照**）。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.4 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、78K0/Kx2-Aマイクロコントローラでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3 - 3、図3 - 4にデータ・メモリとアドレッシングの対応を示します。各アドレッシングの詳細については、3.4 オペランド・アドレスのアドレッシングを参照してください。

図3-3 データ・メモリとアドレッシングの対応 (μ PD78F0590, 78F0592)

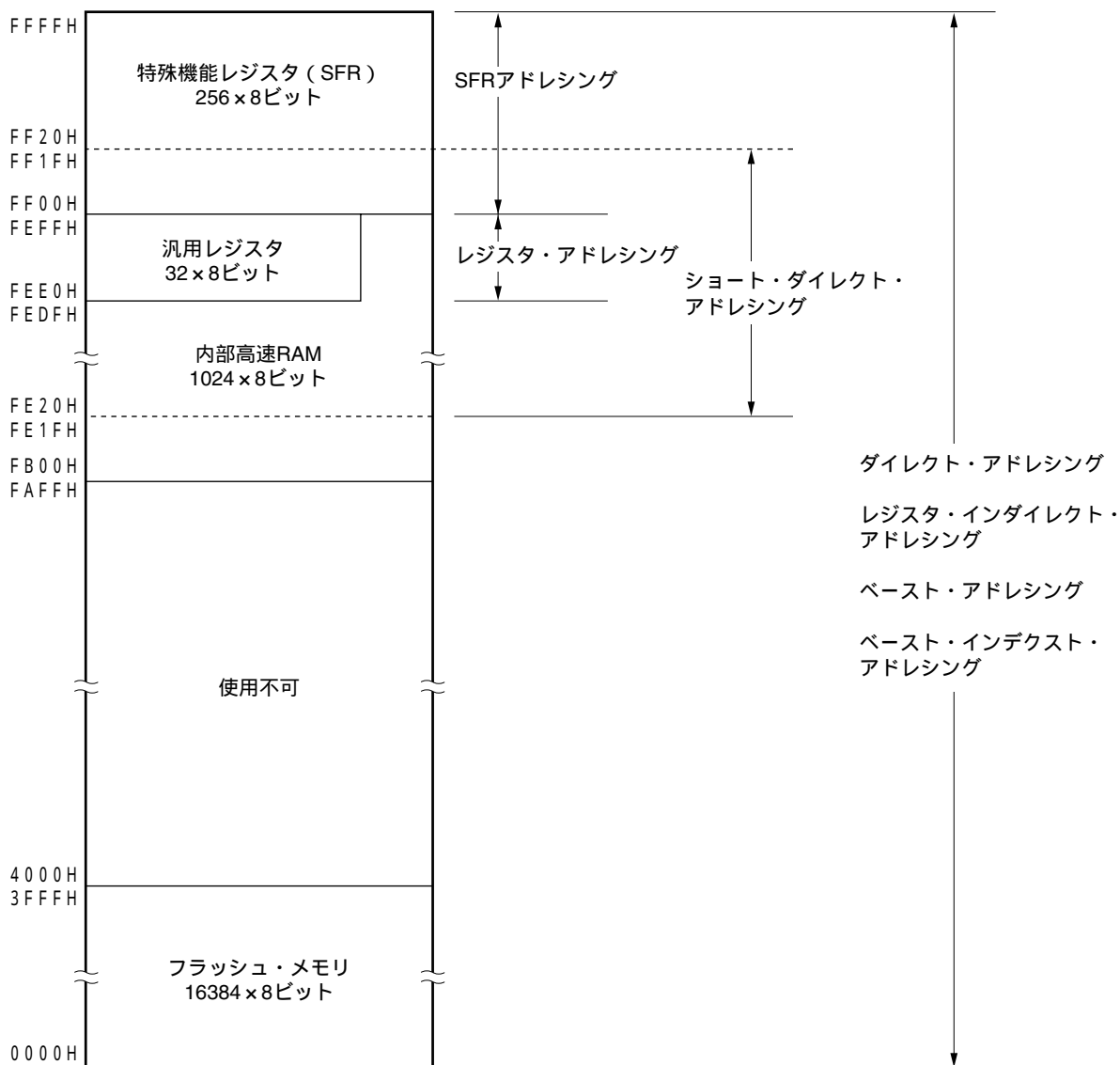
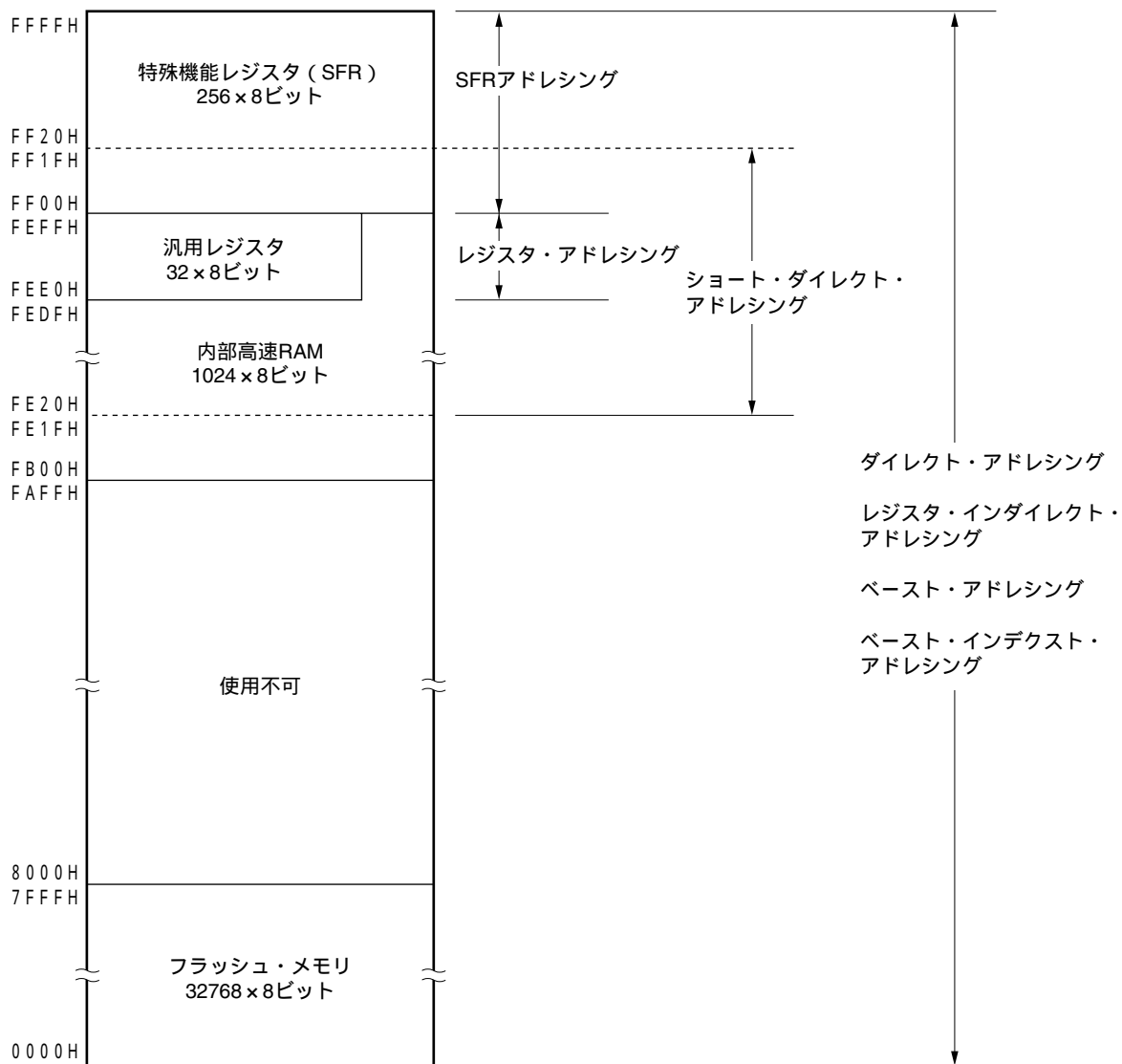


図3-4 データ・メモリとアドレッシングの対応 (μ PD78F0591, 78F0593)



3.2 プロセッサ・レジスタ

78K0/Kx2-Aマイクロコントローラは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

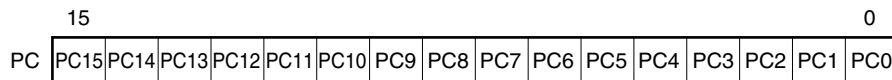
(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-5 プログラム・カウンタの構成



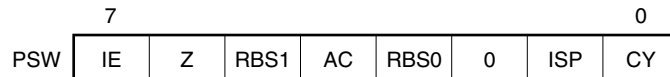
(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB、RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、02Hになります。

図3-6 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ（ISP）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(e) インサース・プライオリティ・フラグ (ISP)

受け付け可能なマスクブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) (18.3(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

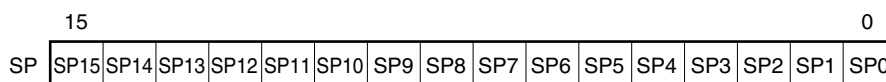
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 7 スタック・ポインタの構成



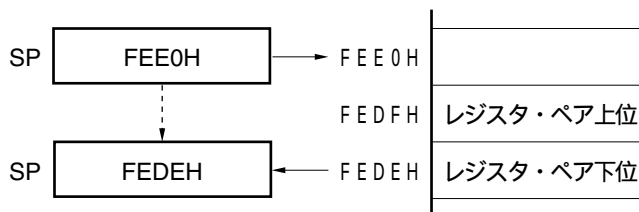
スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 8, 3 - 9のようになります。

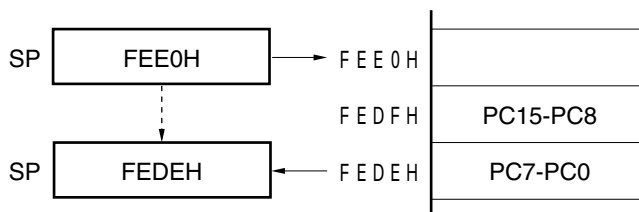
注意 SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

図3 - 8 スタック・メモリへ退避されるデータ

(a) PUSH rp命令 (SPがFEE0Hの場合)



(b) CALL, CALLF, CALLT命令 (SPがFEE0Hの場合)



(c) 割り込み, BRK命令 (SPがFEE0Hの場合)

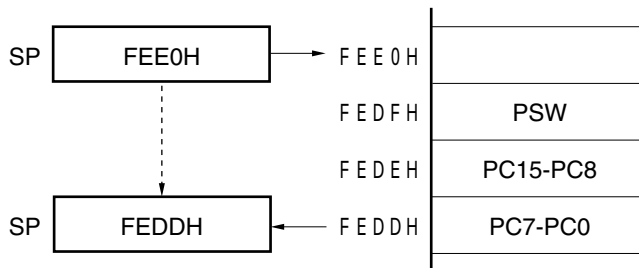
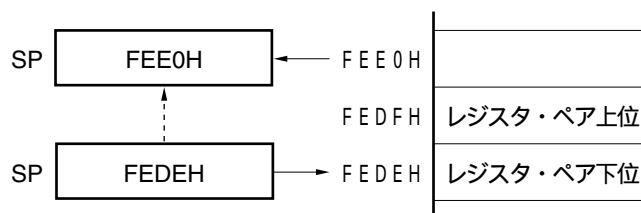
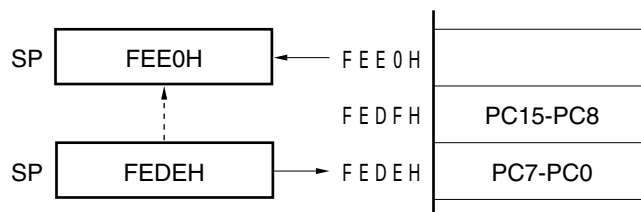


図3-9 スタック・メモリから復帰されるデータ

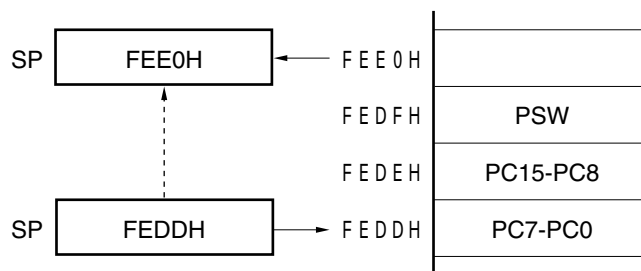
(a) POP rp命令 (SPがFEDEHの場合)



(b) RET命令 (SPがFEDEHの場合)



(c) RETI, RETB命令 (SPがFEDDHの場合)



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FEE0H-FEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

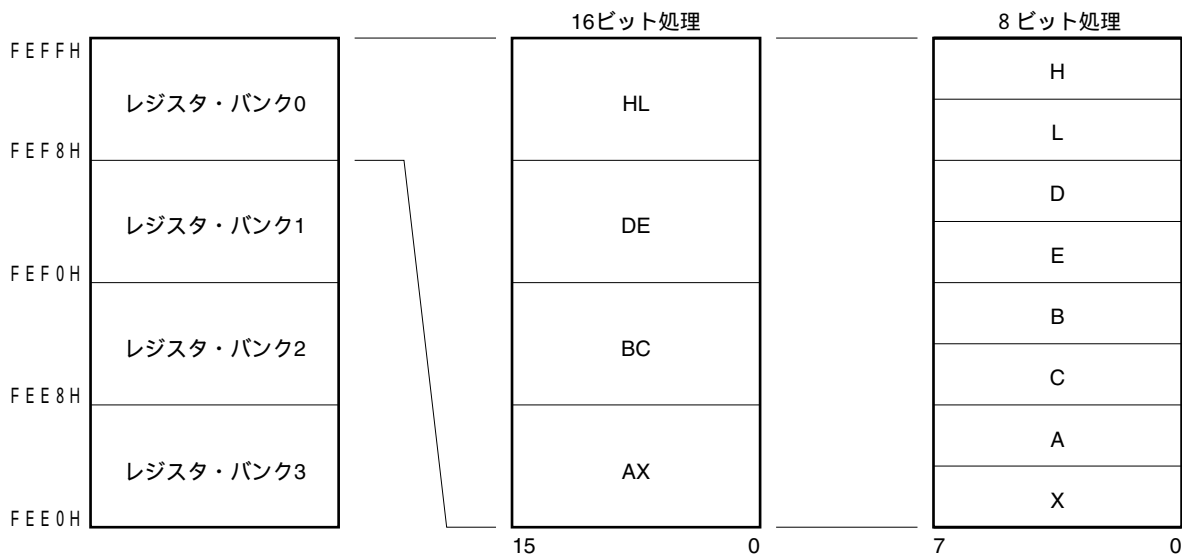
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

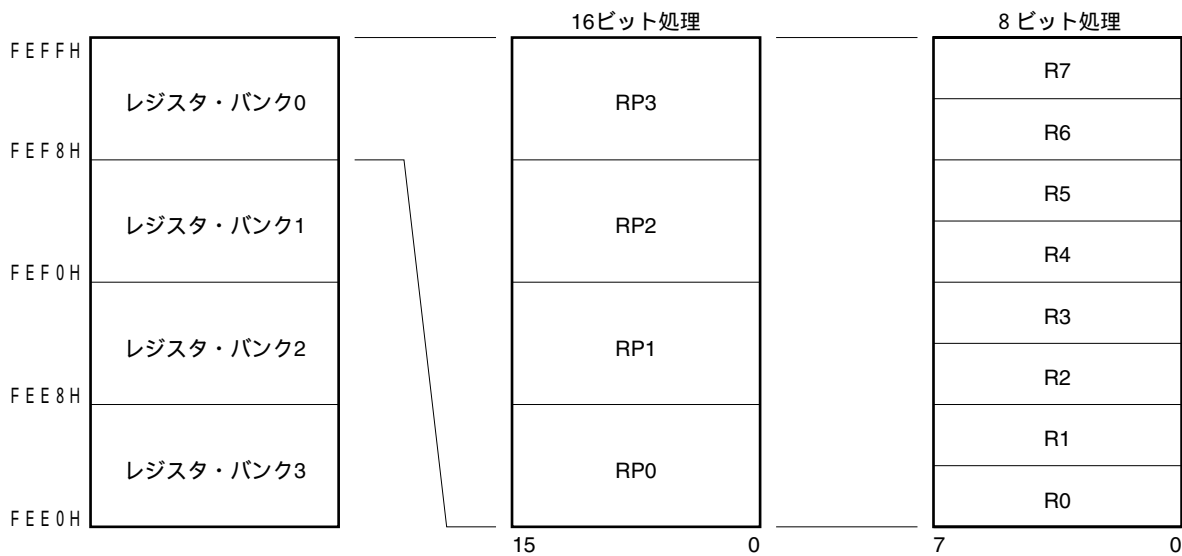
命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図3 - 10 汎用レジスタの構成

(a) 機能名称



(b) 絶対名称



3.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- **1ビット操作**

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **8ビット操作**

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **16ビット操作**

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 6に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

特殊機能レジスタのアドレスを示す略号です。RA78K0で予約語に、CC78K0では#pragma sfr指令で、sfr変数として定義されているものです。RA78K0, ID78K0-QB, SM+ for 78K0およびSM+ for 78K0/KX2使用時に命令のオペランドとして記述できます。

- **R/W**

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- **操作可能ビット単位**

操作可能なビット単位 (1, 8, 16) を で示します。- は操作できないビット単位であることを示します。

- **リセット時**

リセット信号発生時の各レジスタの状態を示します。

表3-6 特殊機能レジスタ一覧(1/4)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	30ピン製品	48ピン製品
				1ビット	8ビット	16ビット			
FF00H	ポート・レジスタ0	P0	R/W			-	00H	-	
FF01H	ポート・レジスタ1	P1	R/W			-	00H		
FF02H	ポート・レジスタ2	P2	R/W			-	00H		
FF03H	ポート・レジスタ3	P3	R/W			-	00H		
FF04H	ポート・レジスタ4	P4	R/W			-	00H	-	
FF06H	ポート・レジスタ6	P6	R/W			-	00H		
FF07H	ポート・レジスタ7	P7	R/W			-	00H	-	
FF08H	ポート・レジスタ8	P8	R/W			-	00H		
FF0AH	受信バッファ・レジスタ6	RXB6	R	-		-	FFH		
FF0BH	送信バッファ・レジスタ6	TXB6	R/W	-		-	FFH		
FF0CH	ポート・レジスタ12	P12	R/W			-	00H		
FF0DH	8ビット・タイマコンペア・レジスタ10	CMP10	R/W	-		-	00H		
FF0EH	8ビット・タイマコンペア・レジスタ00	CMP00	R/W	-		-	00H		
FF0FH	シリアルI/Oシフト・レジスタ10	SIO10	R	-		-	00H		
FF10H	16ビット・タイマ・カウンタ00	TM00	R	-	-		0000H		
FF11H									
FF12H	16ビット・タイマ・キャプチャ/コンペア・レジスタ000	CR000	R/W	-	-		0000H		
FF13H									
FF14H	16ビット・タイマ・キャプチャ/コンペア・レジスタ010	CR010	R/W	-	-		0000H		
FF15H									
FF16H	8ビット・タイマ・カウンタ50	TM50	R	-		-	00H		
FF17H	8ビット・タイマ・コンペア・レジスタ50	CR50	R/W	-		-	00H		
FF18H	12ビットA/D変換結果レジスタ	ADCR	R	-		-	0000H		
FF19H	8ビットA/D変換結果レジスタ	ADCRH	R	-		-	00H		
FF1AH	8ビット・タイマコンペア・レジスタ01	CMP01	R/W	-		-	00H		
FF1BH	8ビット・タイマコンペア・レジスタ11	CMP11	R/W	-		-	00H		
FF1FH	8ビット・タイマ・カウンタ51	TM51	R	-		-	00H		
FF20H	ポート・モード・レジスタ0	PM0	R/W			-	FFH	-	
FF21H	ポート・モード・レジスタ1	PM1	R/W			-	FFH		
FF22H	ポート・モード・レジスタ2	PM2	R/W			-	FFH		
FF23H	ポート・モード・レジスタ3	PM3	R/W			-	FFH		
FF24H	ポート・モード・レジスタ4	PM4	R/W			-	FFH	-	
FF26H	ポート・モード・レジスタ6	PM6	R/W			-	FFH		
FF27H	ポート・モード・レジスタ7	PM7	R/W			-	FFH	-	
FF28H	ポート・モード・レジスタ8	PM8	R/W			-	FFH		
FF2CH	ポート・モード・レジスタ12	PM12	R/W			-	FFH		
FF2EH	アナログ基準電圧制御レジスタ	ADVRC	R/W			-	00H		
FF2FH	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W			-	10H		
FF30H	ブルアップ抵抗オプション・レジスタ0	PU0	R/W			-	00H	-	
FF31H	ブルアップ抵抗オプション・レジスタ1	PU1	R/W			-	00H		
FF33H	ブルアップ抵抗オプション・レジスタ3	PU3	R/W			-	00H		
FF34H	ブルアップ抵抗オプション・レジスタ4	PU4	R/W			-	00H	-	
FF37H	ブルアップ抵抗オプション・レジスタ7	PU7	R/W			-	00H	-	

表3-6 特殊機能レジスタ一覧(2/4)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	30ピン製品	48ピン製品	
				1ビット	8ビット	16ビット				
FF38H	A/Dコンバータ・モード・レジスタ	ADM	R/W			-	00H			
FF39H	アナログ入力チャネル指定レジスタ	ADS	R/W			-	00H			
FF3AH	A/Dコンバータ・モード・レジスタ1	ADM1	R/W			-	00H			
FF3BH	オペアンプ制御レジスタ	OAC	R/W			-	00H			
FF3CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W			-	00H			
FF40H	クロック出力選択レジスタ	CKS	R/W			-	00H	-		
FF41H	8ビット・タイマ・コンペア・レジスタ51	CR51	R/W	-		-	00H			
FF43H	8ビット・タイマ・モード・コントロール・レジスタ51	TMC51	R/W			-	00H			
FF48H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0	R/W			-	00H			
FF49H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0	R/W			-	00H			
FF4AH	外部割り込み立ち上がりエッジ許可レジスタ1	EGP1	R/W			-	00H	-		
FF4BH	外部割り込み立ち下がりエッジ許可レジスタ1	EGN1	R/W			-	00H	-		
FF4FH	入力切り替え制御レジスタ	ISC	R/W			-	00H			
FF50H	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6	ASIM6	R/W			-	01H			
FF53H	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6	ASIS6	R	-		-	00H			
FF55H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6	ASIF6	R	-		-	00H			
FF56H	クロック選択レジスタ6	CKSR6	R/W	-		-	00H			
FF57H	ポーレート・ジェネレータ・コントロール・レジスタ6	BRGC6	R/W	-		-	FFH			
FF58H	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6	ASICL6	R/W			-	16H			
FF60H	剰余データ・レジスタ0	SD	R	SDR0L			00H			
FF61H		RO		SDR0H				00H		
FF62H	乗除算データ・レジスタA0	MD	R/W	MDA0LL			00H			
FF63H		AOL		MDA0LH				00H		
FF64H		MD		MDA0HL				00H		
FF65H		AOH		MDA0HH				00H		
FF66H	乗除算データ・レジスタB0	MD	R/W	MDB0L			00H			
FF67H		BO		MDB0H				00H		
FF68H	乗除算器コントロール・レジスタ0	DMUC0	R/W			-	00H			
FF69H	8ビット・タイマHモード・レジスタ0	TMHMD0	R/W			-	00H			
FF6AH	タイマ・クロック選択レジスタ50	TCL50	R/W			-	00H			
FF6BH	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50	R/W			-	00H			
FF6CH	8ビット・タイマHモード・レジスタ1	TMHMD1	R/W			-	00H			

表3-6 特殊機能レジスタ一覧(3/4)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	30ピン製品	48ピン製品
				1ビット	8ビット	16ビット			
FF6DH	8ビット・タイマHキャリア・コントロール・レジスタ1	TMCYC1	R/W			-	00H		
FF6EH	キー・リターン・モード・レジスタ	KRM	R/W			-	00H	-	
FF70H	サブカウント・レジスタ	RSUBC	R	-	-		0000H	-	
FF71H									
FF72H	秒カウント・レジスタ	SEC	R/W	-		-	00H	-	
FF73H	分カウント・レジスタ	MIN	R/W	-		-	00H	-	
FF74H	時カウント・レジスタ	HOUR	R/W	-		-	12H ^{注1}	-	
FF75H	曜日カウント・レジスタ	WEEK	R/W	-		-	00H	-	
FF76H	日カウント・レジスタ	DAY	R/W	-		-	01H	-	
FF77H	月カウント・レジスタ	MONTH	R/W	-		-	01H	-	
FF78H	年カウント・レジスタ	YEAR	R/W	-		-	00H	-	
FF79H	時計誤差補正レジスタ	SUBCUD	R/W	-		-	00H	-	
FF7AH	アラーム分レジスタ	ALARMWWM	R/W	-		-	00H	-	
FF7BH	アラーム時レジスタ	ALARMWH	R/W	-		-	12H	-	
FF7CH	アラーム曜日レジスタ	ALARMWW	R/W	-		-	00H	-	
FF7DH	リアルタイム・カウンタ・コントロール・レジスタ0	RTCC0	R/W			-	00H	-	
FF7EH	リアルタイム・カウンタ・コントロール・レジスタ1	RTCC1	R/W			-	00H	-	
FF7FH	リアルタイム・カウンタ・コントロール・レジスタ2	RTCC2	R/W			-	00H	-	
FF80H	シリアル動作モード・レジスタ10	CSIM10	R/W			-	00H		
FF81H	シリアル・クロック選択レジスタ10	CSIC10	R/W			-	00H		
FF84H	送信バッファ・レジスタ10	SOTB10	R/W	-		-	00H		
FF8CH	タイマ・クロック選択レジスタ51	TCL51	R/W			-	00H		
FF99H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	-		-	1AH/ 9AH ^{注2}		
FF9FH	クロック動作モード選択レジスタ	OSCCTL	R/W			-	00H		
FFA0H	内蔵発振モード・レジスタ	RCM	R/W			-	80H ^{注3}		
FFA1H	メイン・クロック・モード・レジスタ	MCM	R/W			-	00H		
FFA2H	メインOSCコントロール・レジスタ	MOC	R/W			-	80H		
FFA3H	発振安定時間カウンタ状態レジスタ	OSTC	R			-	00H		
FFA4H	発振安定時間選択レジスタ	OSTS	R/W	-		-	05H		

注1. リセット後に、AMPMビット(RTCC0レジスタのビット3)に1をセットした場合は00Hとなります。

2. WDTEのリセット値は、オプション・バイトの設定で決定します。

3. リセット解除直後は00Hですが、高速内蔵発振器の発振精度安定待ち後に、自動的に80Hに切り替わります。

表3 - 6 特殊機能レジスタ一覧 (4/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	30ピン製品	48ピン製品
				1ビット	8ビット	16ビット			
FFA6H	IICAシフト・レジスタ	IICA	R/W	-		-	00H		
FFA7H	スレーブ・アドレス・レジスタ0	SVA0	R/W	-		-	00H		
FFA8H	IICAコントロール・レジスタ0	IICACTL0	R/W			-	00H		
FFA9H	IICAコントロール・レジスタ1	IICACTL1	R/W			-	00H		
FFAAH	IICAフラグ・レジスタ0	IICAF0	R/W			-	00H		
FFABH	IICAステータス・レジスタ0	IICAS0	R			-	00H		
FFACH	リセット・コントロール・フラグ・レジスタ	RESF	R	-		-	00H ^{注1}		
FFAEH	IICAロウ・レベル幅設定レジスタ	IICWL	R/W	-		-	FFH		
FFAFH	IICAハイ・レベル幅設定レジスタ	IICWH	R/W	-		-	FFH		
FFBAH	16ビット・タイマ・モード・コントロール・レジスタ00	TMC00	R/W			-	00H		
FFBBH	プリスケアラ・モード・レジスタ00	PRM00	R/W			-	00H		
FFBCH	キャプチャ/コンペア・コントロール・レジスタ00	CRC00	R/W			-	00H		
FFBDH	16ビット・タイマ出力コントロール・レジスタ00	TOC00	R/W			-	00H		
FFBEH	低電圧検出レジスタ	LVIM	R/W			-	00H ^{注2}		
FFBFH	低電圧検出レベル選択レジスタ	LVIS	R/W			-	00H ^{注2}		
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L	R/W			00H		
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H	R/W			00H		
FFE2H	割り込み要求フラグ・レジスタ1L	IF1	IF1L	R/W			00H		
FFE3H	割り込み要求フラグ・レジスタ1H		IF1H	R/W			00H		
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L	R/W			FFH		
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H	R/W			FFH		
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1	MK1L	R/W			FFH		
FFE7H	割り込みマスク・フラグ・レジスタ1H		MK1H	R/W			FFH		
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L	R/W			FFH		
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H	R/W			FFH		
FFEAH	優先順位指定フラグ・レジスタ1L	PR1	PR1L	R/W			FFH		
FFEBH	優先順位指定フラグ・レジスタ1H		PR1H	R/W			FFH		
FFF0H	メモリ・サイズ切り替えレジスタ ^{注3}	IMS	R/W	-		-	CFH		
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC	R/W			-	01H		

注1. RESFのリセット値は、リセット要因により変化します。

2. LVIM, LVISのリセット値は、リセット要因により変化します。

3. IMSのリセット解除後の初期値は内部メモリ容量にかかわらず、78K0/Kx2-Aマイクロコントローラのすべての製品において一定 (IMS = CFH) となっています。したがって、リセット解除後、製品ごとに表3 - 1に示す値を必ず設定してください。

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください）。

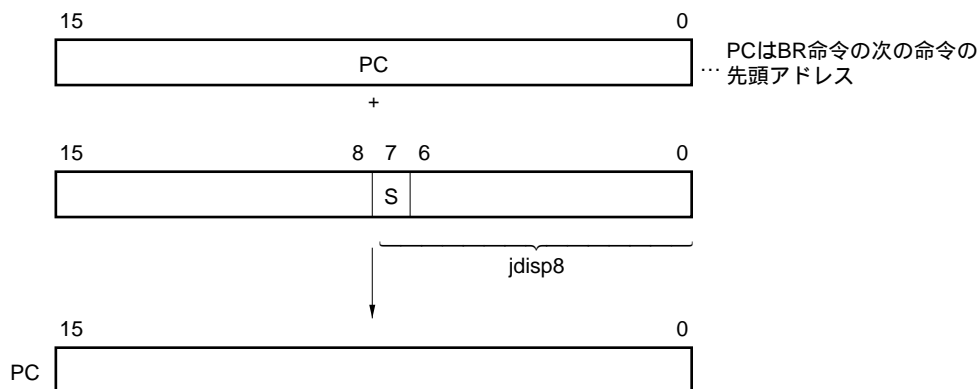
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



S = 0のとき、は全ビット0

S = 1のとき、は全ビット1

3.3.2 イミディエト・アドレッシング

【機能】

命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

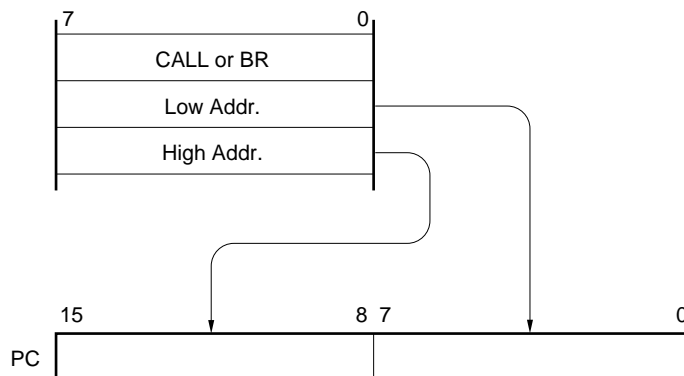
CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全プログラム・メモリ空間に分岐できます。

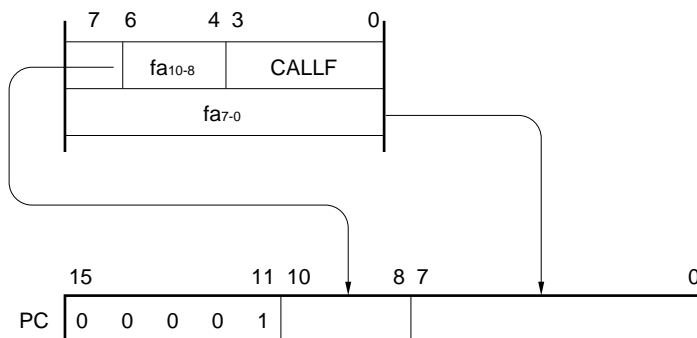
CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



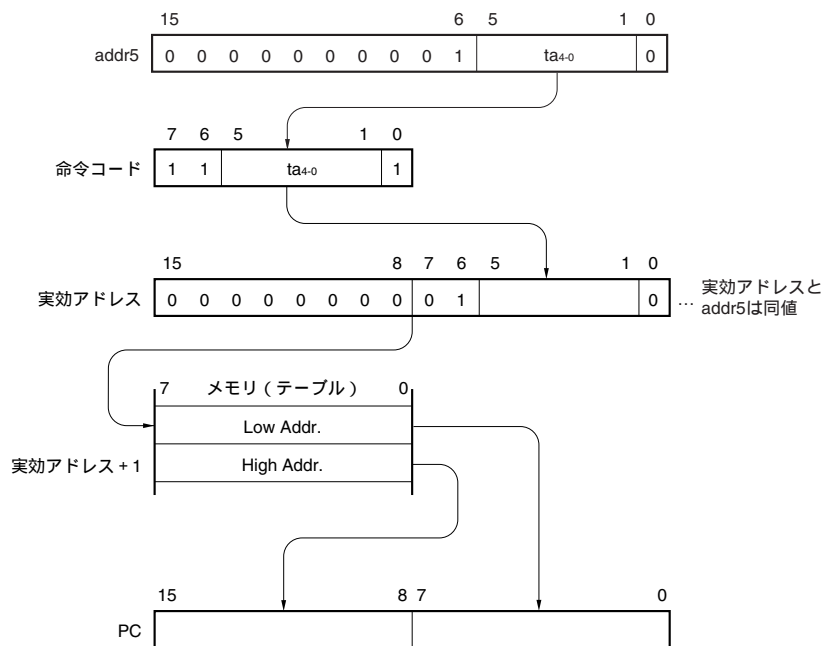
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では0040H-007FHのメモリ・テーブルに格納されたアドレスを参照し、全プログラム・メモリ空間に分岐できます。

【図解】



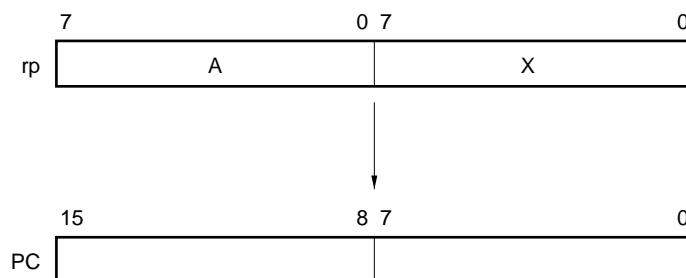
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的に（暗黙的）にアドレスするアドレッシングです。

78K0/Kx2-Aマイクロコントローラの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ, 積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に決定するため、特定のオペランド形式を持ちません。

【記 述 例】

MULU Xの場合

8ビット×8ビットの乗算命令において、AレジスタとXレジスタの積をAXに格納する。ここで、A, AXレジスタがインプライド・アドレッシングで指定されている。

3.4.2 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ指定コードにより指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

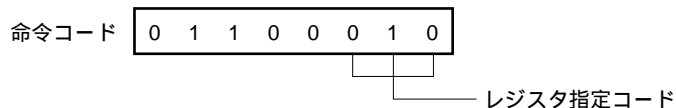
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

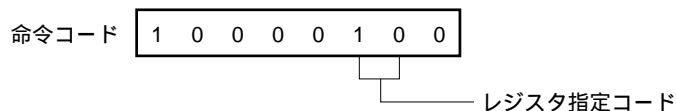
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.3 ダイレクト・アドレッシング

【機能】

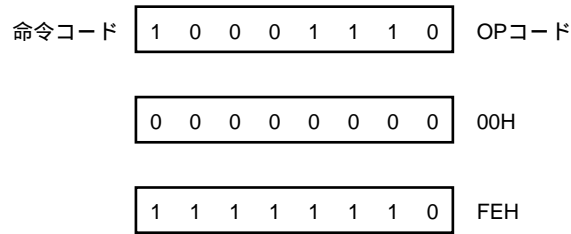
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

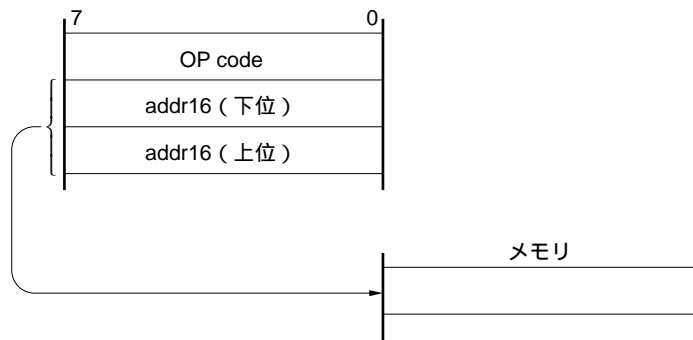
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !0FE00H ; !addr16をFE00Hとする場合



【図解】



3.4.4 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間で、FE20H-FEFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部分です。この領域には、プログラム上で頻繁にアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

実効アドレスのビット8は、8ビット・イミューディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。【図解】を参照してください。

【オペランド形式】

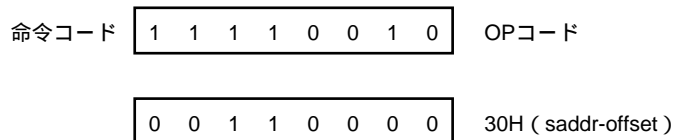
表現形式	記述方法
saddr	レーベルまたはFE20H-FF1FHを示すイミューディエト・データ
saddrp	レーベルまたはFE20H-FF1FHを示すイミューディエト・データ（偶数アドレスのみ）

【記述例】

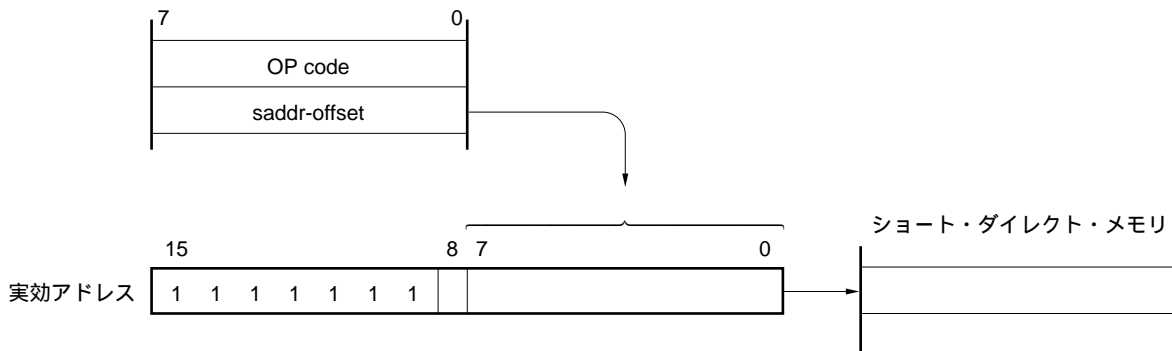
LB1 EQU 0FE30H ; FE30HをLB1で定義

⋮

MOV LB1, A ; LB1はsaddr領域のFE30Hを示し、そこにAレジスタの値を転送する場合



【図解】



8ビット・イミューディエト・データが20H-FFHのとき、 = 0

8ビット・イミューディエト・データが00H-1FHのとき、 = 1

3.4.5 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

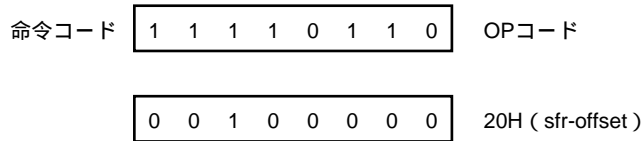
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

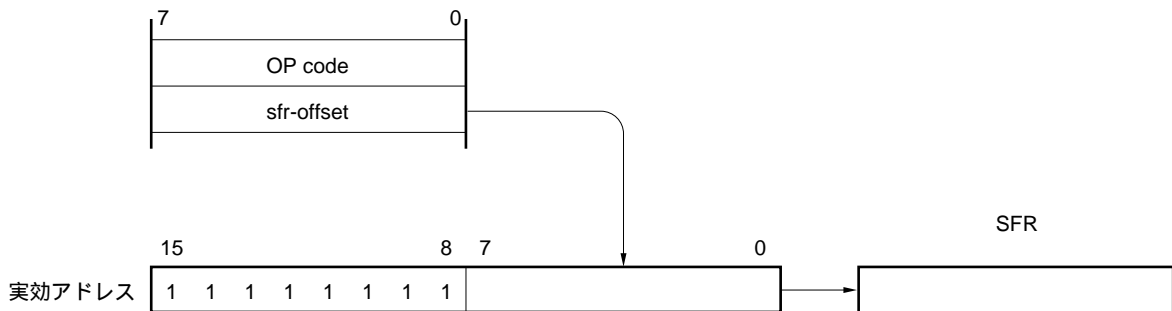
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ)

【記述例】

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



【図解】



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ・ペア指定コードにより指定されます。

すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

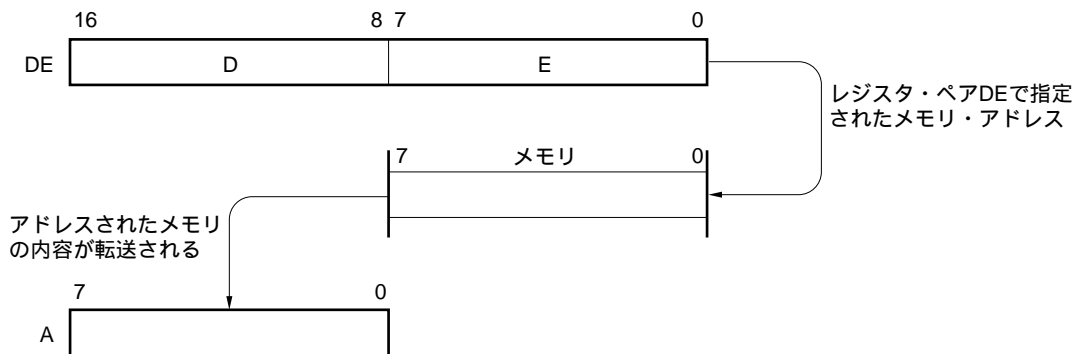
【記述例】

MOV A, [DE] ; レジスタ・ペアに [DE] を選択する場合

命令コード

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



3.4.7 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のものです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上がりは無視します。

すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

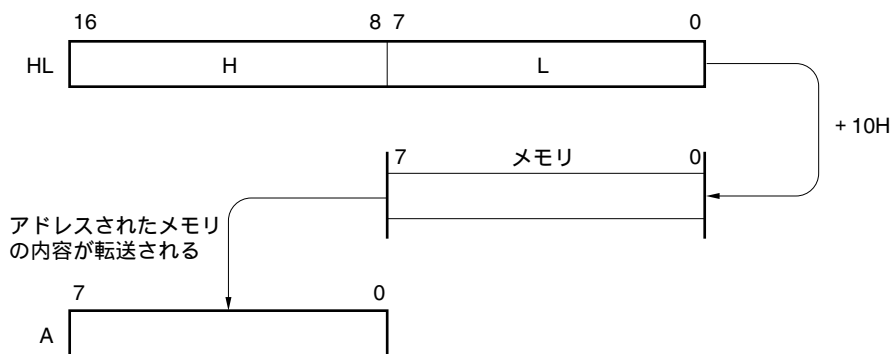
MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

1	0	1	0	1	1	1	0
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

【図解】



3.4.8 ベース・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のレジスタです。加算は、BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。

すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + B], [HL + C]

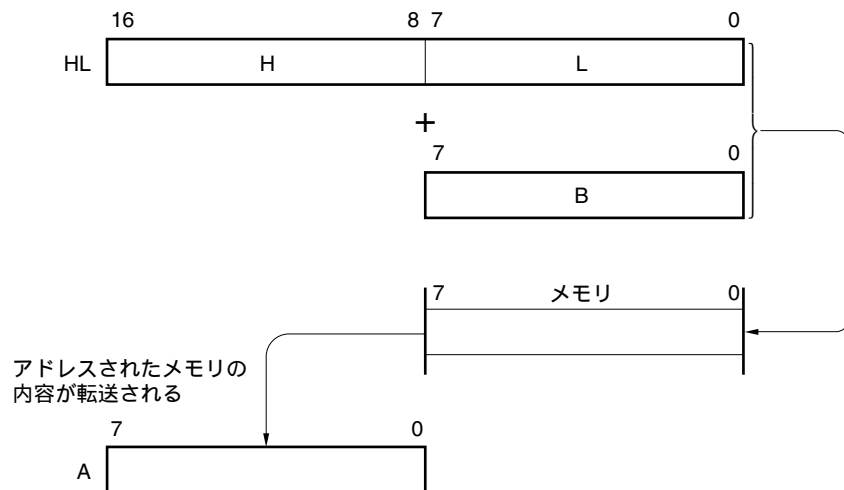
【記述例】

MOV A, [HL + B] ; Bレジスタを選択する場合

命令コード

1	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図解】



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により，スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは，内部高速RAM領域のみアクセスできます。

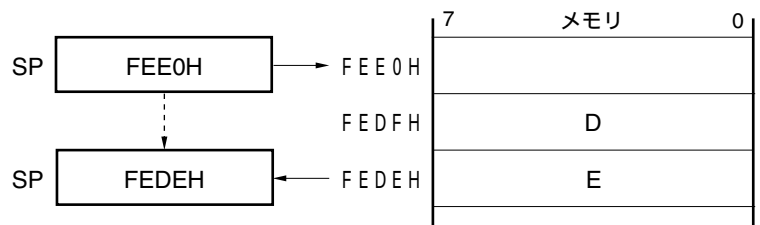
【記述例】

PUSH DE ; DEレジスタをセーブする場合

命令コード

1	0	1	1	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



第4章 ポート機能

4.1 ポートの機能

ポート端子の入出力バッファ電源には、 AV_{DD} 、 V_{DD} の2系統があります。それぞれの電源と端子の関係を次に示します。

表4 - 1 各端子の入出力バッファ電源

電 源	対応する端子	
	78K0/KB2-A	78K0/KC2-A
AV_{DD}	P20-P25, P80-P83	P20-P27, P80-83
V_{DD}	P20-P25, P80-P83以外の端子	P20-P27, P80-83以外の端子

78K0/Kx2-Aマイクロコントローラは、デジタル入出力ポートを備えており、多様な制御を行うことができます。各ポートの機能は表4 - 2、表4 - 3のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、**第2章 端子機能**を参照してください。

表4-2 ポートの機能 (78K0/KB2-A)

機能名称	入出力	機能	リセット時	兼用機能
P10	入出力	ポート1。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TxD6/TI51/TO51
P11				RxD6/TI50/TO50
P12				TOH0/INTP7/TI000
P13				TOH1/INTP6/TI010 /TO00
P20	入出力	ポート2。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル入力 ポート	ANI0/AMP0-
P21				ANI1/AMP0OUT
P22				ANI2/AMP0+
P23				ANI3/AMP1-
P24				ANI4/AMP1OUT
P25				ANI5/AMP1+
P31	入出力	ポート3。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP5/OCD1A (/SCK10)
P32				INTP4/OCD1B/ (/SI10)
P35				SO10/INTP1
P60	入出力	ポート6。 2ビット入出力ポート。 出力はN-chオープン・ドレイン出力(6V耐圧)。 1ビット単位で入力/出力の指定可能。	入力ポート	SCLA0/SCK10
P61				SDAA0/SI10
P80	入出力	ポート8。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル入力 ポート	ANI8/AMP2-
P81				ANI9/AMP2OUT
P82				ANI10/AMP2+
P83				ANI11
P120	入出力	ポート12。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121				X1/OCD0A
P122				X2/EXCLK/OCD0B

備考 ()内の機能は、入力切り替え制御レジスタ(ISC)のビット2(ISC2)を1に設定することにより、割り当てられます。

表4-3 ポートの機能 (78K0/KC2-A)

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 3ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	Ti000
P01				Ti010/TO00
P02				INTP8
P10	入出力	ポート1。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TxD6
P11				RxD6
P12				TOH0/INTP7
P13				TOH1/INTP6
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル入力 ポート	ANI0/AMP0-
P21				ANI1/AMP0OUT
P22				ANI2/AMP0+
P23				ANI3/AMP1-
P24				ANI4/AMP1OUT
P25				ANI5/AMP1+
P26				ANI6
P27				ANI15/AV _{REFM}
P31	入出力	ポート3。 5ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP5/OCD1A (/SCK10)
P32				INTP4/OCD1B (/SI10)
P33				Ti51/TO51/INTP3
P34				Ti50/TO50/INTP2
P35				SO10/INTP1
P40	入出力	ポート4。 3ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	RTCCCL/RTCDIV
P41				RTC1HZ
P42				PCL/SSI10/INTP9
P60	入出力	ポート6。 2ビット入出力ポート。 出力はN-chオープン・ドレイン出力 (6 V耐圧)。 1ビット単位で入力 / 出力の指定可能。	入力ポート	SCLA0/SCK10
P61				SDAA0/SI10
P70-P75	入出力	ポート7。 6ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	KR0-KR5
P80	入出力	ポート8。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル入力 ポート	ANI8/AMP2-
P81				ANI9/AMP2OUT
P82				ANI10/AMP2+
P83				ANI11
P120	入出力	ポート12。 5ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121				X1/OCD0A
P122				X2/EXCLK/OCD0B
P123				XT1
P124				XT2

備考 () 内の機能は、入力切り替え制御レジスタ (ISC) のビット2 (ISC2) を1に設定することにより、割り当てられます。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4 - 4 ポートの構成

項 目	構 成
制御レジスタ	<ul style="list-style-type: none"> ・ 78K0/KB2-A <ul style="list-style-type: none"> ポート・モード・レジスタ (PMxx) : PM1-PM3, PM6, PM8, PM12 ポート・レジスタ (Pxx) : P1-P3, P6, P8, P12 プルアップ抵抗オプション・レジスタ (PUxx) : PU1, PU3, PU12 A/Dポート・コンフィギュレーション・レジスタ (ADPC) ・ 78K0/KC2-A <ul style="list-style-type: none"> ポート・モード・レジスタ (PMxx) : PM0-PM4, PM6-PM8, PM12 ポート・レジスタ (Pxx) : P0-P4, P6-P8, P12 プルアップ抵抗オプション・レジスタ (PUxx) : PU0, PU1, PU3, PU4, PU7, PU12 A/Dポート・コンフィギュレーション・レジスタ (ADPC)
ポート	<ul style="list-style-type: none"> ・ 78K0/KB2-A : 合計22本 (CMOS入出力 : 20本, N-chオープン・ドレイン入出力 : 2本) ・ 78K0/KC2-A : 合計40本 (CMOS入出力 : 38本, N-chオープン・ドレイン入出力 : 2本)
プルアップ抵抗	<ul style="list-style-type: none"> ・ 78K0/KB2-A : 合計8本 ・ 78K0/KC2-A : 合計22本

4.2.1 ポート0

78K0/KB2-A	78K0/KC2-A
-	P00/TI000
-	P01/TI010/TO00
-	P02/INTP8

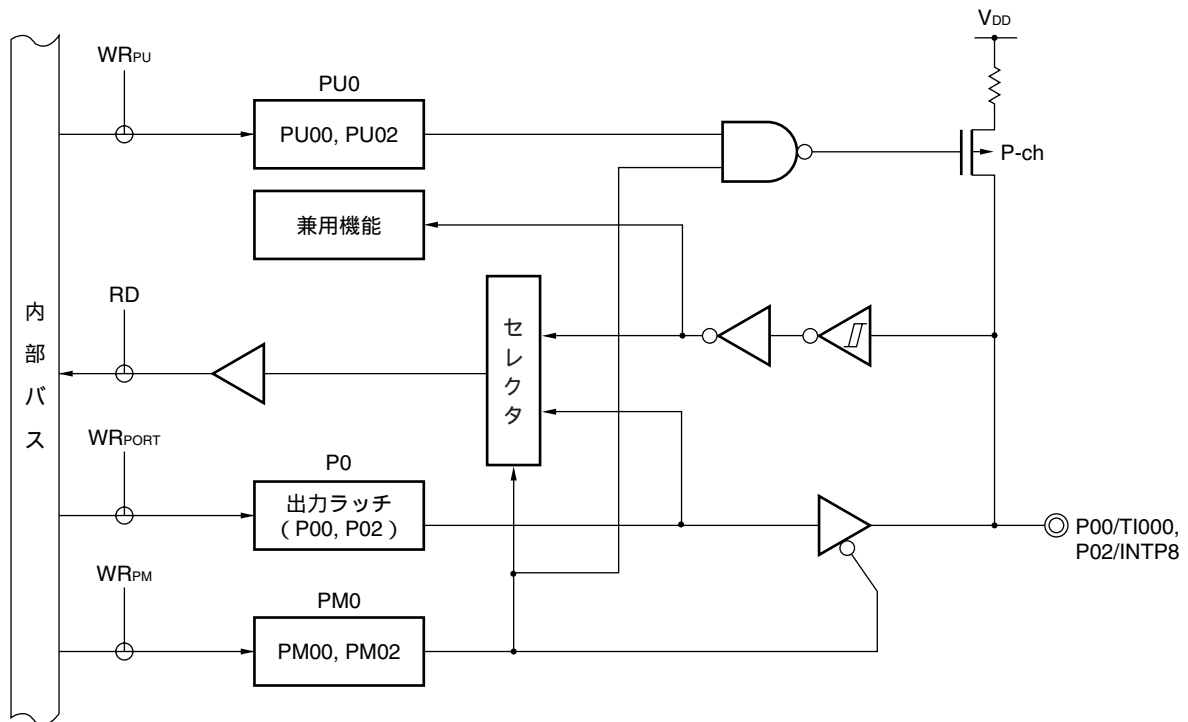
出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P00-P02端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、タイマの入出力があります。

リセット信号の発生により、入力モードになります。

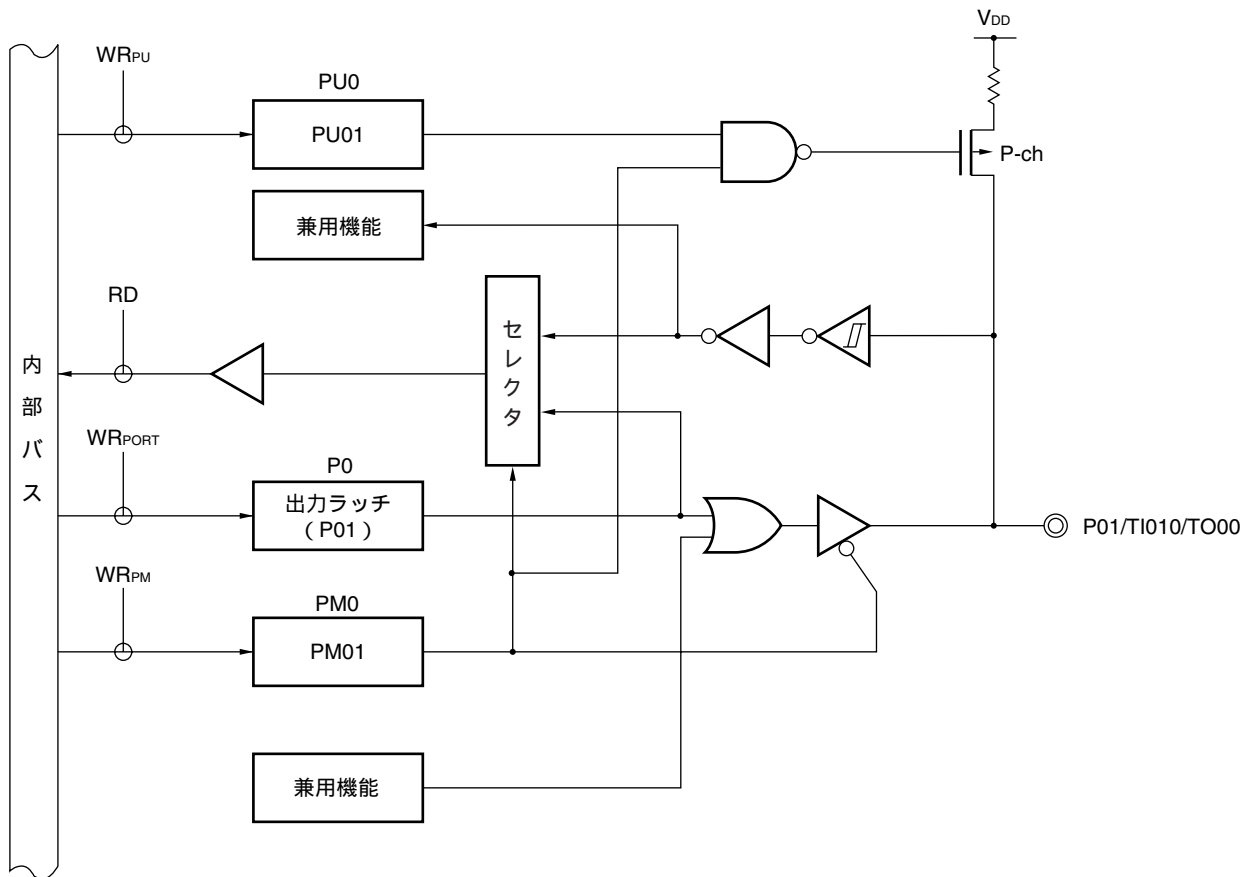
図4 - 1, 図4 - 2にポート0のブロック図を示します。

図4 - 1 P00, P02のブロック図



- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR_x : ライト信号

図4 - 2 P01のブロック図



- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR_{xx} : ライト信号

4.2.2 ポート1

78K0/KB2-A	78K0/KC2-A
P10/TxD6/TI51/TO51	P10/TxD6
P11/RxD6/TI50/TO50	P11/RxD6
P12/TOH0/INTP7/TI000	P12/TOH0/INTP7
P13/TOH1/INTP6/TI010/TO00	P13/TOH1/INTP6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード/出力モードの指定ができます。P10-P13端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力、タイマの入出力があります。

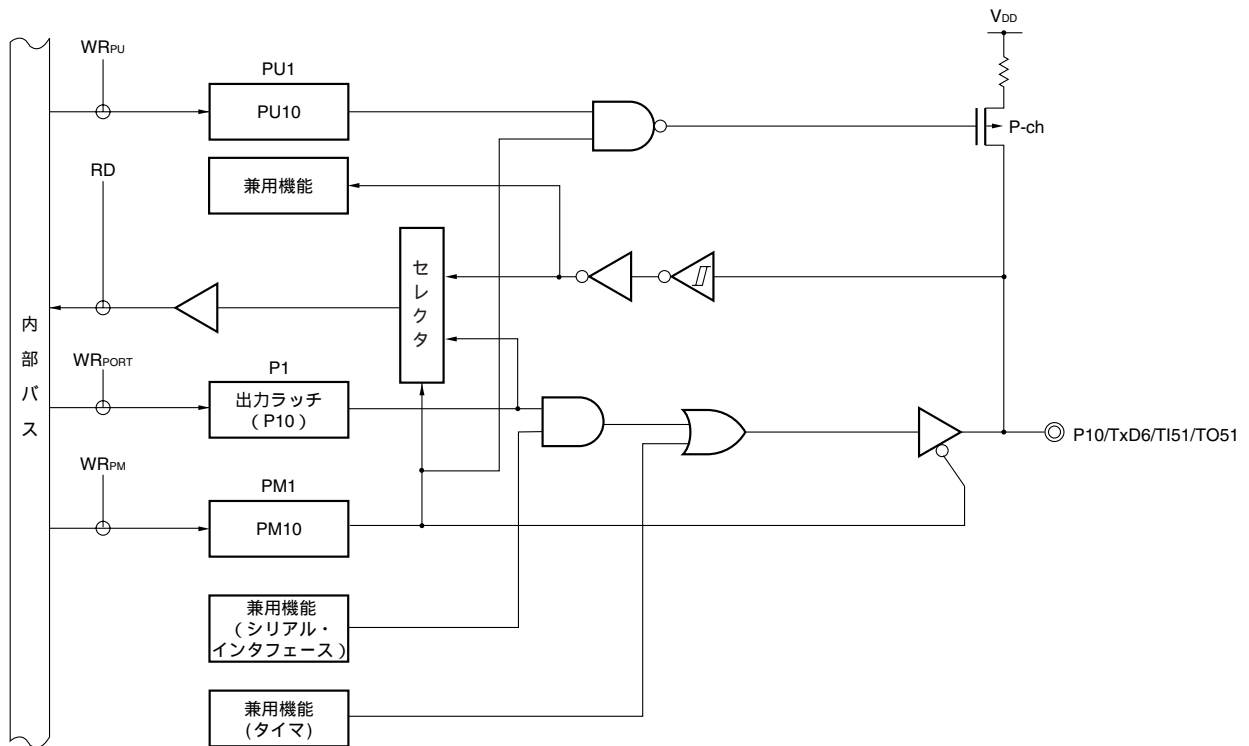
リセット信号の発生により、入力モードになります。

図4 - 3 ~ 図4 - 5にポート1のブロック図を示します。

注意 P10/TxD6を汎用ポートとして使用する場合は、アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット0 (TXDLV6) を0 (TxD6通常出力) に設定してください。

図4-3 P10のブロック図(1/2)

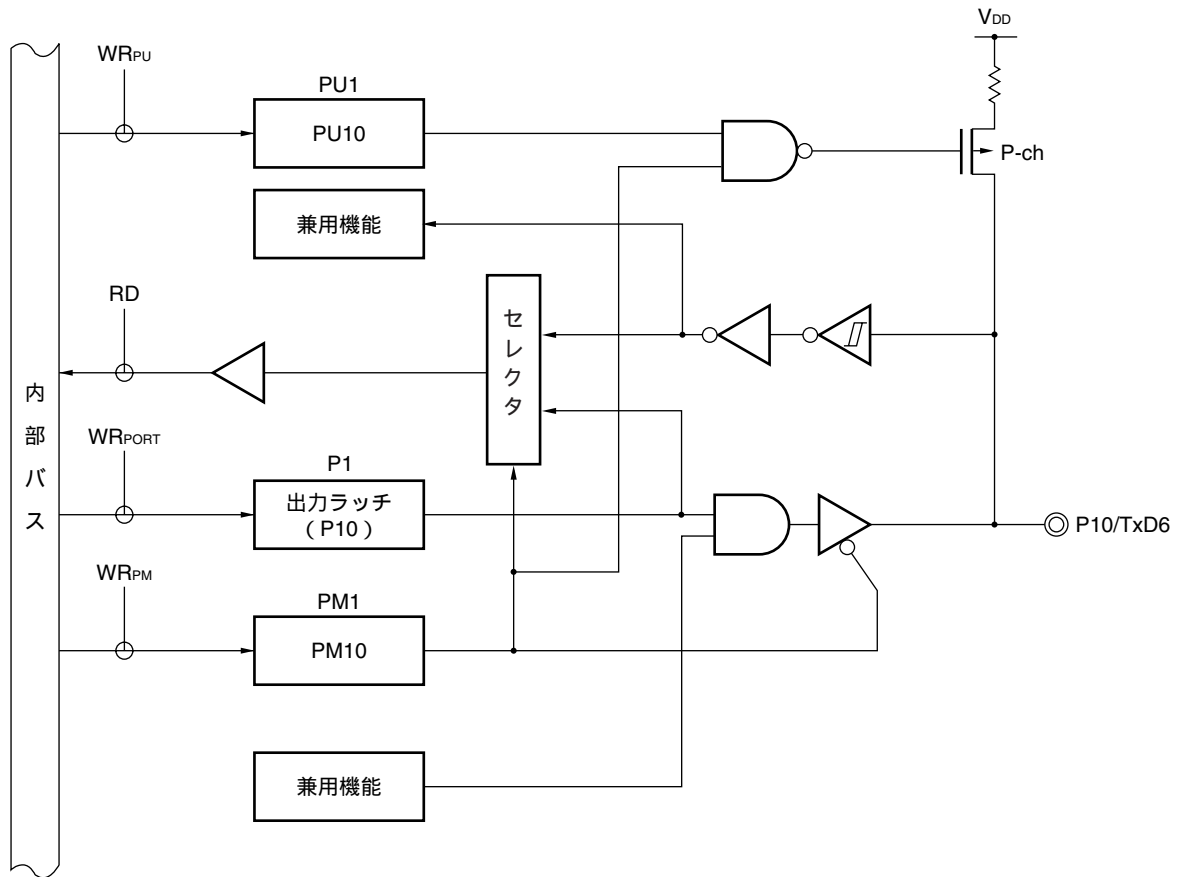
(1) 78K0/KB2-A



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

図4-3 P10のブロック図(2/2)

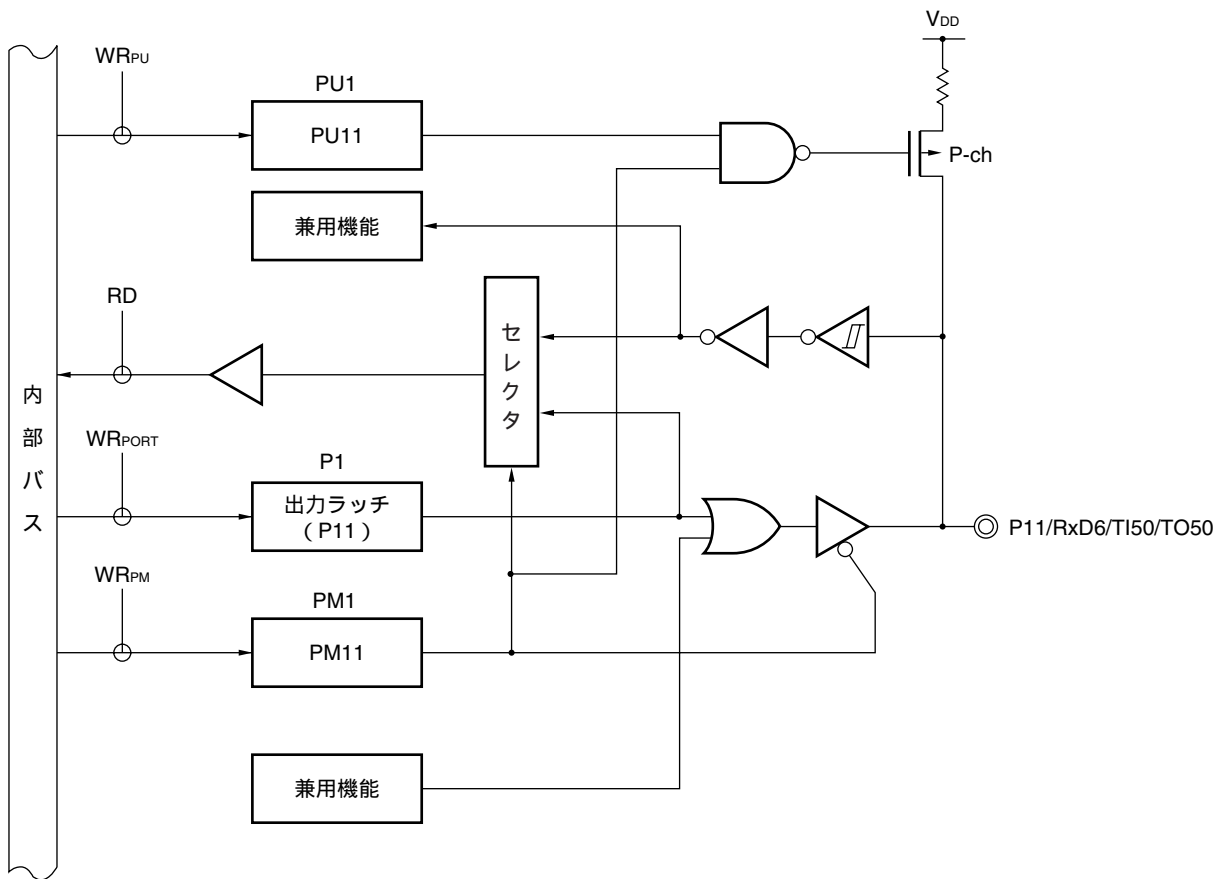
(2) 78K0/KC2-A



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

図4-4 P11のブロック図(1/2)

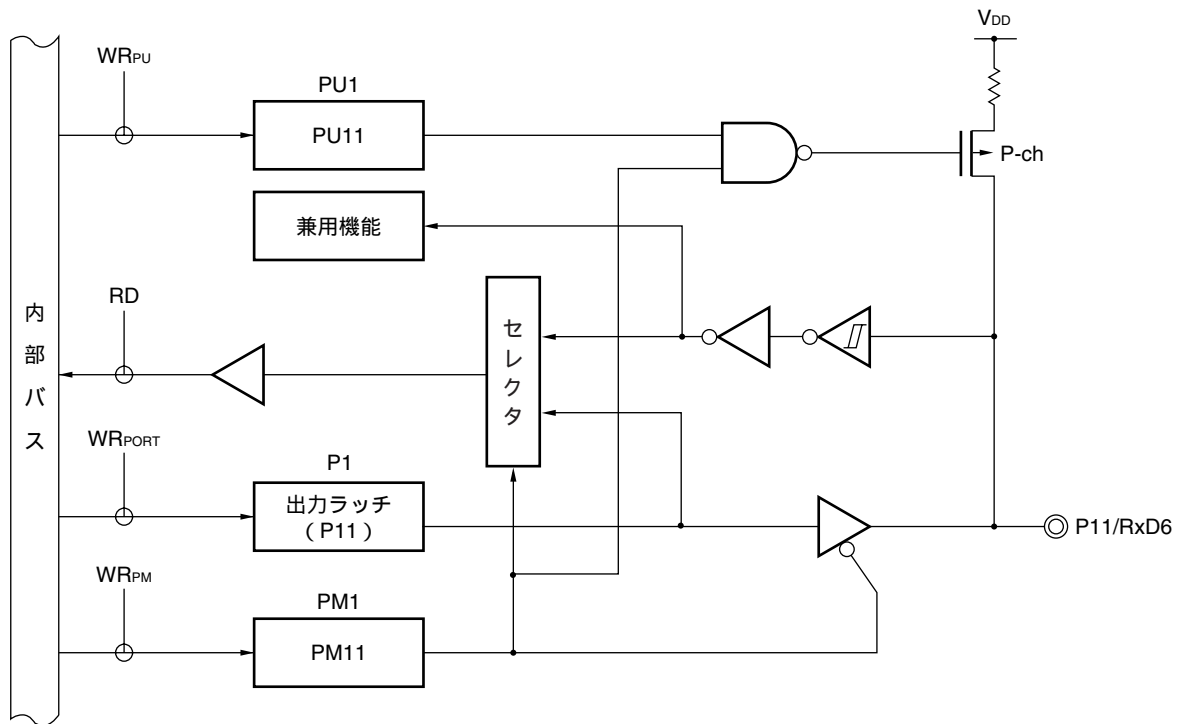
(1) 78K0/KB2-A



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

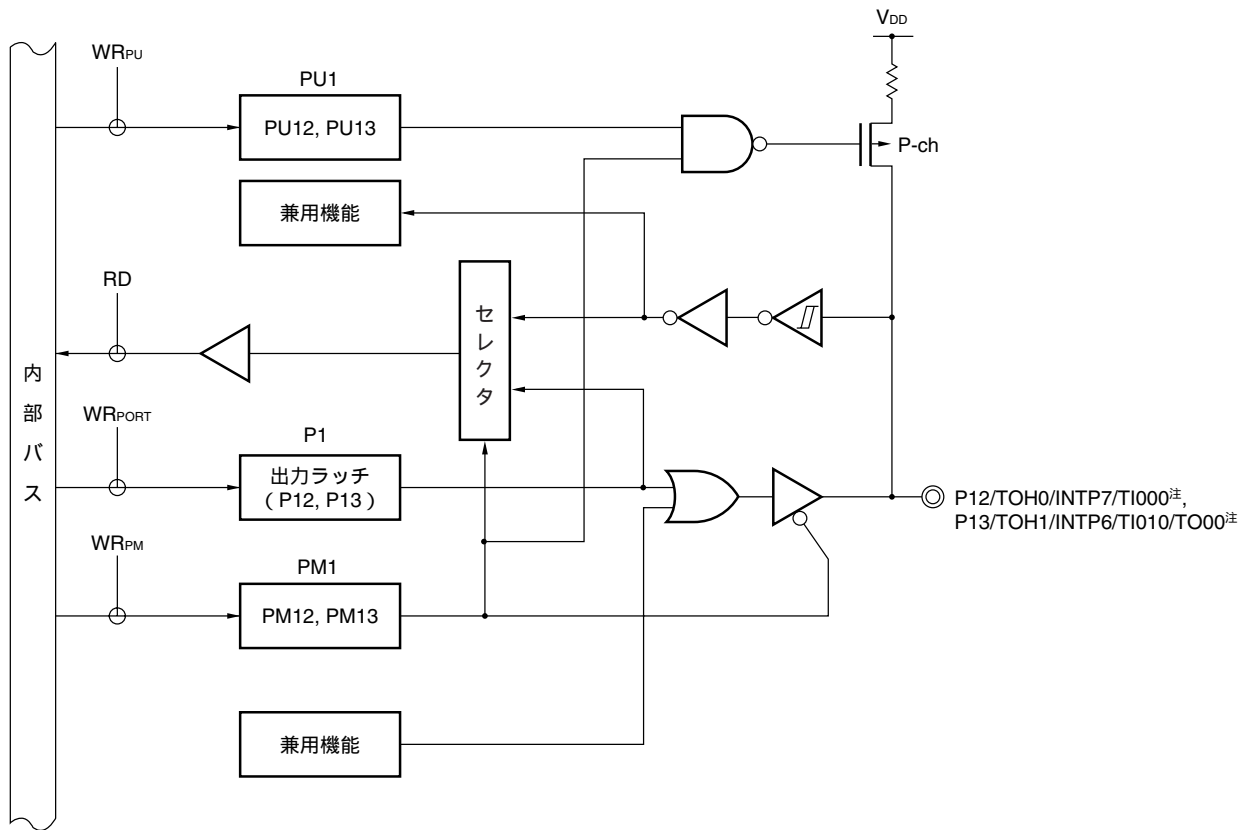
図4-4 P11のブロック図(2/2)

(2) 78K0/KC2-A



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 5 P12, P13のブロック図



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

注 78K0/KB2-A : P12/TOH0/INTP7/TI000, P13/TOH1/INTP6/TI010/TO00
 78K0/KC2-A : P12/TOH0/INTP7, P13/TOH1/INTP6

4.2.3 ポート2

78K0/KB2-A	78K0/KC2-A
P20/ANI0/AMP0-	
P21/ANI1/AMP0OUT	
P22/ANI2/AMP0+	
P23/ANI3/AMP1-	
P24/ANI4/AMP1OUT	
P25/ANI5/AMP1+	
-	P26/ANI6
	P27/ANI15/AV _{REFM}

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード/出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力、アナログ基準電圧入力、オペアンプ入出力があります。

P20/ANI0/AMP0- ~ P27/ANI15/AV_{REFM}を使用する場合は、使用する端子機能に応じて、レジスタを設定してください (表4-5 ~ 表4-8を参照)。

P20/ANI0/AMP0- ~ P27/ANI15/AV_{REFM}, P80/ANI8/AMP2- ~ P83/ANI11をデジタル入力またはデジタル出力として使用する場合は、AV_{DD}から最も遠いP20/ANI0/AMP0より行うことを推奨します。

リセット信号の発生により、P20/ANI0/AMP0- ~ P27/ANI15/AV_{REFM}はすべてデジタル入力になります。

注意 ポート2をデジタル・ポートとして使用する場合は、AV_{DD}をV_{DD}と同電位にしてください。

P20/ANI0/AMP0- ~ P27/ANI15/AV_{REFM}端子の機能は，ADPCレジスタ，ADSレジスタ，PM2レジスタ，OAENnビット，ADREFビットの設定で決定します。

表4 - 5 P20/ANI0/AMP0-, P22/ANI2/AMP0+, P23/ANI3/AMP1-, P25/ANI5/AMP1+端子の機能設定

ADPC レジスタ	PM2 レジスタ	OAENn ビット	ADSレジスタ	P20/ANI0/AMP0-, P22/ANI2/AMP0+, P23/ANI3/AMP1-, P25/ANI5/AMP1+端子
デジタル入 出力選択	入力モード	0	-	デジタル入力
		1	-	設定禁止
	出力モード	0	-	デジタル出力
		1	-	設定禁止
アナログ入 力選択	入力モード	0	ANI選択	アナログ入力 (A/D変換対象)
			ANI非選択	アナログ入力 (A/D変換非対象)
		1	ANI選択	設定禁止
			ANI非選択	オペアンプ入力
	出力モード	-	-	設定禁止

表4 - 6 P21/ANI1/AMP0OUT, P24/ANI4/AMP1OUT端子の機能設定

ADPC レジスタ	PM2 レジスタ	OAENn ビット	ADSレジスタ	P21/ANI1/AMP0OUT, P24/ANI4/AMP1OUT端子
デジタル入 出力選択	入力モード	0	-	デジタル入力
		1	-	設定禁止
	出力モード	0	-	デジタル出力
		1	-	設定禁止
アナログ入 力選択	入力モード	0	ANI選択	アナログ入力 (A/D変換対象)
			ANI非選択	アナログ入力 (A/D変換非対象)
		1	ANI選択	オペアンプ出力 (A/D変換対象)
			ANI非選択	オペアンプ出力 (A/D変換非対象)
	出力モード	-	-	設定禁止

表4 - 7 P26/ANI6端子の機能設定

ADPCレジスタ	PM2レジスタ	ADSレジスタ	P26/ANI6端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (A/D変換対象)
		ANI非選択	アナログ入力 (A/D非変換対象)
	出力モード	-	設定禁止

注意 オペアンプ使用時には，AMPn+, AMPn-, AMPnOUT端子を使用するため，端子に兼用するアナログ入力機能は使用できません。ただし，オペアンプ出力信号をアナログ入力として使用することはできません。

備考 n = 0, 1

表4 - 8 P27/ANI15/AV_{REFM}端子の機能設定

ADPC レジスタ	PM2 レジスタ	ADREF ビット	ADSレジスタ	P27/ANI15/AV _{REFM} 端子
デジタル入 出力選択	入力モード	0	-	デジタル入力
		1	-	設定禁止
	出力モード	0	-	デジタル出力
		1	-	設定禁止
アナログ入 力選択	入力モード	0	ANI選択	アナログ入力 (A/D変換対象)
			ANI非選択	アナログ入力 (A/D非変換対象)
		1	-	A/Dコンバータの - 側の基準電圧入力
	出力モード	-	-	設定禁止

図4 - 6 ~ 図4 - 10にポート2のブロック図を示します。

図4 - 6 P20, P23のブロック図

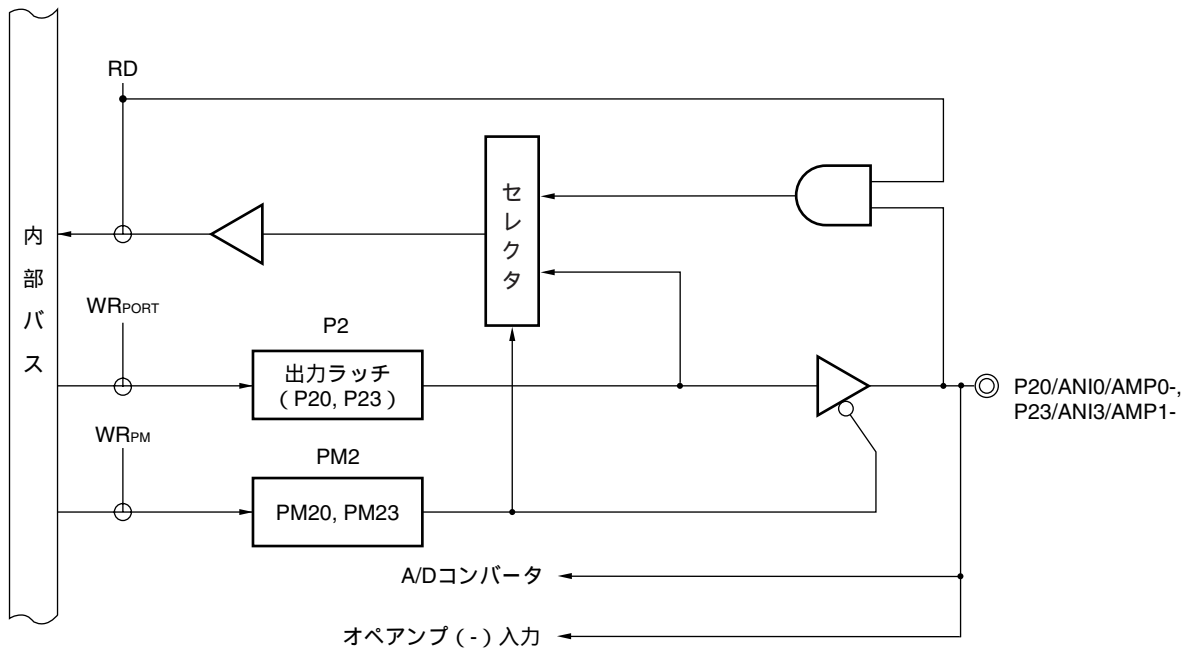
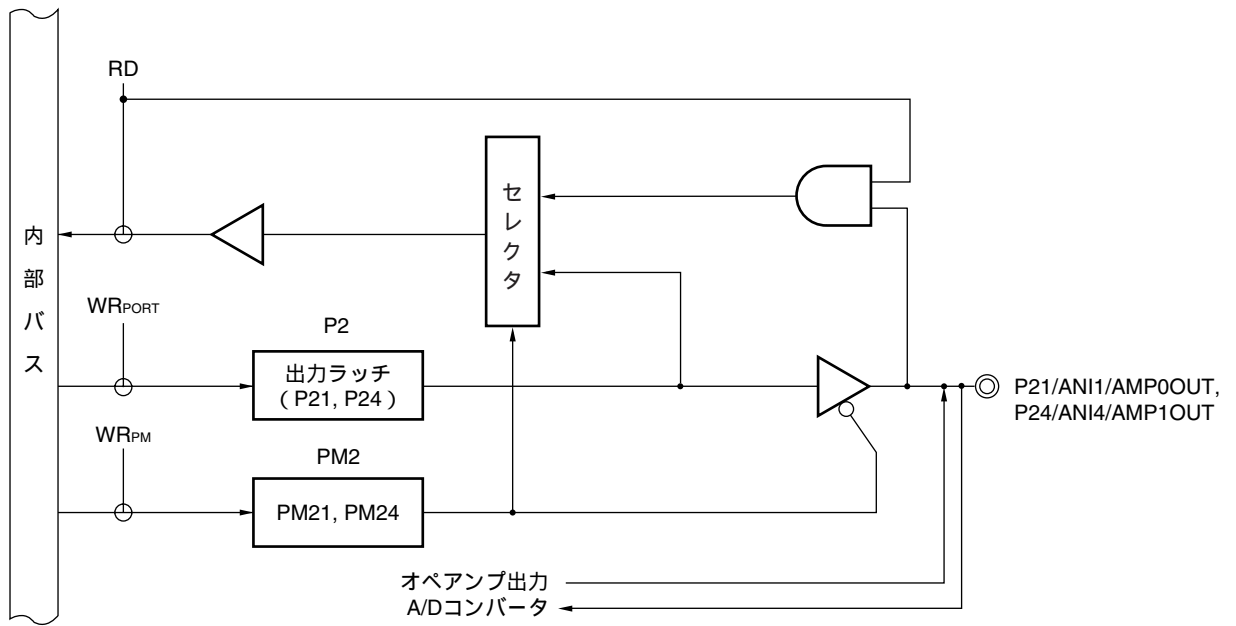


図4 - 7 P21, P24のブロック図



- P2 : ポート・レジスタ2
- PM2 : ポート・モード・レジスタ2
- RD : リード信号
- WR_x : ライト信号

図4 - 8 P22, P25のブロック図

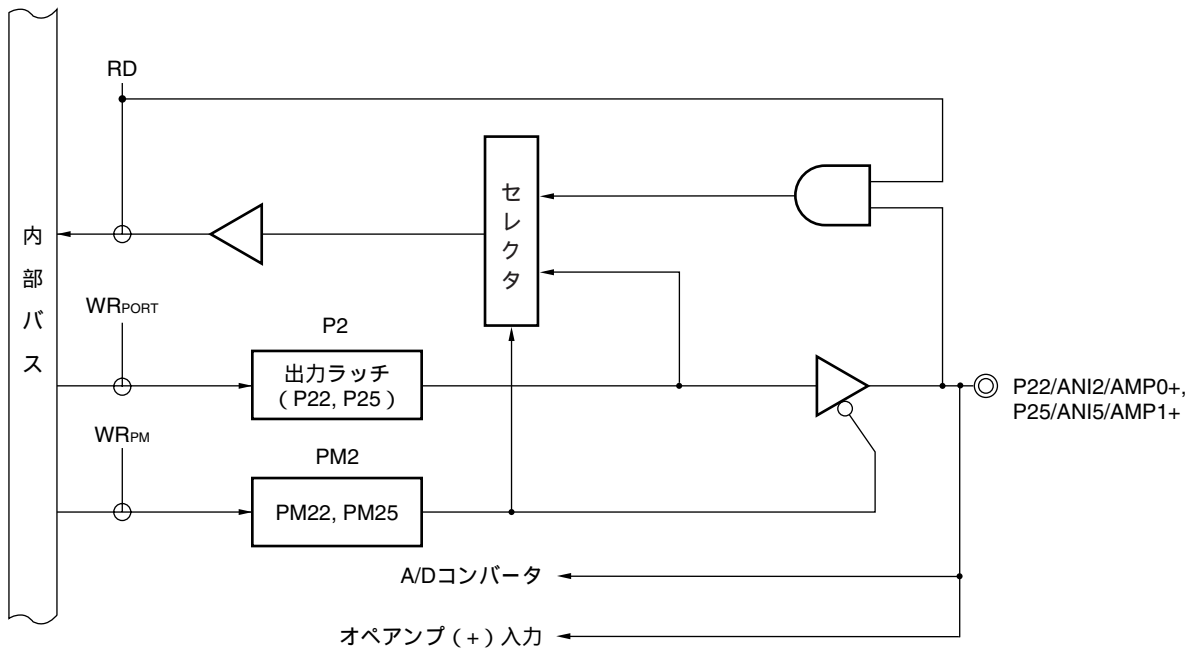
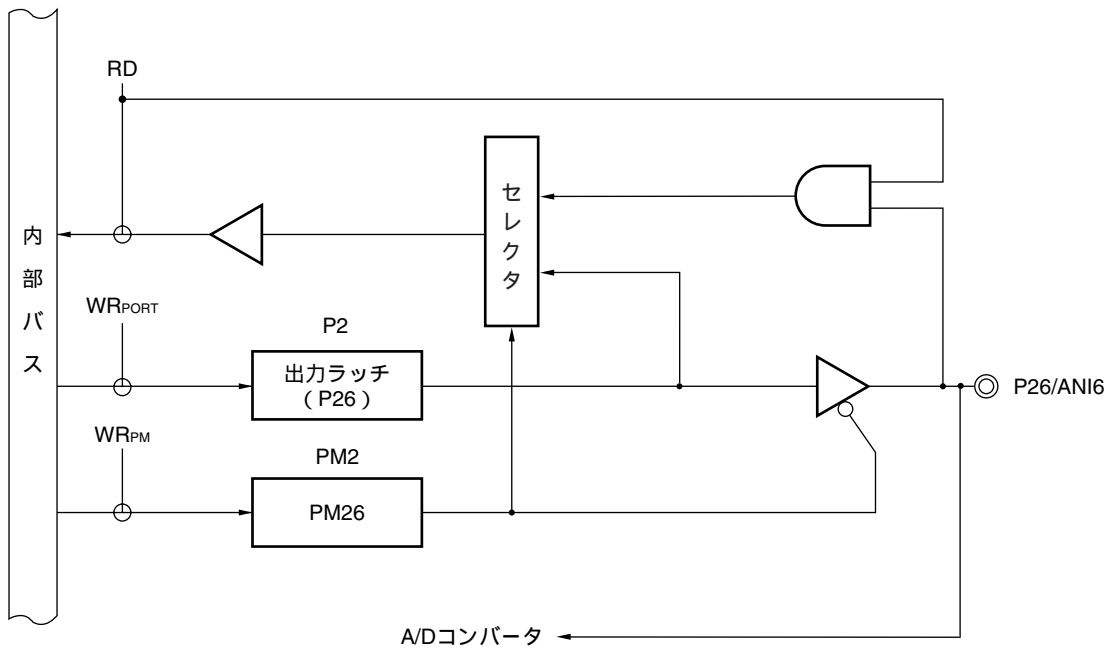
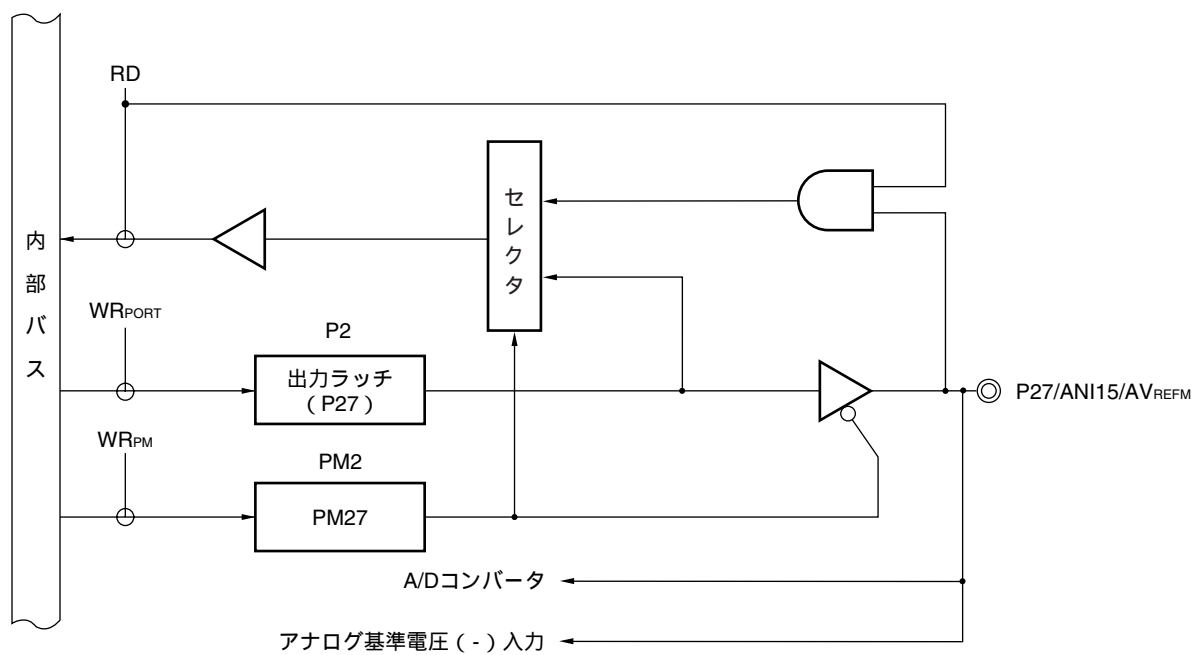


図4 - 9 P26のブロック図



- P2 : ポート・レジスタ2
- PM2 : ポート・モード・レジスタ2
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 10 P27のブロック図



- P2 : ポート・レジスタ2
- PM2 : ポート・モード・レジスタ2
- RD : リード信号
- WR_x : ライト信号

4.2.4 ポート3

78K0/KB2-A	78K0/KC2-A
P31/INTP5/OCD1A ($\overline{\text{SCK10}}$)	
P32/INTP4/OCD1B (SI10)	
-	P33/TI51/TO51/INTP3
-	P34/TI50/TO50/INTP2
P35/SO10/INTP1	

備考 ()内の機能は、入力切り替え制御レジスタ (ISC) のビット2 (ISC2) を1に設定することにより、割り当てられます。

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード/出力モードの指定ができます。P31-P35端子を入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、タイマ入出力、シリアル・インタフェースのデータ入出力、クロック入出力があります。

リセット信号の発生により、入力モードになります。

図4 - 11 ~ 図4 - 13にポート3のブロック図を示します。

注意1. P31/INTP5/OCD1A ($\overline{\text{SCK10}}$) 端子が、フラッシュ・メモリ・プログラマ接続およびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください。

		P31/INTP5/OCD1A ($\overline{\text{SCK10}}$)
フラッシュ・メモリ・プログラマ接続		抵抗を介してV _{ss} に接続してください。
オンチップ・デバッグ・エミュレータ接続(ただし、オンチップ・デバッグ・モード引き込み用端子として使用しない場合)	リセット時	入力時：抵抗を介して、V _{DD} またはV _{ss} に接続してください。 出力時：オープンにしてください。
	リセット解除時	

2. P31/INTP5/OCD1A ($\overline{\text{SCK10}}$), P35/SO10/INTP1を汎用ポートとして使用する場合、シリアル動作モード・レジスタ10 (CSIM10) とシリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。

備考 P31, P32は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用 (OCD1A, OCD1B) として使用できます。オンチップ・デバッグ・エミュレータ (QB-MINI2) との接続については、第26章 **オンチップ・デバッグ機能**を参照してください。

図4 - 11 P31のブロック図

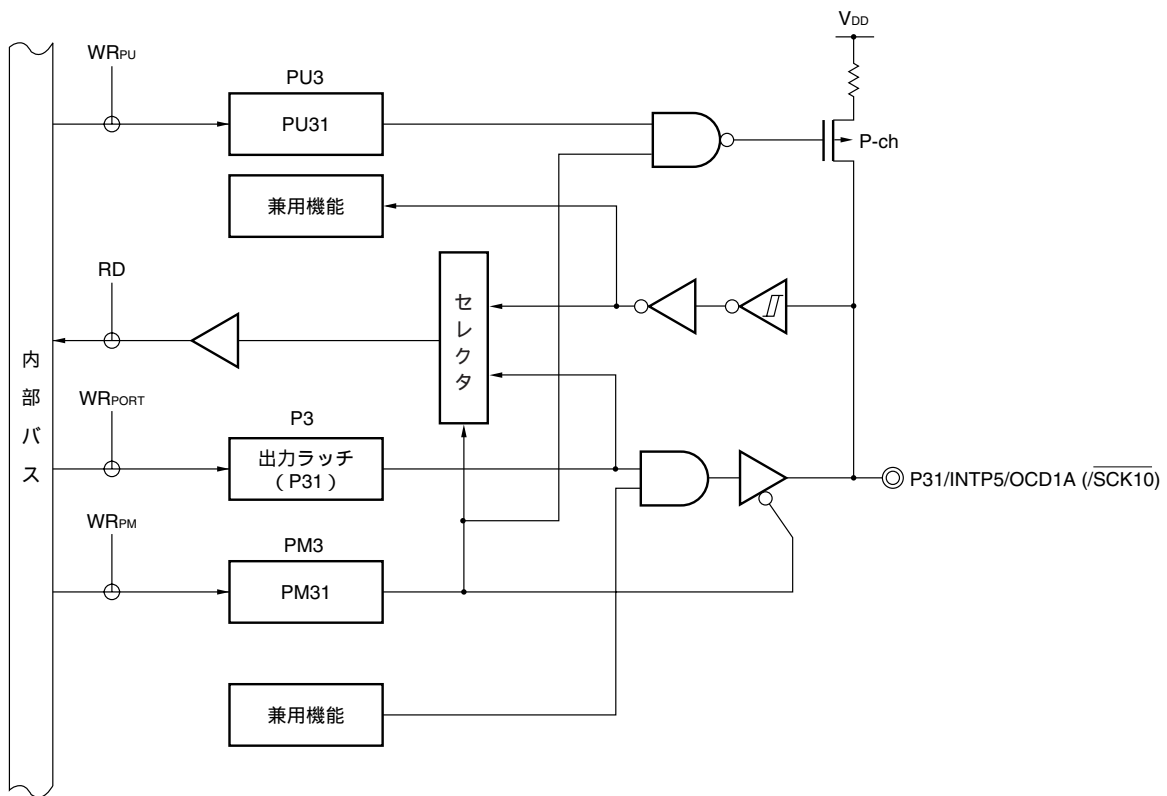
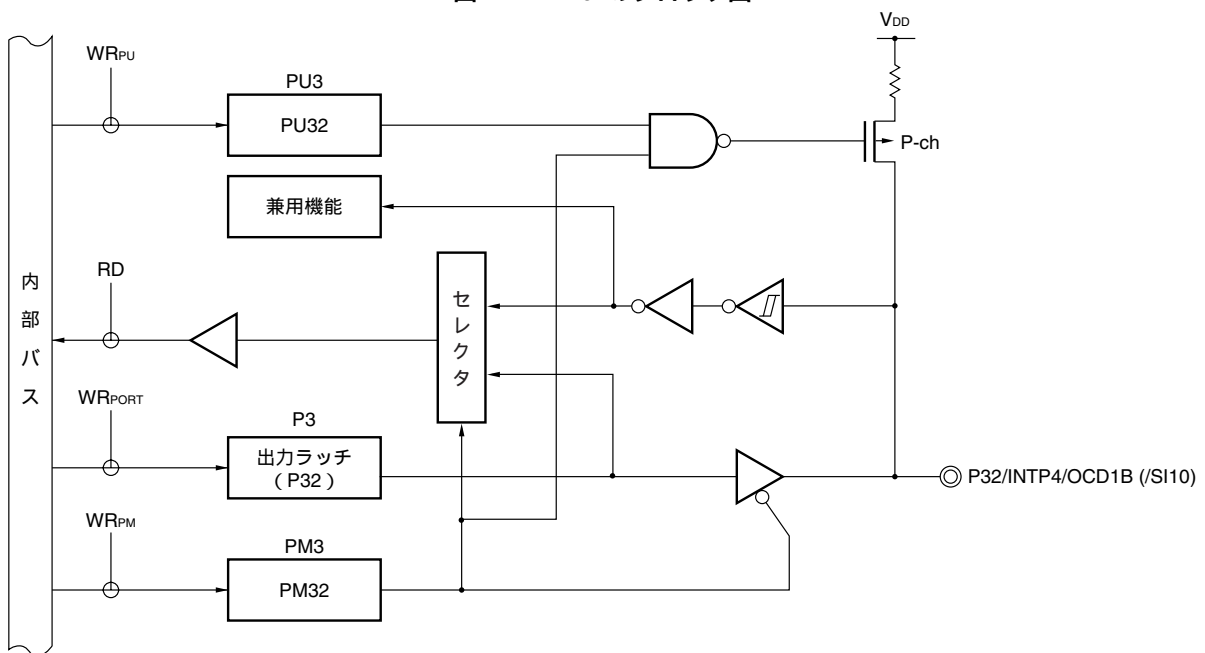


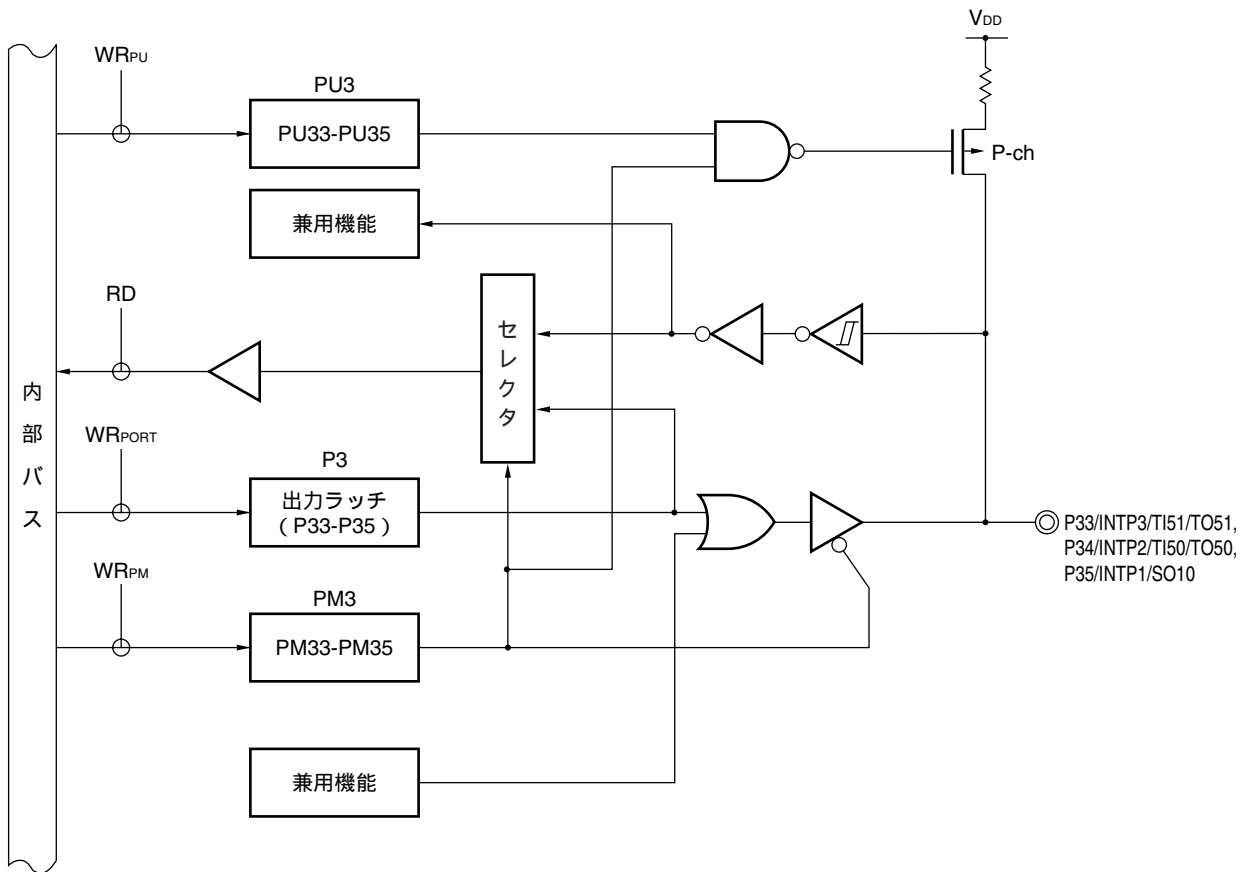
図4 - 12 P32のブロック図



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_x : ライト信号

備考 ()内の機能は、入力切り替え制御レジスタ (ISC) のビット2 (ISC2) を1に設定することにより、割り当てられます。

図4 - 13 P33-P35のブロック図



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_{xx} : ライト信号

4.2.5 ポート4

78K0/KB2-A	78K0/KC2-A
-	P40/RTCCL/RTCDIV
-	P41/RTC1HZ
-	P42/PCL/SSI10/INTP9

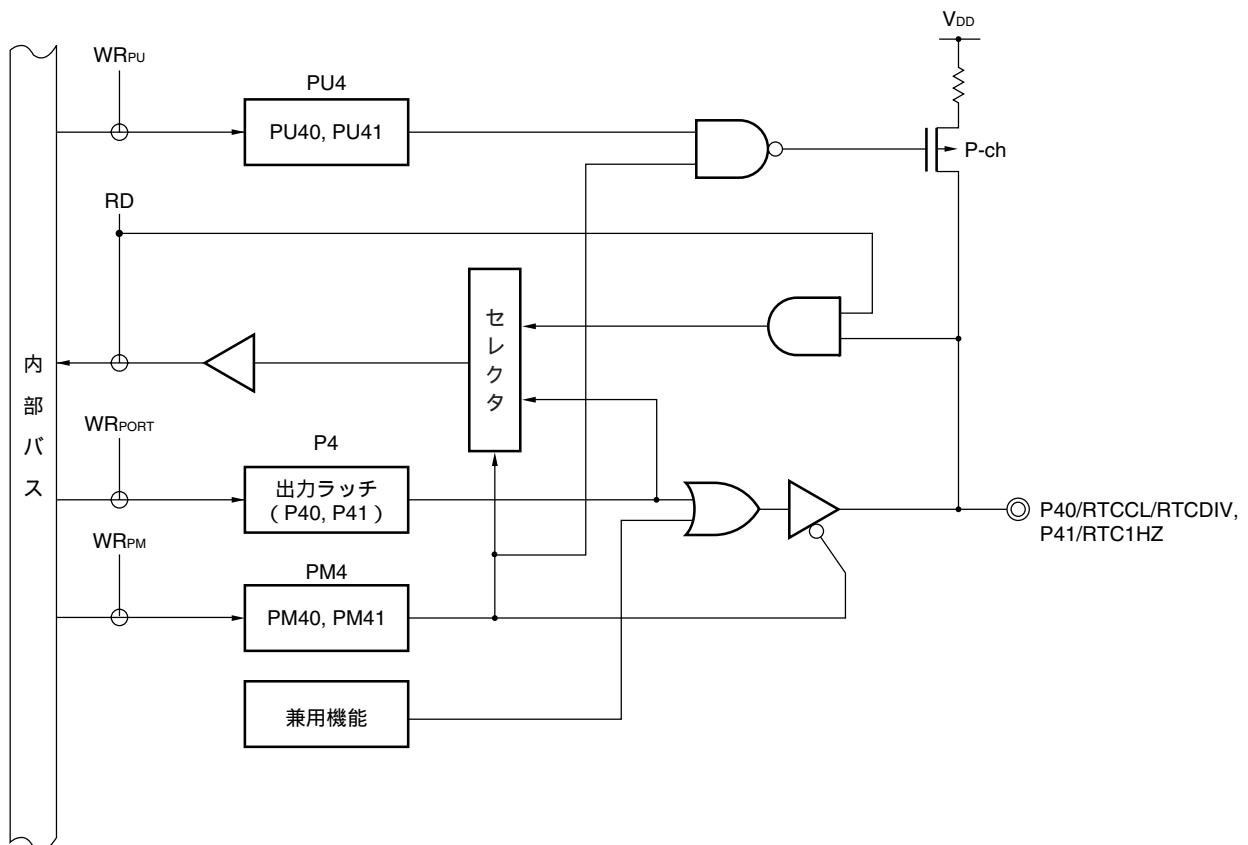
出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード/出力モードの指定ができます。P40-P42端子を入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、クロック出力、リアルタイム・カウンタ・クロック出力、リアル・インタフェースのチップ・セレクト入力があります。

リセット信号の発生により、入力モードになります。

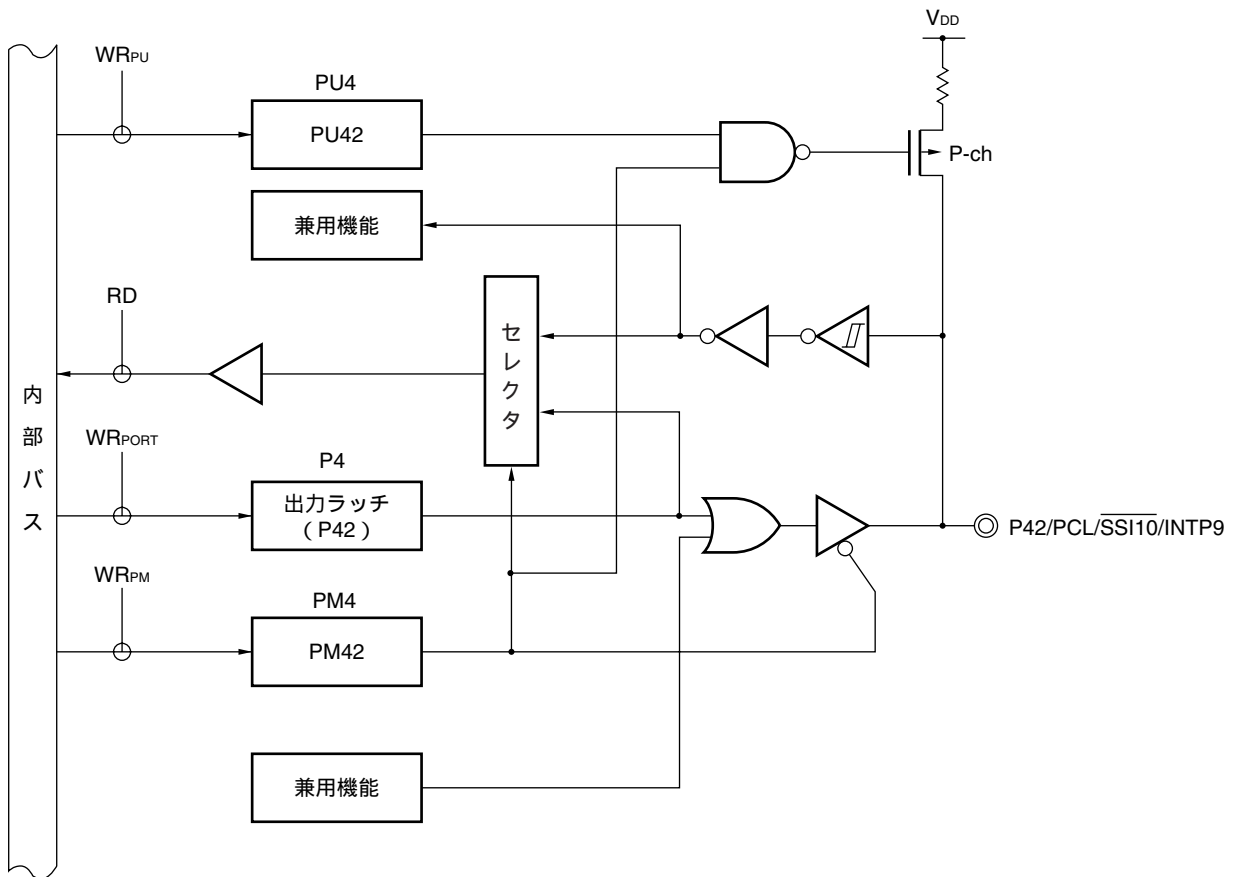
図4 - 14、図4 - 15にポート4のブロック図を示します。

図4 - 14 P40, P41のブロック図



- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 15 P42のブロック図



- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_{xx} : ライト信号

4.2.6 ポート6

78K0/KB2-A	78K0/KC2-A
P60/SCLA0/ $\overline{\text{SCK10}}$	
P61/SDAA0/SI10	

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6 (PM6) により1ビット単位で入力モード/出力モードの指定ができます。

出力は、N-chオープン・ドレイン出力 (6 V耐圧) です。

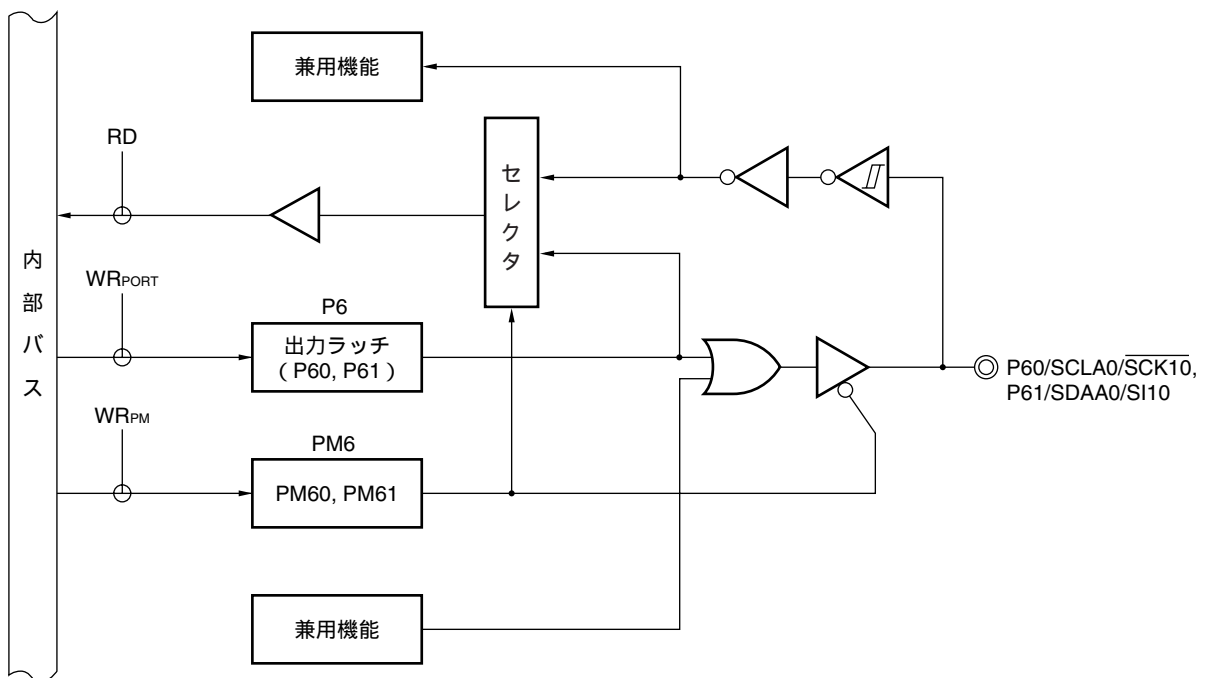
また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力があります。

リセット信号の発生により、入力モードになります。

図4 - 16にポート6のブロック図を示します。

注意 P60/ $\overline{\text{SCK10}}$ を汎用ポートとして使用する場合、シリアル動作モード・レジスタ10 (CSIM10) とシリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。

図4 - 16 P60, P61のブロック図



- P6 : ポート・レジスタ6
- PM6 : ポート・モード・レジスタ6
- RD : リード信号
- WR_x : ライト信号

注意 P60, P61は出力モード時においても、入力バッファがオンになっているため、中間電位を入れた場合、貫通電流が流れます。したがって、P60, P61が出力モードの場合には、中間電位を入れないでください。

4.2.7 ポート7

78K0/KB2-A	78K0/KC2-A
-	P70/KR0
-	P71/KR1
-	P72/KR2
-	P73/KR3
-	P74/KR4
-	P75/KR5

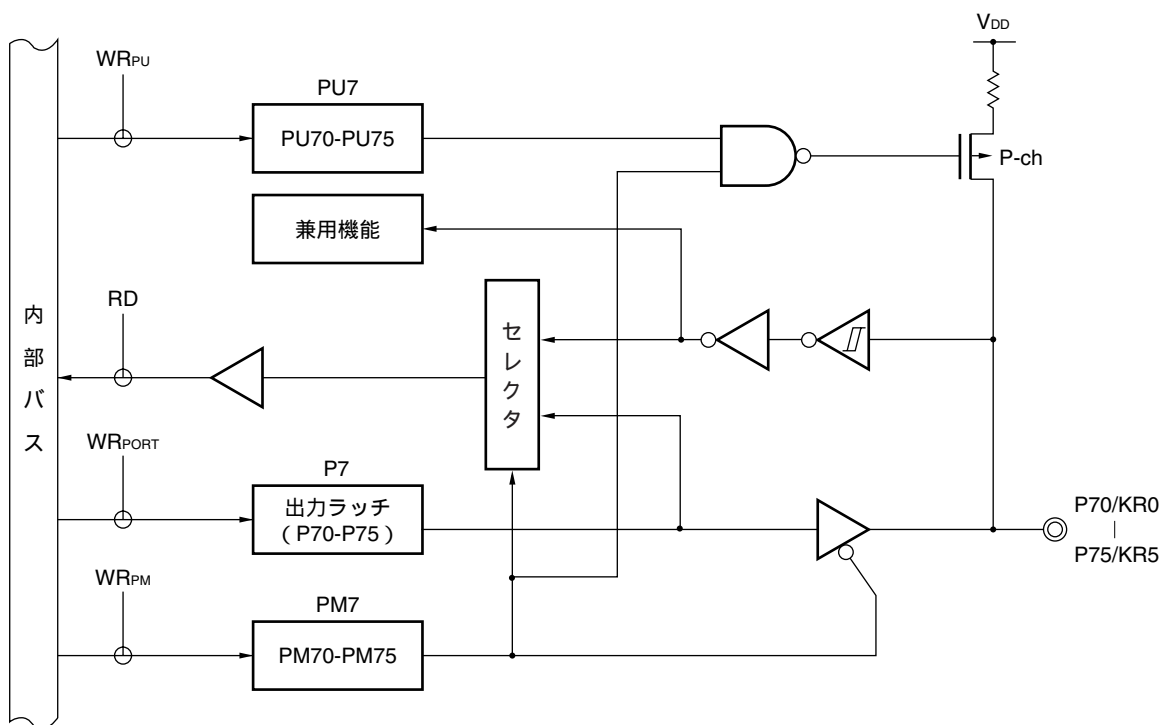
出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7 (PM7) により1ビット単位で入力モード / 出力モードの指定ができます。P70-P75端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ7 (PU7) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてキー・リターン入力があります。

リセット信号の発生により、入力モードになります。

図4 - 17にポート7のブロック図を示します。

図4 - 17 P70-P75のブロック図



- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- RD : リード信号
- WR_x : ライト信号

4.2.8 ポート8

78K0/KB2-A	78K0/KC2-A
P80/ANI8/AMP2-	
P81/ANI9/AMP2OUT	
P82/ANI10/AMP2+	
P83/ANI11	

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ8 (PM8) により1ビット単位で入力モード/出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力、オペアンプ入出力があります。

P80/ANI8/AMP2- ~ P83/ANI11を使用する場合は、使用する端子機能に応じて、レジスタを設定してください (表4 - 9 ~ 表4 - 11を参照)。

P20/ANI0/AMP0- ~ P27/ANI15/AV_{REFM}, P80/ANI8/AMP2- ~ P83/ANI11をデジタル入力またはデジタル出力として使用する場合は、AV_{DD}から最も遠いP20/ANI0/AMP0より行うことを推奨します。

リセット信号の発生により、P80/ANI8/AMP2- ~ P83/ANI11はすべてデジタル入力になります。

注意 ポート8をデジタル・ポートとして使用する場合は、AV_{DD}をV_{DD}と同電位にしてください。

P80/ANI8/AMP2- ~ P83/ANI11端子の機能は，ADPCレジスタ，ADSレジスタ，PM8レジスタ，OAEN2ビットの設定で決定します。

表4 - 9 P80/ANI8/AMP2-, P82/ANI10/AMP2+端子の機能設定

ADPC レジスタ	PM8 レジスタ	OAEN2 ビット	ADSレジスタ	P80/ANI8/AMP2-, P82/ANI10/AMP2+端子
デジタル入 出力選択	入力モード	0	-	デジタル入力
		1	-	設定禁止
	出力モード	0	-	デジタル出力
		1	-	設定禁止
アナログ入 力選択	入力モード	0	ANI選択	アナログ入力 (A/D変換対象)
			ANI非選択	アナログ入力 (A/D変換非対象)
		1	ANI選択	設定禁止
			ANI非選択	オペアンプ入力
	出力モード	-	-	設定禁止

表4 - 10 P81/ANI9/AMP2OUT端子の機能設定

ADPC レジスタ	PM8 レジスタ	OAEN2 ビット	ADSレジスタ	P81/ANI9/AMP2OUT端子
デジタル入 出力選択	入力モード	0	-	デジタル入力
		1	-	設定禁止
	出力モード	0	-	デジタル出力
		1	-	設定禁止
アナログ入 力選択	入力モード	0	ANI選択	アナログ入力 (A/D変換対象)
			ANI非選択	アナログ入力 (A/D変換非対象)
		1	ANI選択	オペアンプ出力 (A/D変換対象)
			ANI非選択	オペアンプ出力 (A/D変換非対象)
	出力モード	-	-	設定禁止

表4 - 11 P83/ANI11端子の機能設定

ADPCレジスタ	PM8レジスタ	ADSレジスタ	P83/ANI11端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (A/D変換対象)
		ANI非選択	アナログ入力 (A/D非変換対象)
	出力モード	-	設定禁止

注意 オペアンプ使用時には，AMP2+, AMP2-, AMP2OUT端子を使用するため，端子に兼用するアナログ入力機能は使用できません。ただし，オペアンプ出力信号をアナログ入力として使用することはできません。

図4 - 18 ~ 図4 - 21にポート8のブロック図を示します。

図4 - 18 P80のブロック図

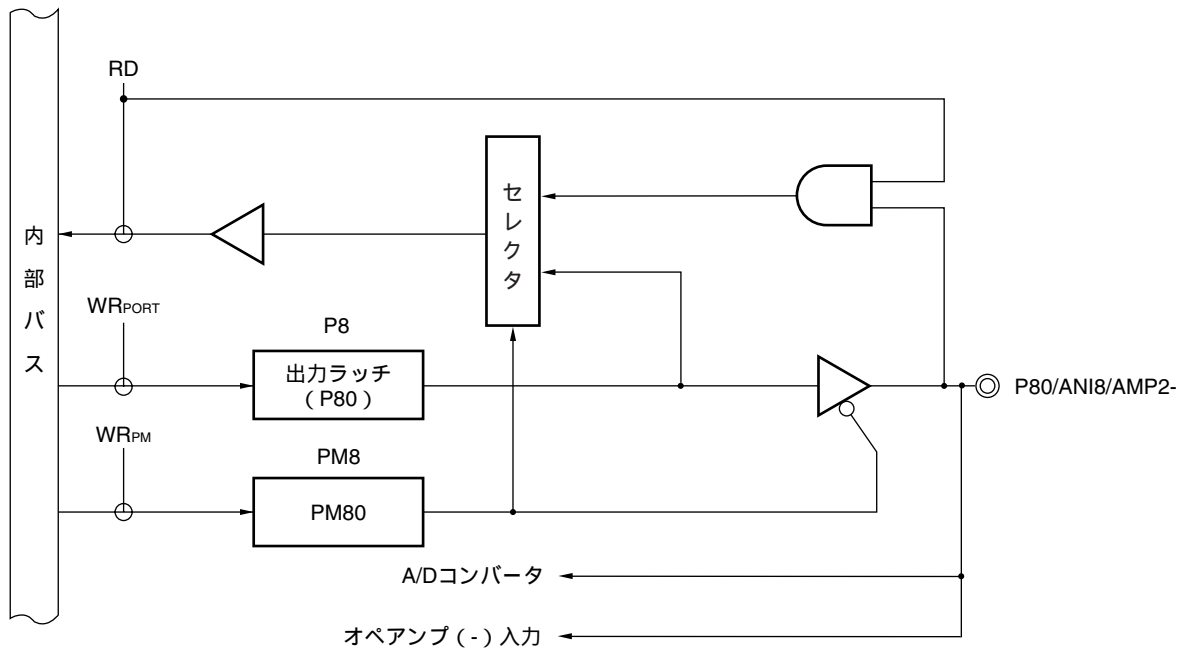
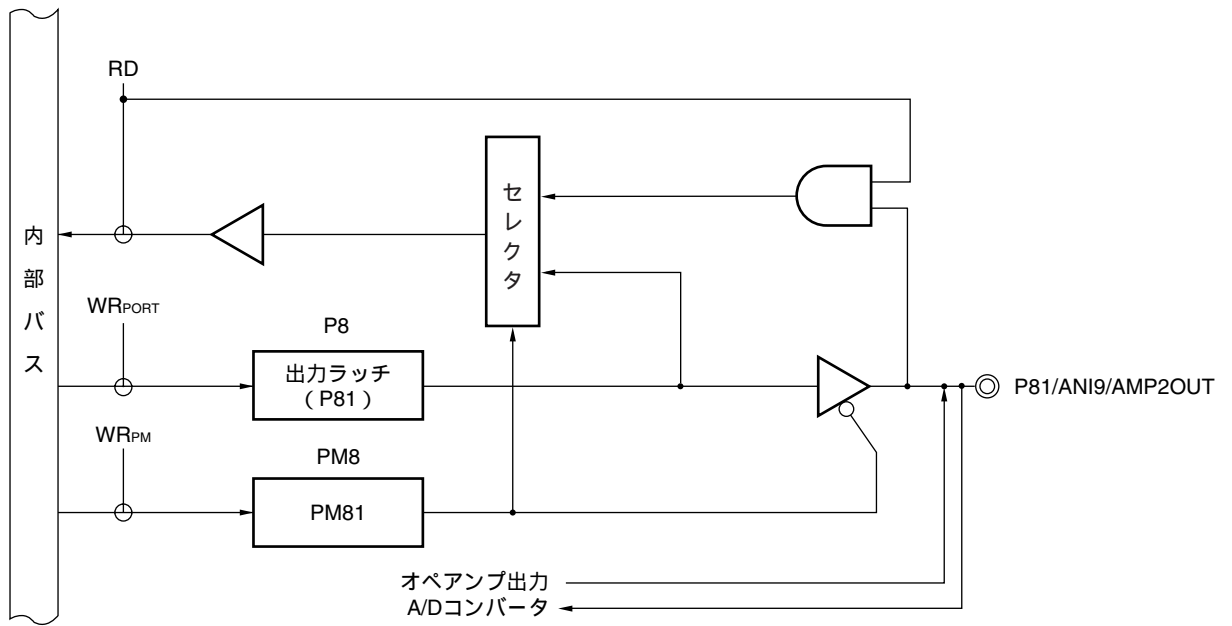


図4 - 19 P81のブロック図



- P8 : ポート・レジスタ8
- PM8 : ポート・モード・レジスタ8
- RD : リード信号
- WR_x : ライト信号

図4 - 20 P82のブロック図

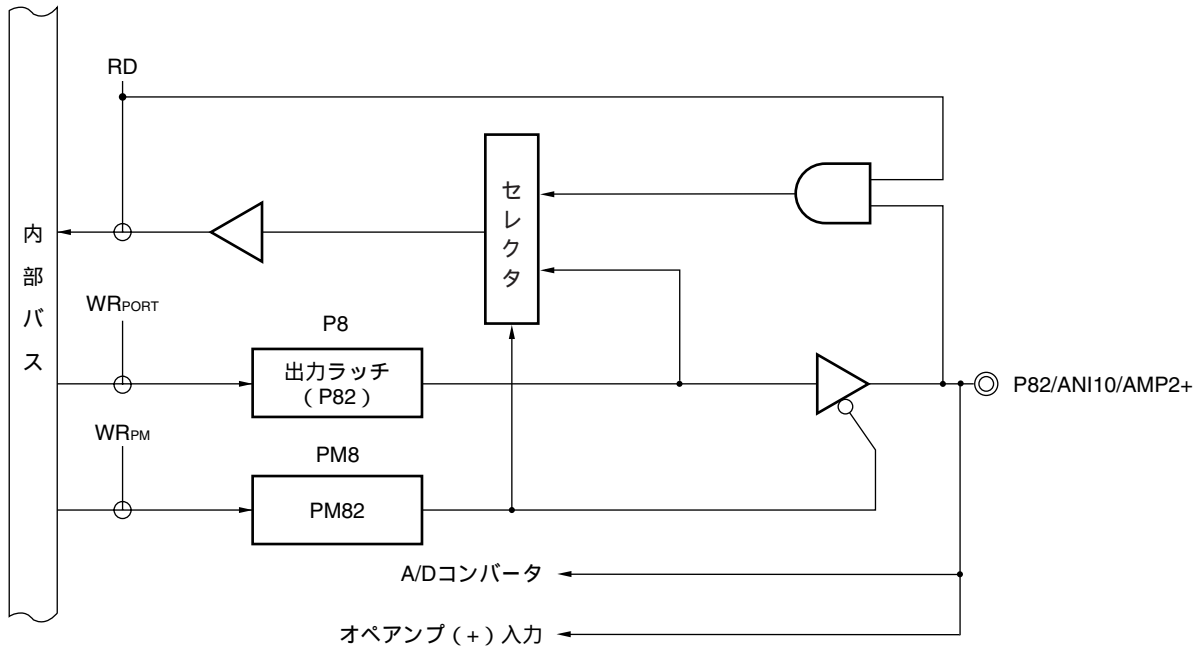
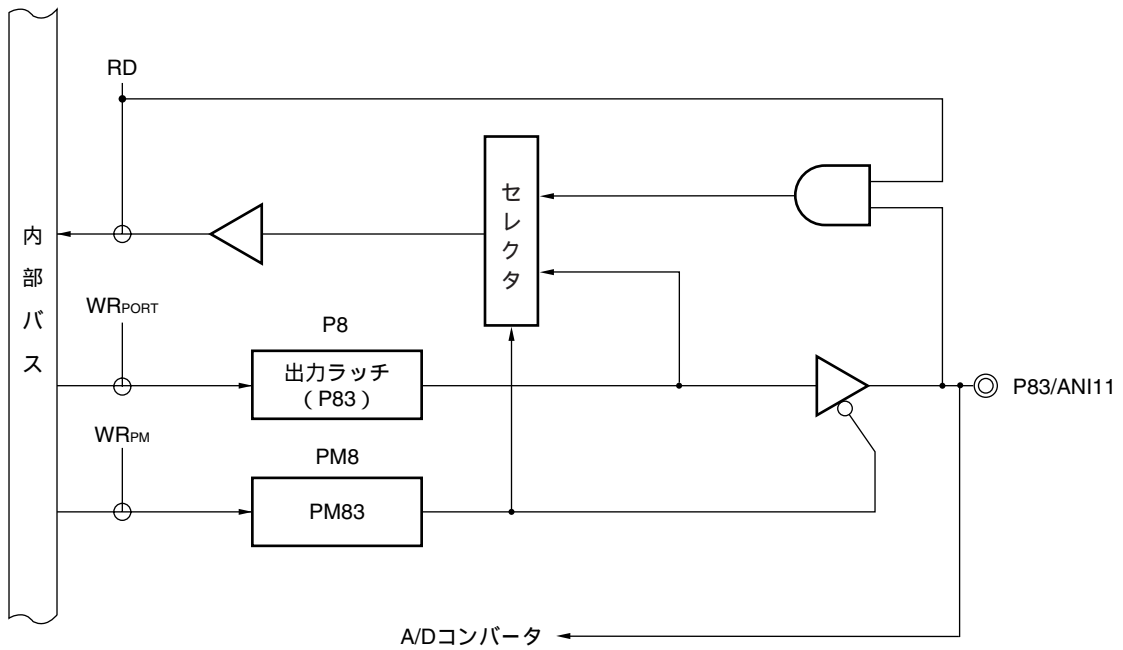


図4 - 21 P83のブロック図



- P8 : ポート・レジスタ8
- PM8 : ポート・モード・レジスタ8
- RD : リード信号
- WR_{xx} : ライト信号

4.2.9 ポート12

78K0/KB2-A	78K0/KC2-A
P120/INTP0/EXLVI	
P121/X1/OCD0A	
P122/X2/OCD0B	
-	P123/XT1
-	P124/XT2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ12 (PM12) により、1ビット単位で入力モード / 出力モードの指定ができます。P120のみ、入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。

また兼用機能として外部割り込み要求入力、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力があります。

リセット信号の発生により、入力モードになります。

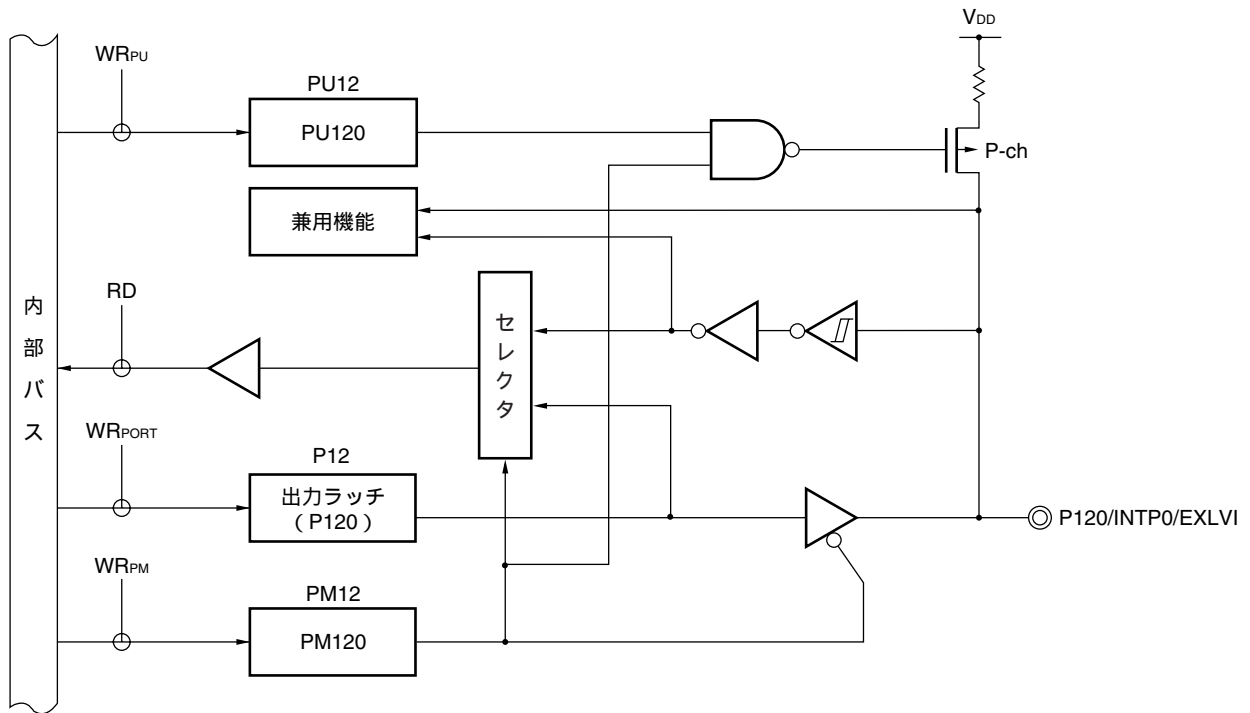
図4 - 22 ~ 図4 - 24にポート12のブロック図を示します。

- 注意1.** P121-P124端子を、メイン・システム・クロック用発振子接続 (X1, X2)、サブシステム・クロック発振子接続 (XT1, XT2)、メイン・システム・クロック用外部クロック入力 (EXCLK) として使用する場合は、クロック動作モード選択レジスタ (OSCCTL) でX1発振モード、XT1発振モードまたは外部クロック入力モードに設定してください (詳細は、5.3 (1) クロック動作モード選択レジスタ (OSCCTL) を参照)。OSCCTLのリセット値は00H (P121-P124はすべて入出力ポート) となります。このとき、PM121-PM124、P121- P124の設定は不要です。
- 2.** P121/X1/OCD0A端子が、フラッシュ・メモリ・プログラマ接続時およびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください。

		P121/X1/OCD0A
フラッシュ・メモリ・プログラマ接続		オープン、または抵抗を介してV _{SS} に接続してください。
オンチップ・デバッグ・エミュレータ接続 (ただし、オンチップ・デバッグ・モード引き込み用端子として使用しない場合)	リセット時	入力時：抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
	リセット解除時	

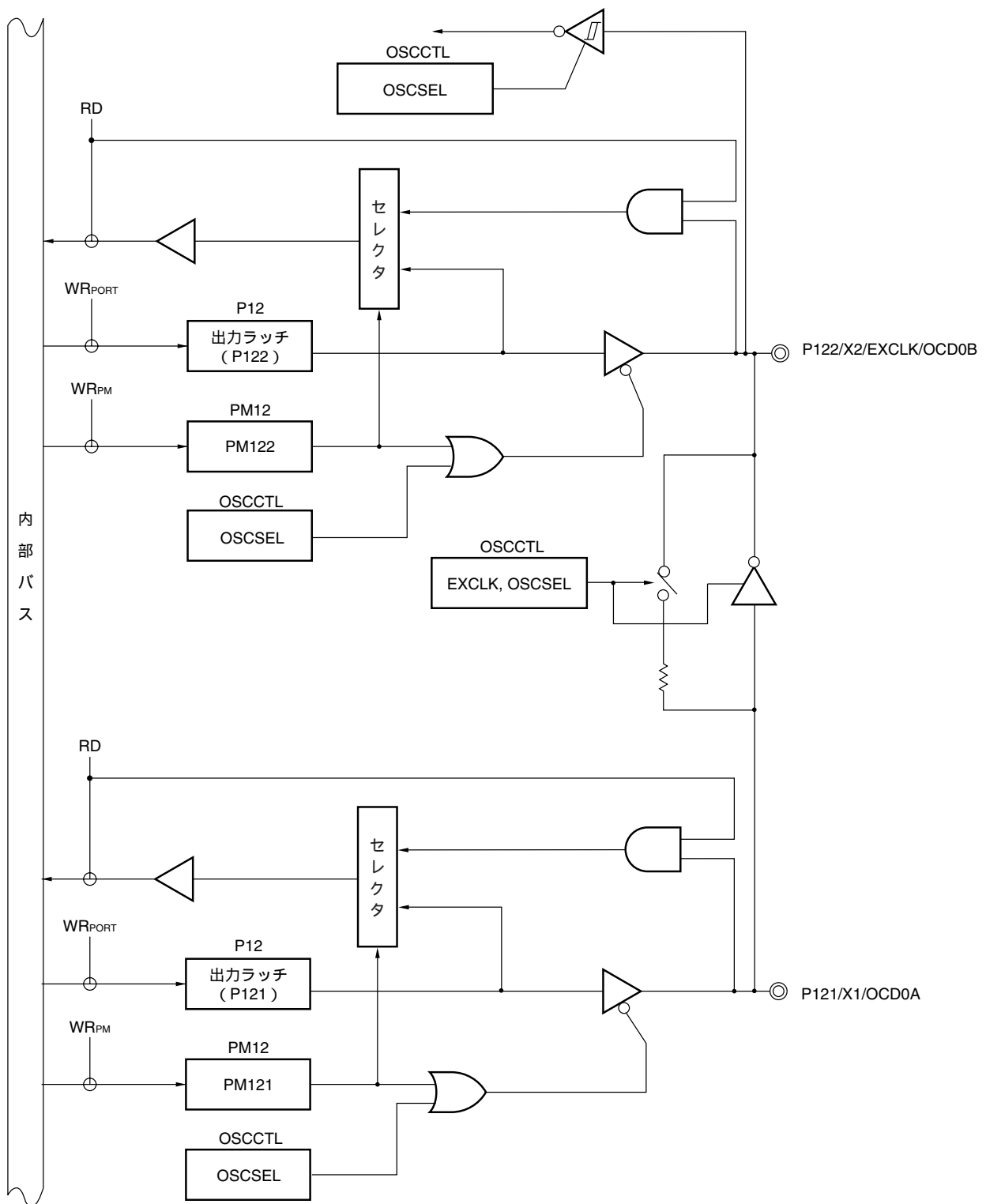
備考 X1, X2は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD0A, OCD0B) として使用できます。オンチップ・デバッグ・エミュレータ (QB-MINI2) との接続については、第26章 **オンチップ・デバッグ機能**を参照してください。

図4 - 22 P120のブロック図



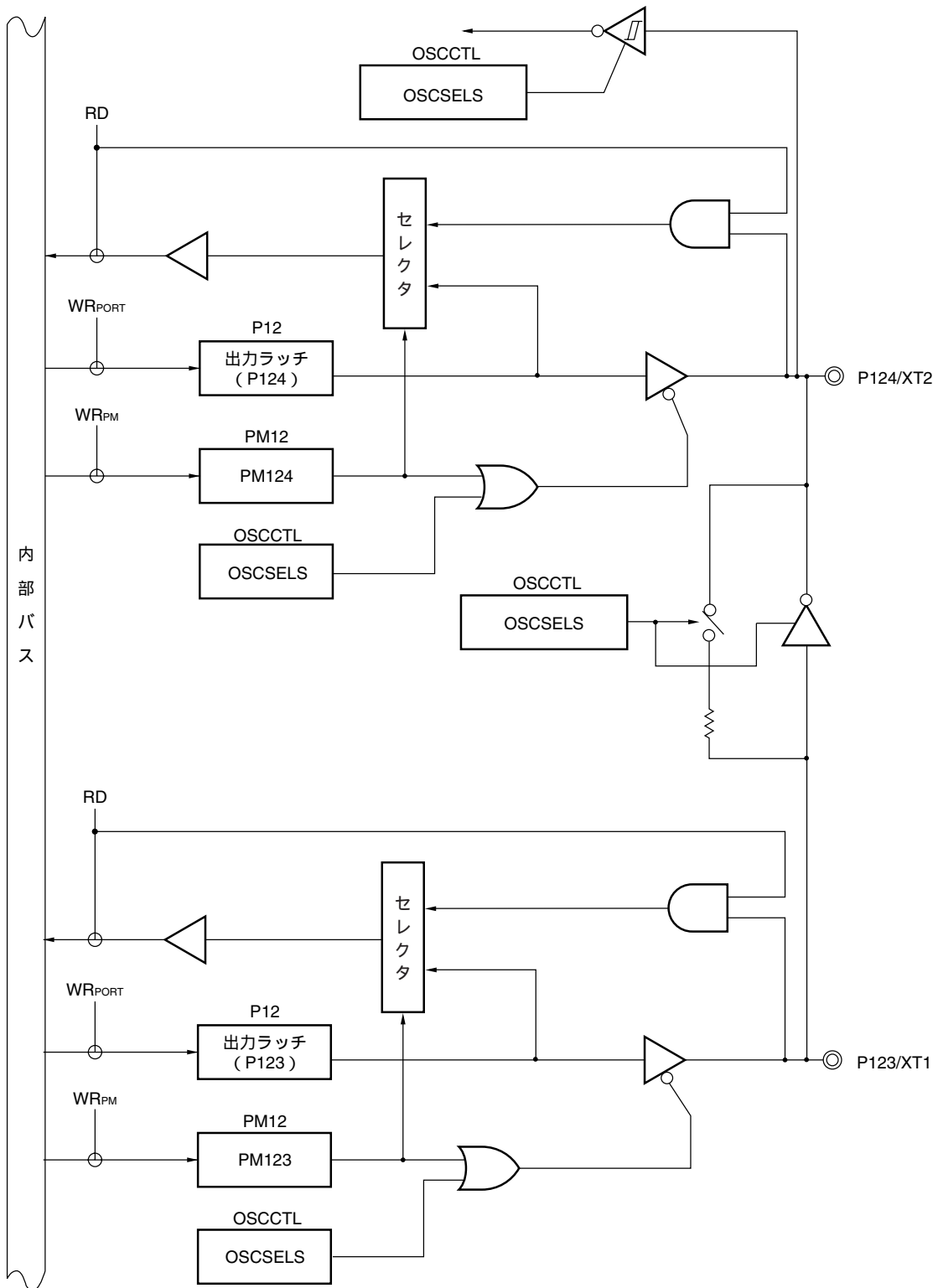
- P12 : ポート・レジスタ12
- PU12 : プルアップ抵抗オプション・レジスタ12
- PM12 : ポート・モード・レジスタ12
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 23 P121, P122のブロック図



- P12 : ポート・レジスタ12
- PU12 : ブルアップ抵抗オプション・レジスタ12
- PM12 : ポート・モード・レジスタ12
- OSCCTL : クロック動作モード選択レジスタ
- RD : リード信号
- WR_x : ライト信号

図4 - 24 P123, P124のブロック図



- P12 : ポート・レジスタ12
- PU12 : プルアップ抵抗オプション・レジスタ12
- PM12 : ポート・モード・レジスタ12
- OSCCTL : クロック動作モード選択レジスタ
- RD : リード信号
- WR_{xx} : ライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次の4種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PMxx)
- ・ポート・レジスタ (Pxx)
- ・プルアップ抵抗オプション・レジスタ (PUxx)
- ・A/Dポート・コンフィギュレーション・レジスタ (ADPC)

(1) ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用端子使用時のポート・モード・レジスタ、出力ラッチの設定を参照し、設定してください。

図4-25 ポート・モード・レジスタのフォーマット (1/2)

(1) 78K0/KB2-A

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM1	1	1	1	1	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	PM35	1	1	PM32	PM31	1	FF23H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FF26H	FFH	R/W
PM8	1	1	1	1	PM83	PM82	PM81	PM80	FF28H	FFH	R/W
PM12	1	1	1	1	1	PM122	PM121	PM120	FF2CH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 1-3, 6, 8, 12; n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 PM1のビット4-7, PM2のビット6, 7, PM3のビット0, 3, 4, 6, 7, PM6のビット2-7, PM8のビット4-7, PM12のビット3-7には、必ず1を設定してください。

図4 - 25 ポート・モード・レジスタのフォーマット (2/2)

(2) 78K0/KC2-A

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	1	1	1	1	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	PM35	PM34	PM33	PM32	PM31	1	FF23H	FFH	R/W
PM4	1	1	1	1	1	PM42	PM41	PM40	FF24H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FF26H	FFH	R/W
PM7	1	1	PM75	PM74	PM73	PM72	PM71	PM70	FF27H	FFH	R/W
PM8	1	1	1	1	PM83	PM82	PM81	PM80	FF28H	FFH	R/W
PM12	1	1	1	PM124	PM123	PM122	PM121	PM120	FF2CH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-4, 6-8, 12 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 PM0のビット3-7, PM1のビット4-7, PM3のビット0, 6, 7, PM4のビット3-7, PM6のビット2-7, PM7のビット6, 7, PM8のビット4-7, PM12のビット5-7には必ず1を設定してください。

(2) ポート・レジスタ (Pxx)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図4 - 26 ポート・レジスタのフォーマット (1/2)

(1) 78K0/KB2-A

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P1	0	0	0	0	P13	P12	P11	P10	FF01H	00H (出力ラッチ)	R/W
P2	0	0	P25	P24	P23	P22	P21	P20	FF02H	00H (出力ラッチ)	R/W
P3	0	0	P35	0	0	P32	P31	0	FF03H	00H (出力ラッチ)	R/W
P6	0	0	0	0	0	0	P61	P60	FF06H	00H (出力ラッチ)	R/W
P8	0	0	0	0	P83	P82	P81	P80	FF08H	00H (出力ラッチ)	R/W
P12	0	0	0	0	0	P122 ^注	P121 ^注	P120	FF0CH	00H (出力ラッチ)	R/W

Pmn	m = 1-3, 6, 8, 12; n = 0-5	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121, P122の出力ラッチは、端子モードが外部クロック入力モードの場合、常に0が読み出されます。

図4 - 26 ポート・レジスタのフォーマット (2/2)

(2) 78K0/KC2-A

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	P02	P01	P00	FF00H	00H (出力ラッチ)	R/W
P1	0	0	0	0	P13	P12	P11	P10	FF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FF02H	00H (出力ラッチ)	R/W
P3	0	0	P35	P34	P33	P32	P31	0	FF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	0	P42	P41	P40	FF04H	00H (出力ラッチ)	R/W
P6	0	0	0	0	0	0	P61	P60	FF06H	00H (出力ラッチ)	R/W
P7	0	0	P75	P74	P73	P72	P71	P70	FF07H	00H (出力ラッチ)	R/W
P8	0	0	0	0	P83	P82	P81	P80	FF08H	00H (出力ラッチ)	R/W
P12	0	0	0	P124	P123	P122 ^注	P121 ^注	P120	FF0CH	00H (出力ラッチ)	R/W

Pmn	m = 0-4, 6-8, 12; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121, P122の出力ラッチは、端子モードが外部クロック入力モードの場合、常に0が読み出されます。

(3) プルアップ抵抗オプション・レジスタ (PU_{xx})

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用する時も同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-27 プルアップ抵抗オプション・レジスタのフォーマット (1/2)

(1) 78K0/KB2-A

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU1	0	0	0	0	PU13	PU12	PU11	PU10	FF31H	00H	R/W
PU3	0	0	PU35	0	0	PU32	PU31	0	FF33H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	R/W

PU _{mn}	P _{mn} の内蔵プルアップ抵抗の選択 (m = 1, 3, 12 ; n = 0-3, 5)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

図4 - 27 プルアップ抵抗オプション・レジスタのフォーマット (2/2)

(2) 78K0/KC2-A

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	PU02	PU01	PU00	FF30H	00H	R/W
PU1	0	0	0	0	PU13	PU12	PU11	PU10	FF31H	00H	R/W
PU3	0	0	PU35	PU34	PU33	PU32	PU31	0	FF33H	00H	R/W
PU4	0	0	0	0	0	PU42	PU41	PU40	FF34H	00H	R/W
PU7	0	0	PU75	PU74	PU73	PU72	PU71	PU70	FF37H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3, 4, 7, 12 ; n = 0-5)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

(4) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

P20/ANI0/AMP0- ~ P26/ANI6, P80/ANI8/AMP2- ~ P83/ANI11, P27/ANI15/AV_{REFM}端子を、ポートのデジタル入出力 / A/Dコンバータのアナログ入力に切り替えるレジスタです。

ADPCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、10Hになります。

備考 78K0/KB2-A : P20/ANI0/AMP0- ~ P25/ANI5/AMP1+, P80/ANI8/AMP2- ~ P83/ANI11端子

78K0/KC2-A : P20/ANI0/AMP0- ~ P26/ANI6, P80/ANI8/AMP2- ~ P83/ANI11, P27/ANI15/AV_{REFM}端子

図4 - 28 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス：FF2FH リセット時：10H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

ADP C4	ADP C3	ADP C2	ADP C1	ADP C0	アナログ入力 (A) / デジタル入出力 (D) の切り替え												
					ANI15 /AV _{REFM} /P27	ANI11 /P83	ANI10 /AMP2+ /P82	ANI9 /AMP2OUT /P81	ANI8 /AMP2- /P80	ANI6 /P26	ANI5 /AMP1+ /P25	ANI4 /AMP1OUT /P24	ANI3 /AMP1- /P23	ANI2 /AMP0+ /P22	ANI1 /AMP0OUT /P21	ANI0 /AMP0- /P20	
					0	0	0	0	0	A	A	A	A	A	A	A	A
0	0	0	0	1	A	A	A	A	A	A	A	A	A	A	A	A	D
0	0	0	1	0	A	A	A	A	A	A	A	A	A	A	A	D	D
0	0	0	1	1	A	A	A	A	A	A	A	A	A	D	D	D	D
0	0	1	0	0	A	A	A	A	A	A	A	A	D	D	D	D	D
0	0	1	1	0	A	A	A	A	A	A	D	D	D	D	D	D	D
0	0	1	1	1	設定禁止												
0	1	0	0	0	A	A	A	A	A	D	D	D	D	D	D	D	D
0	1	0	0	1	A	A	A	A	D	D	D	D	D	D	D	D	D
0	1	0	1	0	A	A	A	D	D	D	D	D	D	D	D	D	D
0	1	0	1	1	A	A	D	D	D	D	D	D	D	D	D	D	D
0	1	1	1	1	A	D	D	D	D	D	D	D	D	D	D	D	D
1	0	0	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D
上記以外					設定禁止												

注

注

注 78K0/KB2-Aでは，設定禁止です。

注意1. A/D変換で使用するチャンネルは，ポート・モード・レジスタ2, 8 (PM2, PM8) で入力モードに選択してください。

2. ADPCでデジタル入出力として設定する端子を，アナログ入力チャンネル指定レジスタ (ADS) で設定しないでください。

4.4 ポート機能の動作

ポートの動作は，次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により，出力ラッチに値を書き込みます。また，出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ，出力ラッチを表4 - 12，表4 - 13のように設定してください。

備考 製品により、搭載しているポート端子が異なります。表4 - 2，表4 - 3を参照してください。

表4 - 12 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（78K0/KB2-A）（1/2）

端子名称	兼用機能		PM × ×	P × ×
	名 称	入出力		
P10	TxD6	出力	0	1
	TI51	入力	1	×
	TO51	出力	0	0
P11	RxD6	入力	1	×
	TI50	入力	1	×
	TO50	出力	0	0
P12	TOH0	出力	0	0
	INTP7	入力	1	×
	TI000	入力	1	×
P13	TOH1	出力	0	0
	TI010	入力	1	×
	TO00	出力	0	0
	INTP6	入力	1	×
P20	ANI0 ^{注1}	入力	1	×
	AMP0- ^{注1}	入力	1	×
P21	ANI1 ^{注1}	入力	1	×
	AMP0OUT ^{注1}	出力	1	×
P22	ANI2 ^{注1}	入力	1	×
	AMP0+ ^{注1}	入力	1	×
P23	ANI3 ^{注1}	入力	1	×
	AMP1- ^{注1}	入力	1	×
P24	ANI4 ^{注1}	入力	1	×
	AMP1OUT ^{注1}	出力	1	×
P25	ANI5 ^{注1}	入力	1	×
	AMP1+ ^{注1}	入力	1	×
P31	INTP5	入力	1	×
	(SCK10) ^{注2}	入力	1	×
		出力	0	1
P32	INTP4	入力	1	×
	(SI10) ^{注2}	入力	1	×
P35	SO10	出力	0	0
	INTP1	入力	1	×

注1. 端子の機能は，ADPCレジスタ，ADSレジスタ，PM2レジスタ，OAENnビット（n = 0, 1）で決定します。表4 - 5～表4 - 8を参照してください。

2. ()内の機能は，入力切り替え制御レジスタ（ISC）のビット2（ISC2）を1に設定することにより，割り当てられます。

備考1. x : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

2. P31, P32は，オンチップ・デバッグ機能を使用するとき，オンチップ・デバッグ・モード引き込み用（OCD0A, OCD0B, OCD1A, OCD1B）として使用できます。オンチップ・デバッグ・エミュレータ（QB-MINI2）との接続については，第26章 オンチップ・デバッグ機能を参照してください。

表4 - 12 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（78K0/KB2-A）（2/2）

端子名称	兼用機能		PM × ×	P × ×
	名 称	入出力		
P60	SCLA0	入出力	0	0
	SCK10	入力	1	×
P61	SDAA0	入出力	0	0
	SI10	入力	1	×
P80	ANI8 ^{注1}	入力	1	×
	AMP2- ^{注1}	入力	1	×
P81	ANI9 ^{注1}	入力	1	×
	AMP2OUT ^{注1}	出力	1	×
P82	ANI10 ^{注1}	入力	1	×
	AMP2+ ^{注1}	入力	1	×
P83	ANI11 ^{注1}	入力	1	×
P120	INTP0	入力	1	×
	EXLVI	入力	1	×
P121	X1 ^{注2}	-	×	×
P122	X2 ^{注2}	-	×	×
	EXCLK ^{注2}	入力	×	×

注1. 端子の機能は，ADPCレジスタ，ADSレジスタ，PM8レジスタ，OAEN2ビットで決定します。表4 - 9～表4 - 11を参照してください。

2. P121, P122端子を，メイン・システム・クロック用発振子接続（X1, X2），メイン・システム・クロック用外部クロック入力（EXCLK）として使用する場合は，クロック動作モード選択レジスタ（OSCCTL）でX1発振モードまたは外部クロック入力モードに設定する必要があります（詳細は，5. 3（1）クロック動作モード選択レジスタ（OSCCTL）を参照）。OSCCTLのリセット値は00H（P121, P122は入出力ポート）となります。このとき，PM121, PM122, P121, P122の設定は不要です。

備考1. × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

2. X1, X2は，オンチップ・デバッグ機能を使用するとき，オンチップ・デバッグ・モード引き込み用（OCD0A, OCD0B, OCD1A, OCD1B）として使用できます。オンチップ・デバッグ・エミュレータ（QB-MINI2）との接続については，第26章 オンチップ・デバッグ機能を参照してください。

表4 - 13 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（78K0/KC2-A）（1/3）

端子名称	兼用機能		PM × ×	P × ×
	名 称	入出力		
P00	TI000	入力	1	×
P01	TI010	入力	1	×
	TO00	出力	0	0
P02	INTP8	入力	1	×
P10	TxD6	出力	0	1
P11	RxD6	入力	1	×
P12	TOH0	出力	0	0
	INTP7	入力	1	×
P13	TOH1	出力	0	0
	INTP6	入力	1	×
P20	ANI0 ^{注1}	入力	1	×
	AMP0- ^{注1}	入力	1	×
P21	ANI1 ^{注1}	入力	1	×
	AMP0OUT ^{注1}	出力	1	×
P22	ANI2 ^{注1}	入力	1	×
	AMP0+ ^{注1}	入力	1	×
P23	ANI3 ^{注1}	入力	1	×
	AMP1- ^{注1}	入力	1	×
P24	ANI4 ^{注1}	入力	1	×
	AMP1OUT ^{注1}	出力	1	×
P25	ANI5 ^{注1}	入力	1	×
	AMP1+ ^{注1}	入力	1	×
P26	ANI6 ^{注1}	入力	1	×
P27	ANI15 ^{注1}	入力	1	×
	AVREFM ^{注1}	入力	1	×
P31	INTP5	入力	1	×
	(SCK10) ^{注2}	入力	1	×
		出力	0	1
P32	INTP4	入力	1	×
	(SI10) ^{注2}	入力	1	×
P33	TI51	入力	1	×
	TO51	出力	0	0
	INTP3	入力	1	×

注1. 端子の機能は，ADPCレジスタ，ADSレジスタ，PM2レジスタ，OAEN1ビット（n = 0, 1），ADREFビットで決定します。表4 - 5～表4 - 8を参照してください。

2. ()内の機能は，入力切り替え制御レジスタ（ISC）のビット2（ISC2）を1に設定することにより，割り当てられます。

備考1. × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

2. P31, P32は，オンチップ・デバッグ機能を使用するとき，オンチップ・デバッグ・モード引き込み用（OCD0A, OCD0B, OCD1A, OCD1B）として使用できます。オンチップ・デバッグ・エミュレータ（QB-MINI2）との接続については，第26章 オンチップ・デバッグ機能を参照してください。

表4 - 13 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（78K0/KC2-A）（2/3）

端子名称	兼用機能		PM × ×	P × ×
	名 称	入出力		
P34	TI50	入力	1	×
	TO50	出力	0	0
	INTP2	入力	1	×
P35	SO10	出力	0	0
	INTP1	入力	1	×
P40	RTCCL	出力	0	0
	RTCDIV	出力	0	0
P41	RTC1HZ	出力	0	0
P42	PCL	出力	0	0
	SSI10	入力	1	×
	INTP9	入力	1	×
P60	SCLA0	入出力	0	0
	SCK10	入力	1	×
P61	SDAA0	入出力	0	0
	SI10	入力	1	×
P70-P75	KR0-KR5	入力	1	×
P80	ANI8 ^注	入力	1	×
	AMP2- ^注	入力	1	×
P81	ANI9 ^注	入力	1	×
	AMP2OUT ^注	出力	1	×
P82	ANI10 ^注	入力	1	×
	AMP2+ ^注	入力	1	×
P83	ANI11 ^注	入力	1	×

注 端子の機能は，ADPCレジスタ，ADSレジスタ，PM8レジスタ，OAEN2ビットで決定します。表4 - 9～表4 - 11を参照してください。

備考 × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

表4 - 13 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（78K0/KC2-A）（3/3）

端子名称	兼用機能		PM × ×	P × ×
	名 称	入出力		
P120	INTP0	入力	1	×
	EXLVI	入力	1	×
P121	X1 ^注	-	×	×
P122	X2 ^注	-	×	×
	EXCLK ^注	入力	×	×
P123	XT1 ^注	-	×	×
P124	XT2 ^注	-	×	×

注 P121-P124端子を，メイン・システム・クロック用発振子接続（X1, X2），サブシステム・クロック発振子接続（XT1, XT2），メイン・システム・クロック用外部クロック入力（EXCLK）として使用する場合は，クロック動作モード選択レジスタ（OSCCTL）でX1発振モード，XT1発振モードまたは外部クロック入力モードに設定する必要があります（詳細は，5.3（1）クロック動作モード選択レジスタ（OSCCTL）を参照）。OSCCTLのリセット値は00H（P121-P124はすべて入出力ポート）となります。このとき，PM121-PM124, P121-P124の設定は不要です。

備考1. x : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

- X1, X2は，オンチップ・デバッグ機能を使用するとき，オンチップ・デバッグ・モード引き込み用（OCD0A, OCD0B, OCD1A, OCD1B）として使用できます。オンチップ・デバッグ・エミュレータ（QB-MINI2）との接続については，第26章 オンチップ・デバッグ機能を参照してください。

4.6 ポート・レジスタ_n (P_n) に対する1ビット・メモリ操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P13は入力ポート（端子状態はすべてハイ・レベル）で、かつポート1の出力ラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”“ハイ・レベル”とすると、ポート1の出力ラッチの値は、“0FH”になります。

説明：PM_nmビット = 1であるポートのP_nレジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令は、78K0/Kx2-Aマイクロコントローラ内部で、次の順序で行われます。

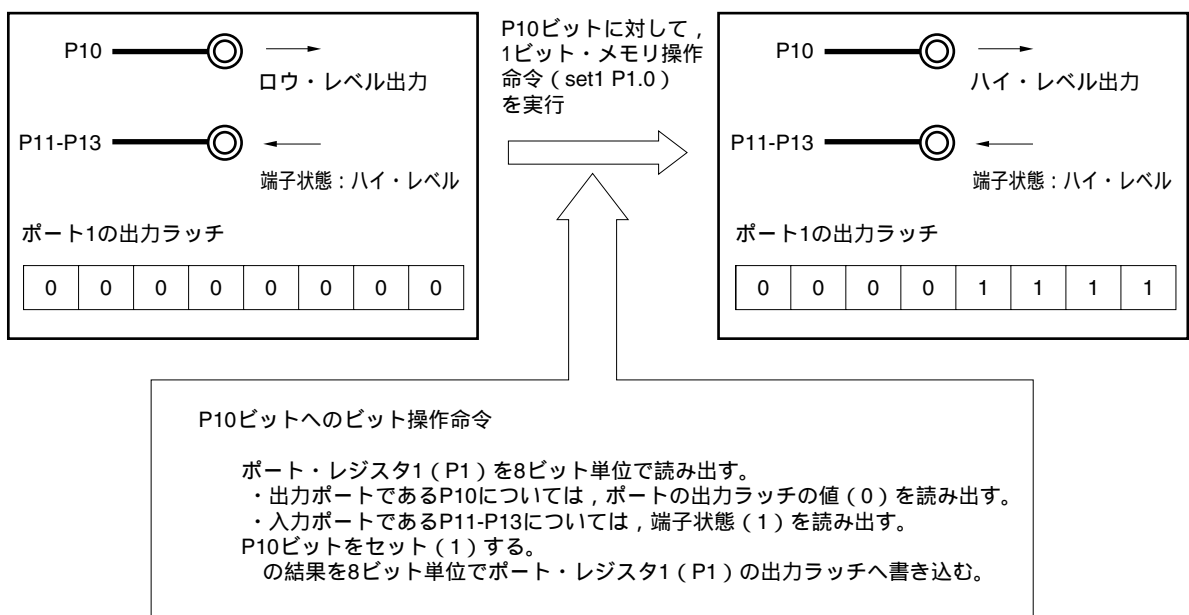
- <1> P_nレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> P_nレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出力ラッチの値（0）を読み出し、入力ポートであるP11-P13は端子状態を読み出します。このときP11-P13の端子状態が“ハイ・レベル”とすると、読み出し値は“0EH”となります。

<2> の操作で、値は“0FH”となります。

<3> の操作で、出力ラッチに“0FH”が書き込まれます。

図4-29 1ビット・メモリ操作命令（P10の場合）



第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

X1発振回路

X1, X2に発振子を接続することにより、 $f_x = 1 \sim 20$ MHzのクロックを発生します。STOP命令の実行またはメインOSCコントロール・レジスタ (MOC) により、発振を停止することができます。

高速内蔵発振回路

$f_{RH} = 8$ MHz (TYP.) のクロックを発生します。リセット解除後、CPUは必ずこの高速内蔵発振クロックで動作を開始します。STOP命令の実行または内蔵発振モード・レジスタ (RCM) の設定により、発振を停止することができます。

また、EXCLK/X2/P122端子から外部メイン・システム・クロック ($f_{EXCLK} = 1 \sim 20$ MHz) を供給することができます。STOP命令の実行またはRCMの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、メイン・クロック・モード・レジスタ (MCM) で高速システム・クロック (X1クロックまたは外部メイン・システム・クロック) と高速内蔵発振クロックを切り替えられます。

(2) サブシステム・クロック^注

・サブシステム・クロック発振回路

XT1, XT2に32.768 kHzの発振子を接続することにより、 $f_{XT} = 32.768$ kHzのクロックを発生します。クロック動作モード選択レジスタ (OSCCTL) の設定により、発振を停止することができます。

注 78K0/KB2-Aには、サブシステム・クロックはありません。

備考	f_x	: X1クロック発振周波数
	f_{RH}	: 高速内蔵発振クロック周波数
	f_{EXCLK}	: 外部メイン・システム・クロック周波数
	f_{XT}	: XT1クロック発振周波数

(3) 低速内蔵発振クロック (ウォッチドッグ・タイマ用クロック)

・ 低速内蔵発振回路

$f_{RL} = 240\text{kHz}$ (TYP.) のクロックを発振します。リセット解除後、必ず低速内蔵発振クロックは動作を開始します。

オプション・バイトで「低速内蔵発振器をソフトウェアにより停止可能」に設定した場合、内蔵発振モード・レジスタ (RCM) を設定することで、発振を停止することができます。

低速内蔵発振クロックをCPUクロックとして使用することはできません。低速内蔵発振クロックで動作するハードウェアは次のとおりです。

- ・ ウォッチドッグ・タイマ
- ・ 8ビット・タイマH1 (f_{RL} , $f_{RL}/2^7$ または $f_{RL}/2^9$ 選択時)

備考 f_{RL} : 低速内蔵発振クロック周波数

5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5 - 1 クロック発生回路の構成

項 目	構 成
制御レジスタ	クロック動作モード選択レジスタ (OSCCTL) プロセッサ・クロック・コントロール・レジスタ (PCC) 内蔵発振モード・レジスタ (RCM) メインOSCコントロール・レジスタ (MOC) メイン・クロック・モード・レジスタ (MCM) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS)
発振回路	X1発振回路 XT1発振回路 ^注 高速内蔵発振回路 低速内蔵発振回路

注 78K0/KB2-Aには、XT1発振回路 (サブシステム・クロック) はありません。

図5-1 クロック発生回路のブロック図 (78K0/KB2-A)

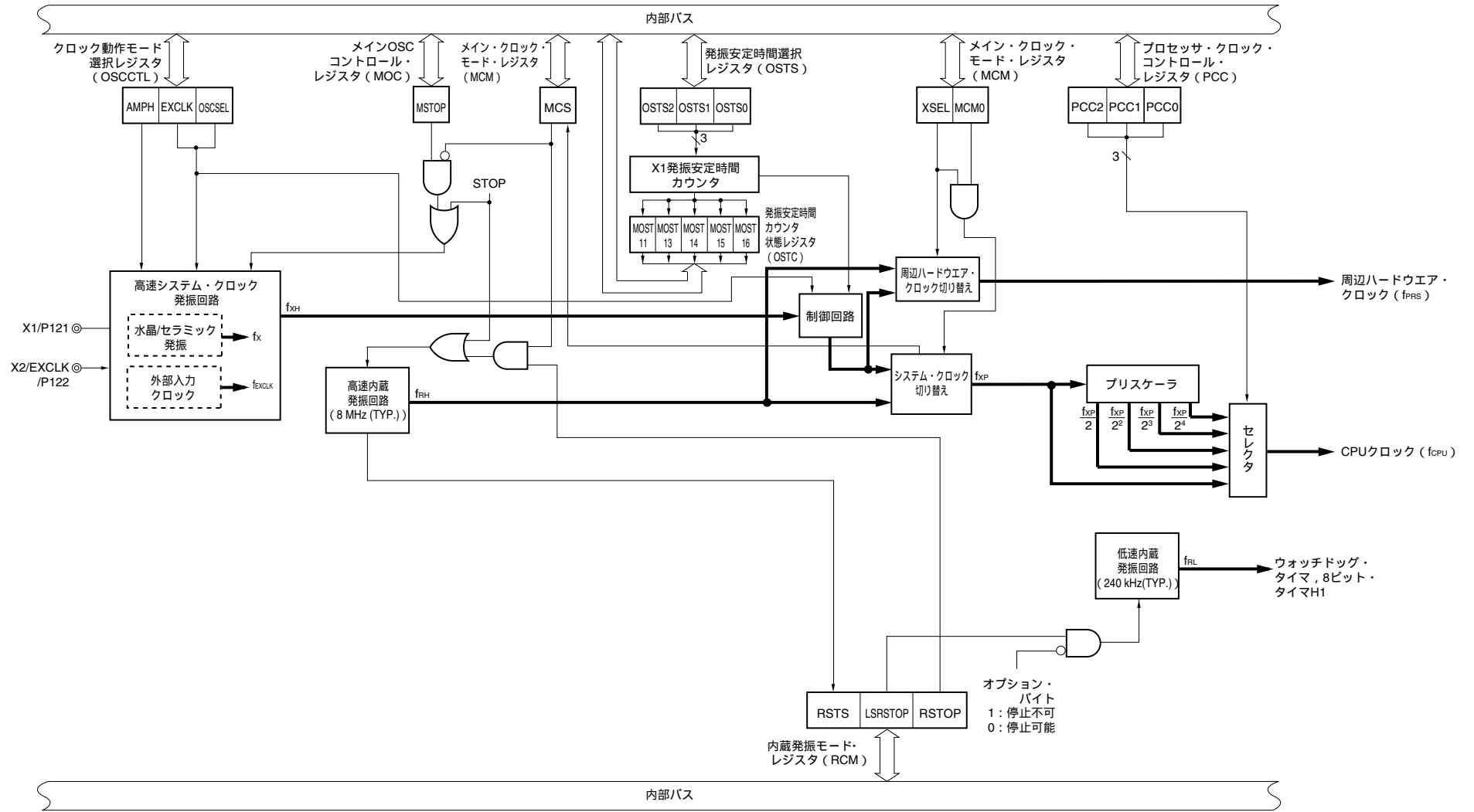
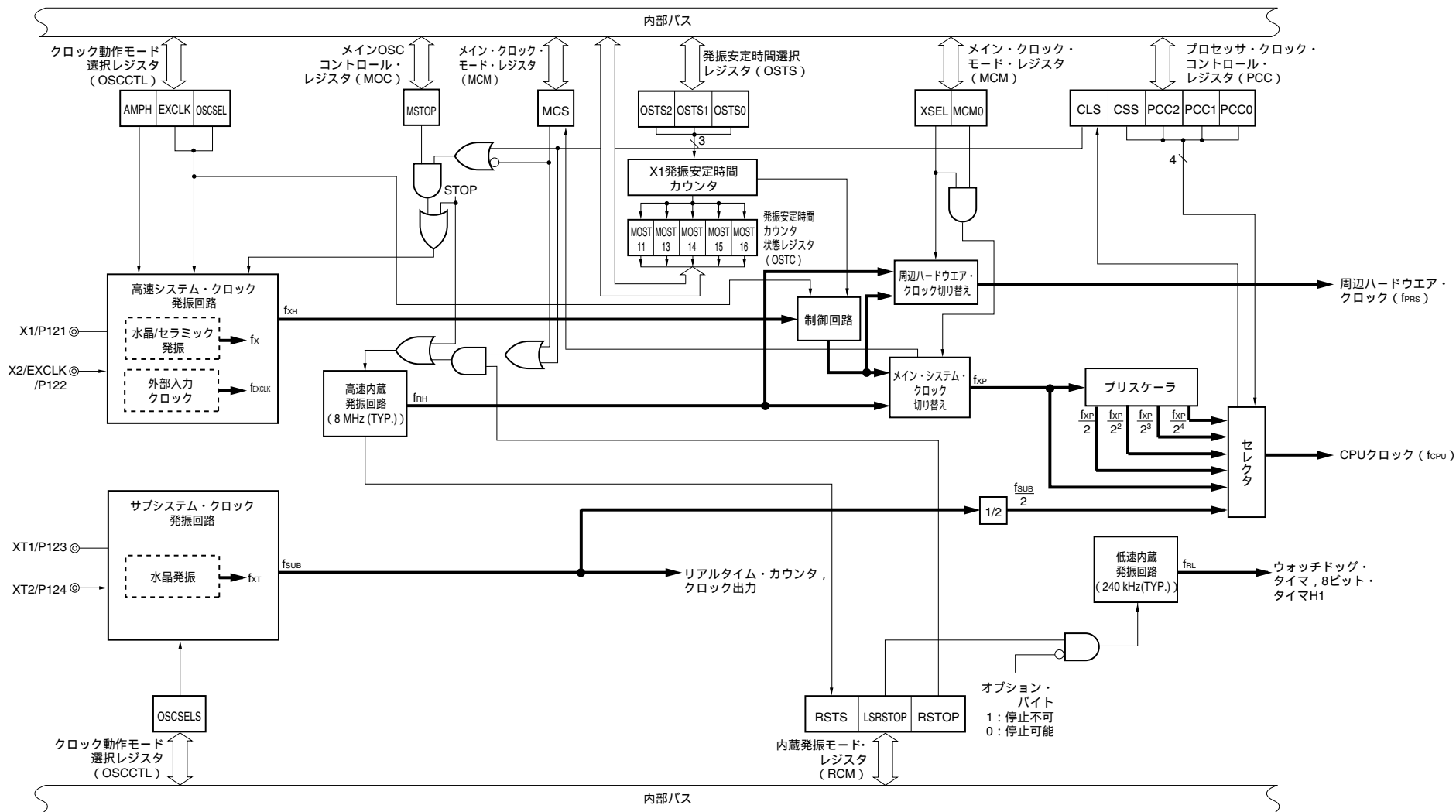


図5-2 クロック発生回路のブロック図 (78K0/KC2-A)



備考	f_x	: X1クロック発振周波数
	f_{RH}	: 高速内蔵発振クロック周波数
	f_{EXCLK}	: 外部メイン・システム・クロック周波数
	f_{XH}	: 高速システム・クロック周波数
	f_{XP}	: メイン・システム・クロック周波数
	f_{PRS}	: 周辺ハードウェア・クロック周波数
	f_{CPU}	: CPUクロック周波数
	f_{XT}	: XT1クロック発振周波数
	f_{SUB}	: サブシステム・クロック周波数
	f_{RL}	: 低速内蔵発振クロック周波数

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の7種類のレジスタで制御します。

- ・クロック動作モード選択レジスタ (OSCCTL)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・内蔵発振モード・レジスタ (RCM)
- ・メインOSCコントロール・レジスタ (MOC)
- ・メイン・クロック・モード・レジスタ (MCM)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

(1) クロック動作モード選択レジスタ (OSCCTL)

高速システム・クロックとサブシステム・クロックの動作モード、内蔵している発振器のゲインを選択するレジスタです。

OSCCTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-3 クロック動作モード選択レジスタ (OSCCTL) のフォーマット

78K0/KB2-A

アドレス : FF9FH リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

OSCCTL	EXCLK	OSCSEL	0	0	0	0	0	AMPH
--------	-------	--------	---	---	---	---	---	------

78K0/KC2-A

アドレス : FF9FH リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

OSCCTL	EXCLK	OSCSEL	0	OSCSELS	0	0	0	AMPH
--------	-------	--------	---	---------	---	---	---	------

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
0	0	入出力ポート・モード	入出力ポート	
0	1	X1発振モード	水晶 / セラミック発振子接続	
1	0	入出力ポート・モード	入出力ポート	
1	1	外部クロック入力モード	入出力ポート	外部クロック入力

OSCSELS	サブシステム・クロック端子の動作モード	P123/XT1端子	P124/XT2端子
0	入出力ポート・モード	入出力ポート	
1	XT1発振モード	水晶発振子接続	

AMPH	高速システム・クロック発振周波数の制御
0	1 MHz f_{XH} 10 MHz
1	10 MHz < f_{XH} 20 MHz

- 注意1. 高速システム・クロック周波数が10MHzを越える場合は、必ずAMPHに1を設定してください。
- AMPHは、メイン・システム・モード・レジスタ (MCM) を設定する前に設定してください。
 - AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。CPUクロックに高速システム・クロック (X1発振) を選択する場合は、AMPHに1を設定してから4.06 ~ 16.12 μ s間、CPUクロックに高速システム・クロック (外部クロック入力) を選択する場合は、AMPHに1を設定してから外部クロックの160クロック分、CPUクロックの供給が停止されます。
 - AMPH = 1設定時にSTOP命令を実行した場合、CPUクロックが高速内蔵発振クロックのときはSTOPモード解除後に4.06 ~ 16.12 μ s間、CPUクロックが高速システム・クロック (外部クロック入力) のときはSTOPモード解除後に外部クロックの160クロック分、CPUクロックの供給が停止されます。CPUクロックが高速システム・クロック (X1発振) のときは、STOPモード解除後に発振安定時間をカウントします。
 - EXCLKとOSCSELを別の値に書き換える場合、メインOSCコントロール・レジスタ (MOC) のビット7 (MSTOP) が1 (X1発振回路停止またはEXCLK端子からの外部クロック無効) であることを必ず確認してください。

- 注意6. OSCSELSを別の値に書き換える場合、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット5 (CLS) が0 (メイン・システム・クロックでCPU動作) であることを確認してください。
7. 78K0/KB2-Aは、ビット1-5には必ず0を設定してください。78K0/KC2-Aは、ビット1-3, 5には必ず0を設定してください。

備考 f_{XH} : 高速システム・クロック周波数

(2) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択, 分周比, サブシステム・クロックの動作モードを設定するレジスタです。

PCCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図5 - 4 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット

78K0/KB2-A

アドレス : FFFBH リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
PCC	0	0	0	0	0	PCC2	PCC1	PCC0

78K0/KC2-A

アドレス : FFFBH リセット時 : 01H R/W^注

略号	7	6	5	4	3	2	1	0
PCC	0	0	CLS	CSS	0	PCC2	PCC1	PCC0

CLS	CPUクロックのステータス
0	メイン・システム・クロック
1	サブシステム・クロック

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{cpu}) の選択
0	0	0	0	f _{XP}
	0	0	1	f _{XP} /2 (デフォルト)
	0	1	0	f _{XP} /2 ²
	0	1	1	f _{XP} /2 ³
	1	0	0	f _{XP} /2 ⁴
1	0	0	0	f _{SUB} /2
	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
上記以外				設定禁止

注 ビット5は, Read Onlyです。

注意1. 78K0/KB2-Aは, ビット3-7には必ず0を設定してください。78K0/KC2-Aは, ビット3, 6, 7には必ず0を設定してください。

2. PCCの分周比の設定では, 周辺ハードウェア・クロック (f_{PRS}) は分周されません。
3. CPUクロック (f_{cpu}) は, CPUとA/Dコンバータに供給されているため, f_{cpu}を変更すると, A/Dコンバータの変換クロック (f_{AD}) も変更されます。したがって, PCCレジスタでf_{cpu}を変更する場合は, A/Dコンバータを動作停止 (ADCS = 0) してから行ってください。

備考1. f_{XP} : メイン・システム・クロック周波数

2. f_{SUB} : サブシステム・クロック周波数

78K0/Kx2-Aマイクロコントローラの一番速い命令はCPUクロック2クロックで実行されます。したがって、CPUクロック (f_{CPU}) と最小命令実行時間の関係は、表5 - 2のようになります。

表5 - 2 CPUクロックと最小命令実行時間の関係

CPUクロック (f_{CPU})	最小命令実行時間: $2/f_{CPU}$			
	メイン・システム・クロック			サブシステム・クロック ^{注2}
	高速システム・クロック ^{注1}		高速内蔵発振クロック ^{注1}	
	10 MHz動作時	20 MHz動作時	8 MHz (TYP.) 動作時	32.768 kHz動作時
f_{XP}	0.2 μ s	0.1 μ s	0.25 μ s (TYP.)	-
$f_{XP}/2$	0.4 μ s	0.2 μ s	0.5 μ s (TYP.)	-
$f_{XP}/2^2$	0.8 μ s	0.4 μ s	1.0 μ s (TYP.)	-
$f_{XP}/2^3$	1.6 μ s	0.8 μ s	2.0 μ s (TYP.)	-
$f_{XP}/2^4$	3.2 μ s	1.6 μ s	4.0 μ s (TYP.)	-
$f_{SUB}/2$ ^{注2}	-		-	122.1 μ s

注1. CPUクロックに供給するメイン・システム・クロックの設定 (高速システム・クロック / 高速内蔵発振クロック) は、メイン・クロック・モード・レジスタ (MCM) で行います (図5 - 7参照)。

2. 78K0/KB2-Aには、サブシステム・クロックはありません。

(3) 内蔵発振モード・レジスタ (RCM)

内蔵発振器の動作モードを設定するレジスタです。

RCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80H^{※1}になります。

図5 - 5 内蔵発振モード・レジスタ (RCM) のフォーマット

アドレス : FFA0H リセット時 : 80H^{※1} RW^{※2}

略号	7	6	5	4	3	2	1	0
RCM	RSTS	0	0	0	0	0	LSRSTOP	RSTOP

RSTS	高速内蔵発振器のステータス
0	高速内蔵発振器の発振精度安定待ち中
1	高速内蔵発振器安定動作

LSRSTOP	低速内蔵発振器の発振 / 停止
0	低速内蔵発振器の発振
1	低速内蔵発振器の停止

RSTOP	高速内蔵発振器の発振 / 停止
0	高速内蔵発振器の発振
1	高速内蔵発振器の停止

注1. リセット解除直後は00Hですが、高速内蔵発振器の発振精度安定待ち後に、自動的に80Hに切り替わります。

2. ビット7は、Read Onlyです。

注意 RSTOPに1を設定するとき、必ずCPUクロックが高速内蔵発振クロック以外で動作していることを確認してください。具体的には、次のいずれかの条件です。

78K0/KB2-Aの場合

- ・MCS = 1のとき (CPUクロックが高速システム・クロックで動作)

78K0/KC2-Aの場合

- ・MCS = 1のとき (CPUクロックが高速システム・クロックで動作)
- ・CLS = 1のとき (CPUクロックがサブシステム・クロックで動作)

また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してから、RSTOPに1を設定してください。

(4) メインOSCコントロール・レジスタ (MOC)

高速システム・クロック動作モードを選択するレジスタです。

このレジスタは、高速システム・クロック以外のクロックによるCPU動作時に、X1発振回路を停止またはEXCLK端子からの外部クロックを無効にする場合に使用します。

MOCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80Hになります。

図5-6 メインOSCコントロール・レジスタ (MOC) のフォーマット

アドレス : FFA2H リセット時 : 80H R/W

略号	7	6	5	4	3	2	1	0
MOC	MSTOP	0	0	0	0	0	0	0

MSTOP	高速システム・クロックの動作制御	
	X1発振モード時	外部クロック入力モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効
1	X1発振回路停止	EXCLK端子からの外部クロック無効

注意1. MSTOPに1を設定するとき、必ずCPUクロックが高速システム・クロック以外で動作していることを確認してください。具体的には、次のいずれかの条件です。

78K0/KB2-Aの場合

- ・MCS = 0のとき (CPUクロックが高速内蔵発振クロックで動作)

78K0/KC2-Aの場合

- ・MCS = 0のとき (CPUクロックが高速内蔵発振クロックで動作)
- ・CLS = 1のとき (CPUクロックがサブシステム・クロックで動作)

また、高速システム・クロックで動作している周辺ハードウェアを停止してから、MSTOPに1を設定してください。

2. クロック動作モード選択レジスタ (OSCCTL) のビット6 (OSCSEL) が0のとき (入出力ポート・モード)、MSTOPに0を設定しないでください。
3. 周辺ハードウェア・クロックを停止すると、周辺ハードウェアは動作不可となります。周辺ハードウェア・クロック停止後に再開する場合は、周辺ハードウェアを初期化してください。

(5) メイン・クロック・モード・レジスタ (MCM)

CPUクロックに供給するメイン・システム・クロックの選択と、周辺ハードウェア・クロックに供給するクロックの選択をするレジスタです。

MCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-7 メイン・クロック・モード・レジスタ (MCM) のフォーマット

アドレス : FFA1H リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
MCM	0	0	0	0	0	XSEL	MCS	MCM0

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f _{XP})	周辺ハードウェア・クロック (f _{PRS})
0	0	高速内蔵発振クロック (f _{RH})	高速内蔵発振クロック (f _{RH})
0	1		
1	0		高速システム・クロック (f _{XH})
1	1	高速システム・クロック (f _{XH})	

MCS	メイン・システム・クロックのステータス
0	高速内蔵発振クロックで動作
1	高速システム・クロックで動作

注 ビット1はRead Onlyです。

注意1. XSELはリセット解除後, 1回だけ設定が可能です。

2. CPUクロックがサブシステム・クロックで動作しているとき, MCM0を書き換えないください。
3. 次の周辺機能には, XSELとMCM0の設定によらず, f_{PRS}以外のクロックが供給されます。
 - ・ウォッチドッグ・タイマ (低速内蔵発振クロックで動作)
 - ・8ビット・タイマH1のカウント・クロックに「f_{RL}」, 「f_{RL}/2⁷」または「f_{RL}/2⁹」を選択時 (低速内蔵発振クロックで動作)
 - ・クロック・ソースに外部クロックを選択している周辺ハードウェア (ただし, TM00の外部カウント・クロック選択時 (TI000端子の有効エッジ) は除く)
4. CPUクロック (f_{CPU}) は, CPUとA/Dコンバータに供給されていますので, f_{CPU}を変更すると, A/Dコンバータの変換クロック (f_{AD}) も変更されます。したがって, MCMレジスタでCPUクロックに供給するメイン・システム・クロックを変更する場合は, A/Dコンバータを動作停止 (ADCS = 0) してから行ってください。

(6) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで, X1クロックの発振を開始したとき, X1クロックの発振安定時間を確認することができます。

OSTCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 (RESET入力, POC, LVI, WDTによるリセット), STOP命令, MSTOP (MOCレジスタのビット7) = 1により, 00Hになります。

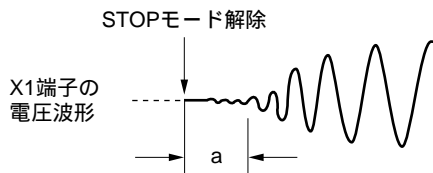
図5 - 8 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFA3H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	発振安定時間のステータス		
					f _x = 10 MHz時	f _x = 20 MHz時	
1	0	0	0	0	2 ¹¹ /f _x 以上	204.8 μs以上	102.4 μs以上
1	1	0	0	0	2 ¹³ /f _x 以上	819.2 μs以上	409.6 μs以上
1	1	1	0	0	2 ¹⁴ /f _x 以上	1.64 ms以上	819.2 μs以上
1	1	1	1	0	2 ¹⁵ /f _x 以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	2 ¹⁶ /f _x 以上	6.55 ms以上	3.27 ms以上

- 注意1. 上記時間経過後，MOST11から順番に“1”となっていく，そのまま“1”を保持します。
2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に，STOPモードに入り，解除するときは，OSTSの発振安定時間を次のように設定してください。
- ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間
- したがって，STOPモード解除後のOSTCは，OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。
3. X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。



備考 f_x : X1クロック発振周波数

(7) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合，STOPモード解除後は，OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合，STOPモード解除後は，OSTCで発振安定時間が経過したかを確認してください。OSTCでは，あらかじめOSTSで設定した時間までの確認ができます。

OSTSは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，05Hになります。

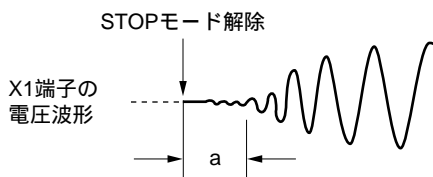
図5 - 9 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFA4H リセット時 : 05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択	
			$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	1	$2^{11}/f_x$	204.8 μs
0	1	0	$2^{13}/f_x$	819.2 μs
0	1	1	$2^{14}/f_x$	1.64 ms
1	0	0	$2^{15}/f_x$	3.27 ms
1	0	1	$2^{16}/f_x$	6.55 ms
上記以外			設定禁止	

- 注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。
- X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
 - 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。
 - ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間
 したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないのに注意してください。
 - X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

5.4 システム・クロック発振回路

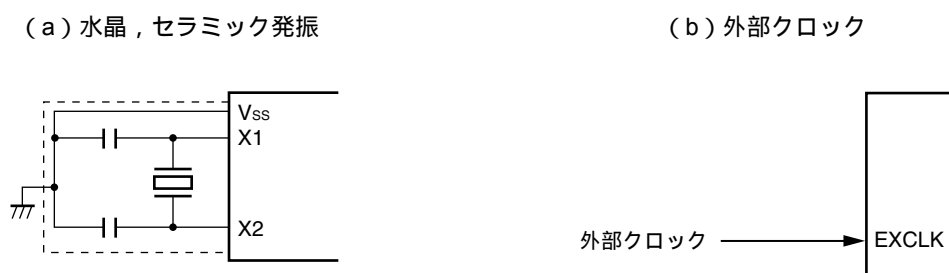
5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（1～20 MHz）によって発振します。

また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

図5 - 10にX1発振回路の外付け回路例を示します。

図5 - 10 X1発振回路の外付け回路例



注意を次ページに示します。

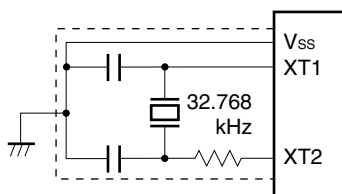
5.4.2 XT1発振回路

XT1発振回路[※]はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

図5 - 11にXT1発振回路の外付け回路例を示します。

注 78K0/KB2-Aには、XT1発振回路はありません。

図5 - 11 XT1発振回路の外付け回路例



注意を次ページに示します。

注意1. X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 10, 5 - 11の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

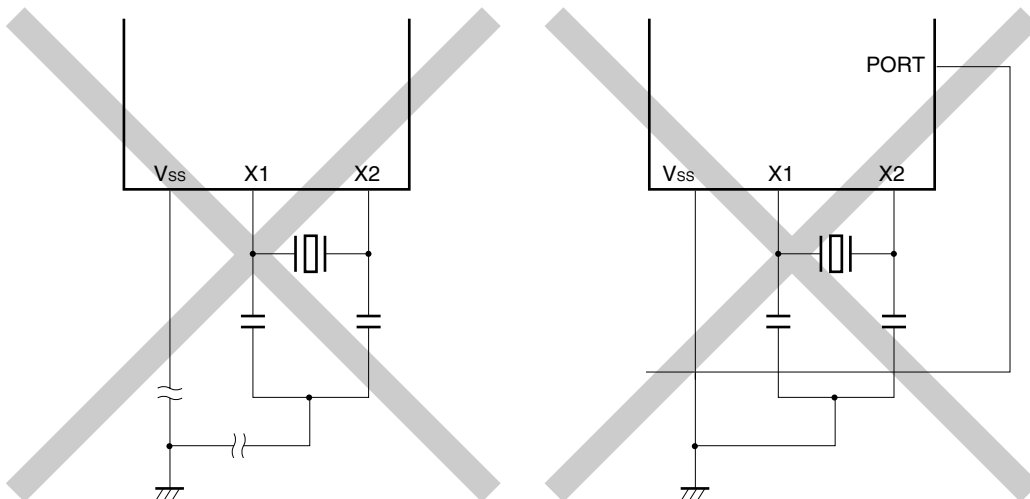
特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっていますのでご注意ください。

図5 - 12に発振子の接続の悪い例を示します。

図5 - 12 発振子の接続の悪い例 (1/2)

(a) 接続回路の配線が長い

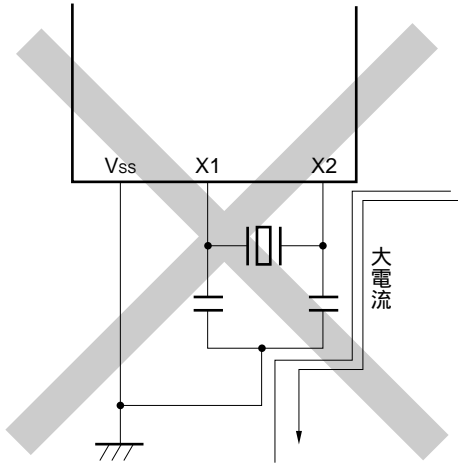
(b) 信号線が交差している



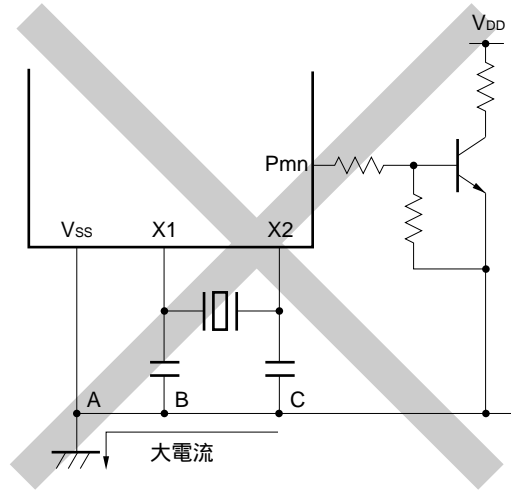
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図5 - 12 発振子の接続の悪い例 (2/2)

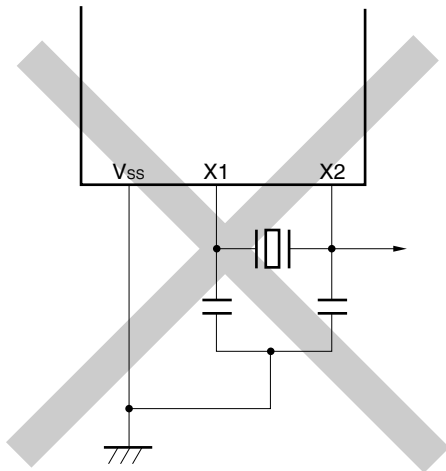
(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグラウンド・ライン上に電流が流れる (A点, B点, C点の電位が変動する)



(e) 信号を取り出している



備考 サブシステム・クロックをご使用の場合は, X1, X2をXT1, XT2と読み替えてください。また, XT2側に直列に抵抗を挿入してください。

注意2. X2とXT1が平行に配線されている場合, X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

5.4.3 サブシステム・クロックを使用しない場合

低消費電力動作やリアルタイム・カウンタなどのためにサブシステム・クロック^注を使用する必要のない場合、また入出力ポートとして使用しない場合は、XT1, XT2端子を入出力ポート・モード (OSCSELS = 0) にし、次のように処置してください。

注 78K0/KB2-Aには、サブシステム・クロックはありません。

- ・入力時 (PM123/PM124 = 1) :
個別に抵抗を介して、V_{DD}またはV_{SS}に接続してください
- ・出力時 (PM123/PM124 = 0) :
オープンにしてください

備考 OSCSELS : クロック動作モード選択レジスタ (OSCCTL) のビット4
PM123, PM124 : ポート・モード・レジスタ12 (PM12) のビット3, 4

5.4.4 高速内蔵発振回路

78K0/Kx2-Aマイクロコントローラは、高速内蔵発振回路を内蔵しています。内蔵発振モード・レジスタ (RCM) にて発振を制御できます。

リセット解除後、高速内蔵発振回路は自動的に発振を開始します (8 MHz (TYP.))。

5.4.5 低速内蔵発振回路

78K0/Kx2-Aマイクロコントローラは、低速内蔵発振回路を内蔵しています。

低速内蔵発振クロックは、ウォッチドッグ・タイマおよび8ビット・タイマH1のクロックとしてのみ使用します。CPUクロックとして使用できません。

オプション・バイトで「ソフトウェアにより停止可能」または「停止不可」を選択できます。「ソフトウェアにより停止可能」に選択した場合、内蔵発振モード・レジスタ (RCM) にて発振を制御できます。

リセット解除後、低速内蔵発振回路は自動的に発振を開始し、オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します (240 kHz (TYP.))。

5.4.6 プリスケーラ

プリスケーラは、CPUへの供給クロックにメイン・システム・クロックを選択する場合、メイン・システム・クロックを分周して、クロックを生成します。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（図5 - 1, 図5 - 2を参照）。

メイン・システム・クロック f_{XP}
・高速システム・クロック f_{XH}
 X1クロック f_X
 外部メイン・システム・クロック f_{EXCLK}
・高速内蔵発振クロック f_{RH}
サブシステム・クロック f_{SUB} 注
 ・XT1クロック f_{XT}
低速内蔵発振クロック f_{RL}
CPUクロック f_{CPU}
周辺ハードウェア・クロック f_{PRS}

注 78K0/KB2-Aには、サブシステム・クロックはありません。

78K0/Kx2-Aマイクロコントローラでは、リセット解除後、CPUは高速内蔵発振回路の出力により動作を開始します。これにより次のことが可能となります。

(1) セキュリティ機能の強化

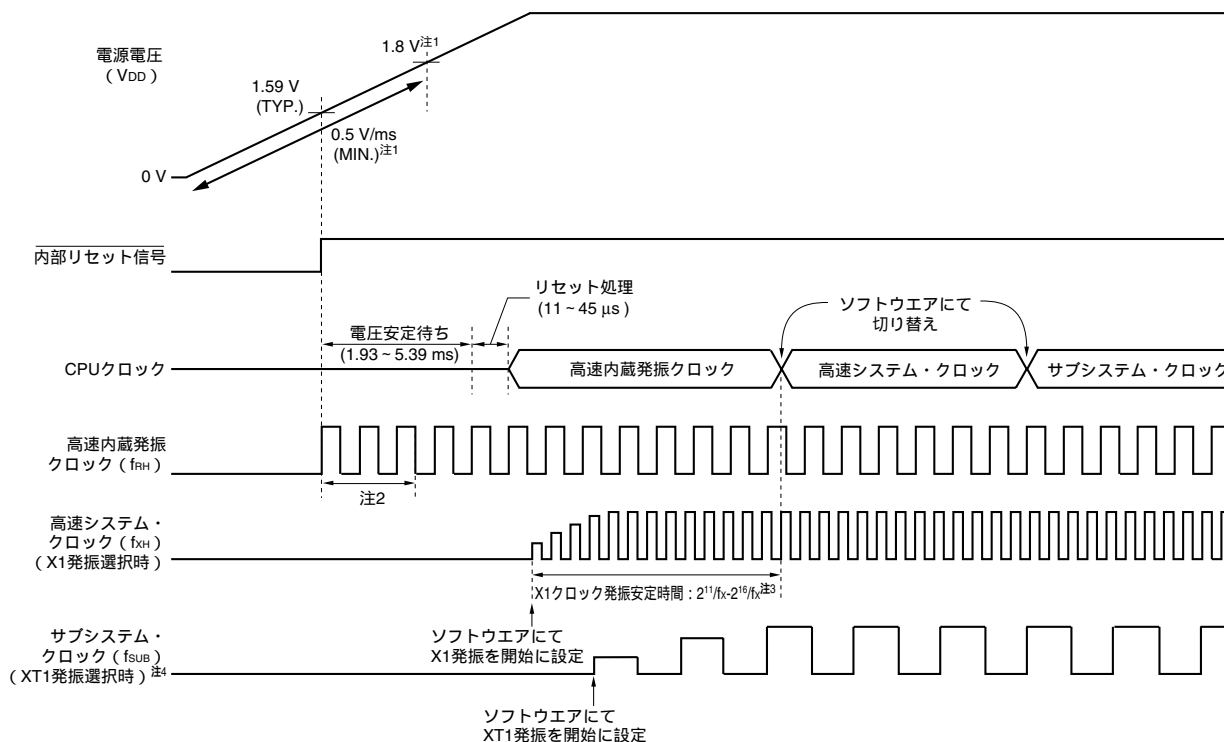
リセット解除後に破壊や接続不良などでX1クロックが動かないとき、デフォルトでCPUクロックがX1クロックの場合では、デバイスはその時点で動作不能となってしまいます。しかしCPUのスタート・クロックが高速内蔵発振クロックの場合、リセット解除後に高速内蔵発振クロックで起動することができます。これにより、リセットの要因をソフトウェアで認識したり、異常時にセーフティ処理を行うなど、最低限の動作でシステムを安全に終了することが可能となります。

(2) パフォーマンスの向上

X1クロックの発振安定時間を待たずにCPUを起動できるため、トータル・パフォーマンスの向上が可能です。

電源電圧投入時のクロック発生回路の動作を、図5 - 13, 図5 - 14に示します。

図5 - 13 電源電圧投入時のクロック発生回路の動作
(1.59 V POCモード設定時 (オプション・バイト : POCMODE = 0))



電源投入後、パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。

電源電圧が1.59 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。

電源電圧が0.5 V/ms (MIN.) の傾きで立ち上がると、リセット解除後に電源 / レギュレータの電圧安定待ち時間が経過してから、リセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。

X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください(5.6.1 高速システム・クロックの制御例の(1), 5.6.3 サブシステム・クロックの制御例の(1)を参照)。

CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(5.6.1 高速システム・クロックの制御例の(3), 5.6.3 サブシステム・クロックの制御例の(2)を参照)。

注1. 電源投入時から1.8 Vに達するまでの電圧の立ち上がりが、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力するか、オプション・バイトで2.7 V/1.59 V POCモードを設定 (POCMODE = 1) してください (図5 - 14参照)。1.8 Vに達するまで $\overline{\text{RESET}}$ 端子にロウ・レベルを入力したとき、 $\overline{\text{RESET}}$ 端子によるリセット解除後は、図5 - 13の以降と同様のタイミングで動作します。

2. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ち時間に含まれます。

3. リセット解除時 (上図) およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。またCPUクロックが高速システム・クロック (X1発振) の場合、STOPモード解除時の発振安定時間を、発振安定時間選択レジスタ (OSTS) で設定してください。

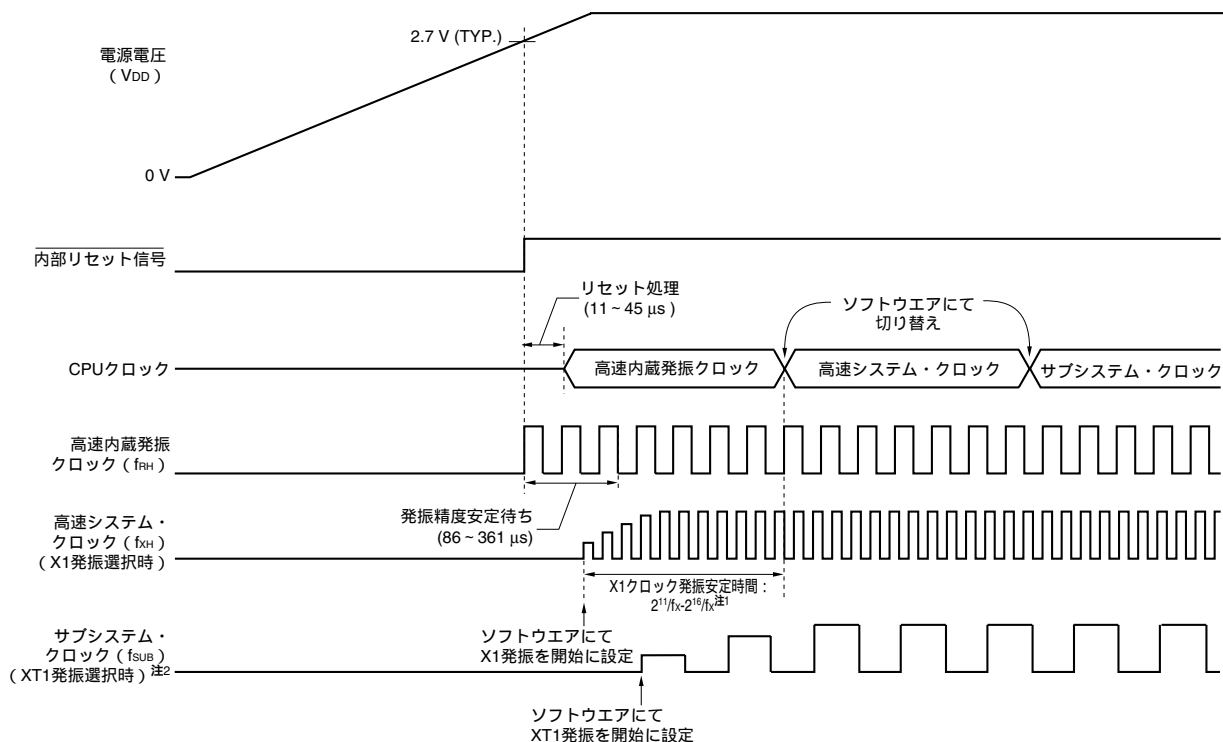
4. 78K0/KB2-Aには、サブシステム・クロックはありません。

注意 EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

備考 マイコン動作中、ソフトウェアの設定により、CPUクロックとして使用していないクロックを停止することができます。また、高速内蔵発振クロックと高速システム・クロックはSTOP命令の実行により、クロックを停止することができます(5.6.1 高速システム・クロックの制御例の(4)、5.6.2 高速内蔵発振クロックの制御例の(3)、5.6.3 サブシステム・クロックの制御例の(3)を参照)。

図5 - 14 電源電圧投入時のクロック発生回路の動作

(2.7 V/1.59 V POCモード設定時 (オプション・バイト : POCMODE = 1))



電源投入後、パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。

電源電圧が2.7 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。

リセット解除後、リセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。

X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください (5. 6. 1 高速システム・クロックの制御例の(1)、5. 6. 3 サブシステム・クロックの制御例の(1)を参照)。

CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください (5. 6. 1 高速システム・クロックの制御例の(3)、5. 6. 3 サブシステム・クロックの制御例の(2)を参照)。

- 注1. リセット解除時 (上図) およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。またCPUクロックが高速システム・クロック (X1発振) の場合、STOPモード解除時の発振安定時間を、発振安定時間選択レジスタ (OSTS) で設定してください。
- 2. 78K0/KB2-Aには、サブシステム・クロックはありません。

注意 1. 電源電圧が1.59 V (TYP.) に達したあと、1.93 ~ 5.39 msの電圧安定待ち時間が必要となります。1.59 V (TYP.) から2.7 V (TYP.) に達する時間が、1.93 ms以内の場合は、リセット処理前に0 ~ 5.39 msの電源安定待ち時間が自動的に発生します。

2. EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

備考 マイコン動作中、ソフトウェアの設定により、CPUクロックとして使用していないクロックを停止することができます。また、高速内蔵発振クロックと高速システム・クロックはSTOP命令の実行により、クロックを

停止することができます(5.6.1 高速システム・クロックの制御例の(4), 5.6.2 高速内蔵発振クロックの制御例の(3), 5.6.3 サブシステム・クロックの制御例の(3)を参照)。

5.6 クロックの制御

5.6.1 高速システム・クロックの制御例

高速システム・クロックは、次の2種類があります。

- ・X1クロック : X1, X2端子に水晶/セラミック発振子接続
- ・外部メイン・システム・クロック : EXCLK端子に外部クロック入力

また、未使用時では、X1/P121, X2/EXCLK/P122端子を入出力ポートとして使用できます。

注意 X1/P121, X2/EXCLK/P122端子のリセット解除時は、入出力ポート・モードです。

次の設定手順例を、以下に示します。

- (1) X1クロックを発振する場合
- (2) 外部メイン・システム・クロックを使用する場合
- (3) 高速システム・クロックをCPUクロック, 周辺ハードウェア・クロックとして使用する場合
- (4) 高速システム・クロックを停止する場合

(1) X1クロックを発振する場合の設定手順例

周波数の設定 (OSCCTLレジスタ)

AMPHで、使用する周波数に応じて、内蔵している発振器のゲインを設定します

AMPH ^注	発振周波数の制御
0	1 MHz f_{XH} 10 MHz
1	10 MHz < f_{XH} 20 MHz

注 AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。AMPHに1を設定してから4.06 ~ 16.12 μ s間、CPUクロックの供給が停止されます。

備考 f_{XH} : 高速システム・クロック周波数

P121/X1, P122/X2/EXCLK端子の設定, 動作モードの選択 (OSCCTLレジスタ)

EXCLKを0, OSCSELを1に設定すると、ポート・モードからX1発振モードへ切り替わります。

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
0	1	X1発振モード	水晶/セラミック発振子接続	

X1クロックの発振制御 (MOCレジスタ)

MSTOPを0に設定すると、X1発振回路が発振を開始します。

X1クロックの発振安定待ち

OSTCレジスタを確認し、必要な時間の経過をウエイトします。

ウエイト中は、高速内蔵発振クロックで他のソフトウェア処理を実行できます。

注意1. X1クロック動作中にEXCLK, OSCSELを書き換えないでください

2. 電源電圧が、使用するクロックの動作可能電圧（第28章 電気的特性）に達してから、X1クロックの設定を行ってください。

(2) 外部メイン・システム・クロックを使用する場合の設定手順例

周波数の設定（OSCCTLレジスタ）

AMPHで、使用する周波数を設定します

AMPH ^注	発振周波数の制御
0	1 MHz f_{XH} 10 MHz
1	10 MHz < f_{XH} 20 MHz

注 AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。AMPHに1を設定してから外部クロックの160クロック分、CPUクロックの供給が停止されます。

備考 f_{XH} ：高速システム・クロック周波数

P121/X1, P122/X2/EXCLK端子の設定、動作モードの選択（OSCCTLレジスタ）

EXCLK, OSCSELをそれぞれ1に設定すると、ポート・モードから外部クロック入力モードへ切り替えます。

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
1	1	外部クロック入力モード	入出力ポート	外部クロック入力

外部メイン・システム・クロックの入力制御（MOCレジスタ）

MSTOPを0に設定すると、外部メイン・システム・クロックの入力が有効になります。

注意1. 外部メイン・システム・クロック動作中にEXCLK, OSCSELを書き換えないでください。

2. 電源電圧が、使用するクロックの動作可能電圧（第28章 電気的特性）に達してから、X1クロックの設定を行ってください。

(3) 高速システム・クロックをCPUクロック，周辺ハードウェア・クロックとして使用する場合の設定手順例

高速システム・クロックの発振を設定[※]

(5.6.1(1) X1クロックを発振する場合の設定手順例，または(2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照)。

注 高速システム・クロック動作中の場合， の設定不要です。

高速システム・クロックをメイン・システム・クロックに設定 (MCMレジスタ)

XSELとMCM0をそれぞれ1に設定すると，メイン・システム・クロックと周辺ハードウェアに，高速システム・クロックが供給されます。

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f _{XP})	周辺ハードウェア・クロック (f _{PRS})
1	1	高速システム・クロック (f _{XH})	高速システム・クロック (f _{XH})

注意 メイン・システム・クロックに高速システム・クロックを選択した場合，周辺ハードウェア・クロックに高速システム・クロック以外のクロックを設定することはできません。

メイン・システム・クロックをCPUクロックに選択，分周比の選択 (PCCレジスタ)

CSSを0に設定すると，CPUにメイン・システム・クロックが供給されます。CPUクロックの分周比を選択する場合は，PCC0，PCC1，PCC2で選択します。

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択
0	0	0	0	f _{XP}
	0	0	1	f _{XP} /2 (デフォルト)
	0	1	0	f _{XP} /2 ²
	0	1	1	f _{XP} /2 ³
	1	0	0	f _{XP} /2 ⁴
	上記以外			

(4) 高速システム・クロックを停止する場合の設定手順例

高速システム・クロックを停止するには，次の2つの方法があります。

- ・STOP命令を実行し，X1発振を停止する (外部クロックを使用している場合は，クロック入力無効)
- ・MSTOPを1に設定し，X1発振を停止する (外部クロックを使用している場合は，クロック入力無効)

(a) STOP命令を実行する場合

周辺ハードウェアの停止を設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します (STOPモード中に使用できない周辺ハードウェアについては，第20章 スタンバイ機能を参照してください)。

スタンバイ解除後のX1クロックの発振安定時間の設定

CPUがX1クロックで動作している場合，STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、X1発振は停止します（外部クロック入力は無効になります）。

(b) MSTOPを1に設定し、X1発振を停止（外部クロック入力を無効）する場合

CPUクロックのステータス（PCC, MCMレジスタ）を確認

CLSとMCSで、CPUクロックが高速システム・クロック以外で動作しているかを確認します。

CLS = 0, MCS = 1の場合、CPUに高速システム・クロックが供給されていますので、CPUクロックを高速システム・クロック以外のクロックに変更してください。

・78K0/KB2-A

MCS	CPUクロックのステータス
0	高速内蔵発振クロック
1	高速システム・クロック

・78K0/KC2-A

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

高速システム・クロックの停止（MOCレジスタ）

MSTOPを1に設定すると、X1発振は停止します（外部クロック入力は無効になります）。

注意 MSTOPに1を設定するとき、必ずMCS = 0またはCLS = 1であることを確認してください。また、高速システム・クロックで動作している周辺ハードウェアを停止してください。

5.6.2 高速内蔵発振クロックの制御例

次の設定手順例を、以下に示します。

- (1) 高速内蔵発振クロックの発振を再開する場合
- (2) 高速内蔵発振クロックをCPUクロック、高速内蔵発振クロックまたは高速システム・クロックを周辺ハードウェア・クロックとして使用する場合
- (3) 高速内蔵発振クロックを停止する場合

(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例^{注1}

高速内蔵発振クロック発振の再開の設定 (RCMレジスタ)

RSTOPを0に設定すると高速内蔵発振クロックは発振を再開します。

高速内蔵発振クロック発振精度安定時間待ち (RCMレジスタ)

RSTSに1がセットされるまでウエイトします^{注2}。

- 注1. リセット解除後，高速内蔵発振器は自動的に発振し，高速内蔵発振クロックがCPUクロックとして選択されます。
2. CPUクロック，周辺ハードウェア・クロックに精度が必要ない場合はウエイト省略可能です。

(2) 高速内蔵発振クロックをCPUクロック，高速内蔵発振クロックまたは高速システム・クロックを周辺ハードウェア・クロックとして使用する場合

・高速内蔵発振クロックの発振を再開^注

(5.6.2(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例を参照)。

・高速システム・クロックを発振^注

(周辺ハードウェア・クロックとして高速システム・クロックを使用する場合に設定必要。5.6.1(1) X1クロックを発振する場合の設定手順例，(2)外部メイン・システム・クロックを使用する場合の設定手順例を参照)

注 高速内蔵発振クロック，高速システム・クロック動作中の場合， の設定不要です。

メイン・システム・クロックと周辺ハードウェアへの供給クロック選択 (MCMレジスタ)

XSELとMCM0で，メイン・システム・クロックと周辺ハードウェア・クロックを設定してください。

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f _{XP})	周辺ハードウェア・クロック (f _{PRS})
0	0	高速内蔵発振クロック (f _{RH})	高速内蔵発振クロック (f _{RH})
0	1		
1	0		高速システム・クロック (f _{XH})

CPUクロックの分周比の選択 (PCCレジスタ)

CSSを0に設定すると，CPUにメイン・システム・クロックが供給されます。CPUクロックの分周比を選択する場合は，PCC0，PCC1，PCC2で選択します。

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択
0	0	0	0	f _{XP}
	0	0	1	f _{XP} /2 (デフォルト)
	0	1	0	f _{XP} /2 ²
	0	1	1	f _{XP} /2 ³
	1	0	0	f _{XP} /2 ⁴
	上記以外			

(3) 高速内蔵発振クロックを停止する場合の設定手順例

高速内蔵発振クロックを停止するには、次の2つの方法があります。

- ・ STOP命令を実行し、STOPモードに移行する
- ・ RSTOPを1に設定し、高速内蔵発振クロックを停止する

(a) STOP命令を実行する場合

周辺ハードウェアの設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します (STOPモード中に使用できない周辺ハードウェアについては、第20章 **スタンバイ機能**を参照してください)。

スタンバイ解除後のX1クロックの発振安定時間の設定

CPUがX1クロックで動作している場合、STOP命令実行前までにOSTSレジスタの値を設定します。STOPモード解除後、すぐにCPUを動作したい場合は、MCM0を0に設定し、CPUクロックを高速内蔵発振クロックに切り替え、RSTS = 1であることを確認します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、高速内蔵発振クロックは停止します。

(b) RSTOPを1に設定し、高速内蔵発振クロックを停止する場合

CPUクロックのステータスを確認 (PCC, MCMレジスタ)

CLSとMCSで、CPUクロックが高速内蔵発振クロック以外で動作していることを確認します。CLS = 0, MCS = 0の場合、CPUに高速内蔵発振クロックが供給されていますので、CPUクロックを高速内蔵発振クロック以外のクロックに変更してください。

・ 78K0/KB2-A

MCS	CPUクロックのステータス
0	高速内蔵発振クロック
1	高速システム・クロック

・ 78K0/KC2-A

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

高速内蔵発振クロックの停止 (RCMレジスタ)

RSTOPを1に設定すると、高速内蔵発振クロックが停止します。

注意 RSTOPに1を設定するとき、必ずMCS = 1またはCLS = 1であることを確認してください。また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してください。

5.6.3 サブシステム・クロックの制御例

サブシステム・クロック[※]には、次のクロックがあります。

- ・XT1クロック：XT1, XT2端子に水晶発振子接続

また、未使用時では、XT1/P123, XT2/P124端子を入出力ポートとして使用できます。

注 78K0/KB2-Aには、サブシステム・クロックはありません。

注意1. XT1/P123, XT2/P124端子のリセット解除時は、入出力ポート・モードです。

2. CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、周辺ハードウェアの端子からの外部クロックで周辺ハードウェアを動作開始させないでください。

次の設定手順例を、以下に示します。

- (1) XT1クロックを発振する場合
- (2) サブシステム・クロックをCPUクロックとして使用する場合
- (3) サブシステム・クロックを停止する場合

(1) XT1クロックを発振する場合の設定手順例

XT1, XT2端子の設定、動作モードの選択 (OSCCTLレジスタ)

OSCSLSに1を設定すると、ポート・モードからXT1発振モードへ切り替わります。

サブシステム・クロックの発振安定待ち

タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。

(2) サブシステム・クロックをCPUクロックとして使用する場合の設定手順例

サブシステム・クロックを発振[※]

(5.6.3 (1) XT1クロックを発振する場合の設定手順例を使用する場合の設定手順例を参照)

注 サブシステム・クロック動作中の場合、 の設定不要です。

CPUクロックの切り替え (PCCレジスタ)

CSSに1を設定すると、CPUにサブシステム・クロックが供給されます。

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択
1	0	0	0	f _{SUB} /2
	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
上記以外				設定禁止

(3) サブシステム・クロックを停止する場合の設定手順例

CPUクロックのステータスを確認 (PCC, MCMレジスタ)

CLSとMCSで、CPUクロックがサブシステム・クロック以外で動作しているかを確認します。

CLS = 1の場合、CPUにサブシステム・クロックが供給されていますので、CPUクロックをサブシステム・クロック以外のクロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	×	サブシステム・クロック

サブシステム・クロックの停止 (OSCCTLレジスタ)

OSCSELSに0を設定すると、XT1発振が停止します。

- 注意1.** OSCSELSに0を設定するとき、必ずCLS = 0であることを確認してください。また、サブシステム・クロックでリアルタイム・カウンタとクロック出力制御回路が動作している場合は、リアルタイム・カウンタとクロック出力制御回路の動作を停止してください。
- 2.** STOP命令でサブシステム・クロックの発振を停止することはできません。

5.6.4 低速内蔵発振クロックの制御例

低速内蔵発振クロックは、CPUクロックとして使用することはできません。

次の周辺ハードウェアのみを動作させることができます。

- ・ウォッチドッグ・タイマ
- ・8ビット・タイマH1（カウント・クロックにf_{RL}を選択した場合）

また、オプション・バイトにより、次の動作モードを選択できます。

- ・低速内蔵発振器の発振停止不可
- ・ソフトウェアにて低速内蔵発振器の発振停止可

リセット解除後、低速内蔵発振器は自動的に発振します。オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します（240 kHz（TYP.））

（1）低速内蔵発振クロックを停止する場合の設定手順例

LSRSTOPを1に設定（RCMレジスタ）

LSRSTOPを1に設定すると、低速内蔵発振クロックは発振を停止します。

（2）低速内蔵発振クロックの発振を再開する場合の設定手順例

LSRSTOPを0に設定（RCMレジスタ）

LSRSTOPを0に設定すると、低速内蔵発振クロックは発振を再開します。

注意 オプション・バイトにて「低速内蔵発振器の発振停止不可」に設定している場合、低速内蔵発振クロックの発振制御はできません。

5.6.5 CPUクロック，周辺ハードウェア・クロックへの供給クロック

CPUクロック，周辺ハードウェア・クロックへの供給クロックとレジスタの設定を次に示します。

表5-3 CPUクロック，周辺ハードウェア・クロックへの供給クロックとレジスタの設定（78K0/KB2-A）

供給クロック		XSEL	MCM0	EXCLK
CPUクロックへの供給クロック	周辺ハードウェア・クロックへの供給クロック			
高速内蔵発振クロック		0	x	x
高速内蔵発振クロック	X1クロック	1	0	0
	外部メイン・システム・クロック	1	0	1
X1クロック		1	1	0
外部メイン・システム・クロック		1	1	1

- 備考** XSEL :メイン・クロック・モード・レジスタ (MCM) のビット2
 CSS :プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4
 MCM0 :MCMのビット0
 EXCLK :クロック動作モード選択レジスタ (OSCCTL) のビット7
 x : don't care

表5-4 CPUクロック，周辺ハードウェア・クロックへの供給クロックとレジスタの設定（78K0/KC2-A）

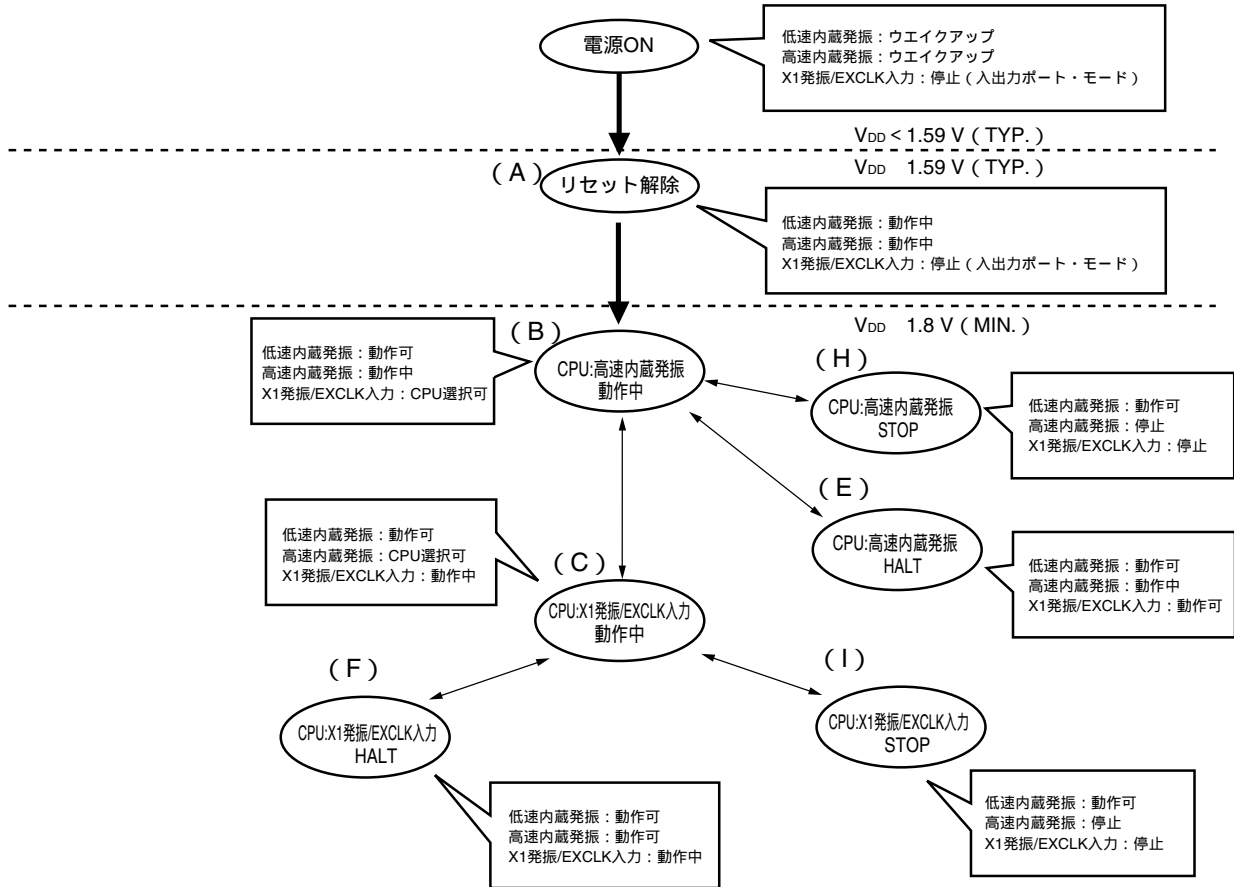
供給クロック		XSEL	CSS	MCM0	EXCLK
CPUクロックへの供給クロック	周辺ハードウェア・クロックへの供給クロック				
高速内蔵発振クロック		0	0	x	x
高速内蔵発振クロック	X1クロック	1	0	0	0
	外部メイン・システム・クロック	1	0	0	1
X1クロック		1	0	1	0
外部メイン・システム・クロック		1	0	1	1
サブシステム・クロック	高速内蔵発振クロック	0	1	x	x
	X1クロック	1	1	0	0
		1	1	1	0
	外部メイン・システム・クロック	1	1	0	1
		1	1	1	1

- 備考** XSEL :メイン・クロック・モード・レジスタ (MCM) のビット2
 CSS :プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4
 MCM0 :MCMのビット0
 EXCLK :クロック動作モード選択レジスタ (OSCCTL) のビット7
 x : don't care

5.6.6 CPUクロック状態移行図

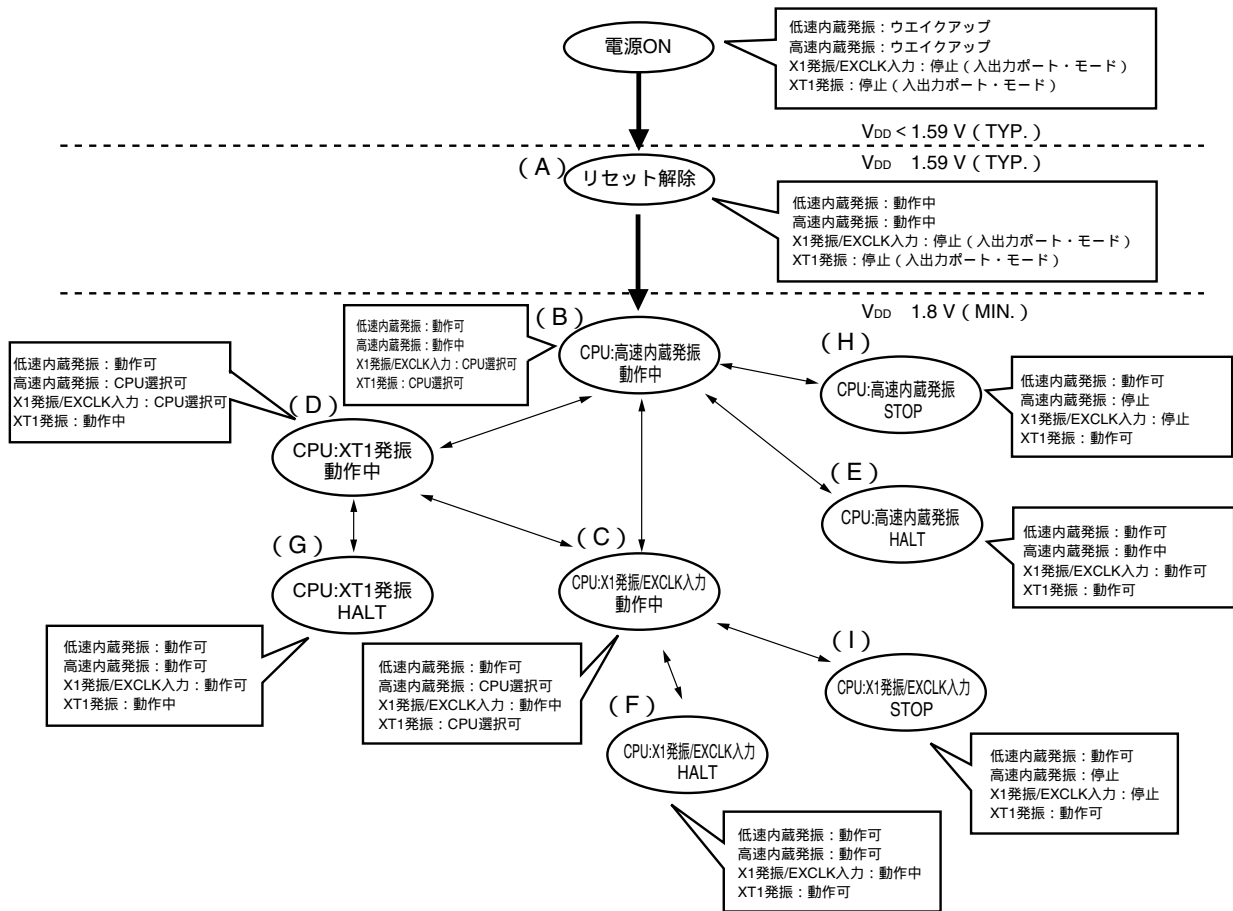
この製品のCPUクロック状態移行図を図5 - 15, 図5 - 16に示します。

図5 - 15 CPUクロック状態移行図 (1.59 V POCモード設定時 (オプション・バイト : POCMODE = 0) , 78K0/KB2-A)



備考 2.7 V/1.59 V POCモード設定時 (オプション・バイト : POCMODE = 1) では、電源投入後、電源電圧が2.7 V (TYP.) を越えると上図の (A) に移行し、リセット処理 (11 ~ 45 μs) 後に上図の (B) に移行します。

図5-16 CPUクロック状態移行図 (1.59 V POCモード設定時 (オプション・バイト : POCMODE = 0) , 78K0/KC2-A)



備考 2.7 V/1.59 V POCモード設定時 (オプション・バイト : POCMODE = 1) では、電源投入後、電源電圧が2.7 V (TYP.) を越えると上図の (A) に移行し、リセット処理 (11 ~ 45 μs) 後に上図の (B) に移行します。

CPUクロックの移行とSFRレジスタの設定例などを表5 - 5に示します。

表5 - 5 CPUクロックの移行とSFRレジスタの設定例 (1/5)

(1) リセット解除後 (A) に、CPUを高速内蔵発振クロック動作 (B) へ移行

状態遷移		SFRレジスタの設定
(A)	(B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	AMPH	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL	MCM0
状態遷移 (A) (B) (C) (X1クロック : 1 MHz f_{XH} 10 MHz)	0	0	1	0	確認必要	1	1
(A) (B) (C) (外部メイン・システム・ クロック : 1 MHz f_{XH} 10 MHz)	0	1	1	0	確認不要	1	1
(A) (B) (C) (X1クロック : 10 MHz < f_{XH} 20 MHz)	1	0	1	0	確認必要	1	1
(A) (B) (C) (外部メイン・システム・ クロック : 10 MHz < f_{XH} 20 MHz)	1	1	1	0	確認不要	1	1

注意 設定するクロックの動作可能電圧 (第28章 電気的特性) に電源電圧が達してから、クロックを設定してください。

(3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行^注

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

注 78K0/KB2-Aには、サブシステム・クロックはありません。

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	OSCSELS	発振安定待ち	CSS
状態遷移 (A) (B) (D)	1	必要	1

備考1. 表5 - 5の (A) - (I) は、図5 - 15、図5 - 16の(A) - (I) と対応しています。

2. EXCLK, OSCSEL, OSCSELS, AMPH

: クロック動作モード選択レジスタ (OSCCTL) のビット7, 6, 4, 0

MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0

CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

表5 - 5 CPUクロックの移行とSFRレジスタの設定例 (2/5)

(4) CPUを高速内蔵発振クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) ▶

SFRレジスタの設定フラグ	AMPH ^注	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL ^注	MCM0
状態遷移 (B) (C) (X1クロック : 1 MHz f_{XH} 10 MHz)	0	0	1	0	確認必要	1	1
(B) (C) (外部メイン・システム・クロック : 1 MHz f_{XH} 10 MHz)	0	1	1	0	確認不要	1	1
(B) (C) (X1クロック : 10 MHz < f_{XH} 20 MHz)	1	0	1	0	確認必要	1	1
(B) (C) (外部メイン・システム・クロック : 10 MHz < f_{XH} 20 MHz)	1	1	1	0	確認不要	1	1

設定済みの場合は不要

高速システム・クロック動作中の場合は不要

注 リセット解除後，1回のみ設定可能です。設定済みの場合は不要です。

注意 設定するクロックの動作可能電圧 (第28章 電気的特性) に電源電圧が達してから，クロックを設定してください。

(5) CPUを高速内蔵発振クロック動作 (B) から，サブシステム・クロック動作 (D) へ移行^注

注 78K0/KB2-Aには，サブシステム・クロックはありません。

(SFRレジスタの設定順序) ▶

SFRレジスタの設定フラグ	OSCSLS	発振安定待ち	CSS
状態遷移 (B) (D)	1	必要	1

サブシステム・クロック動作中の場合は不要

備考1. 表5 - 5の (A) - (I) は，図5 - 15，図5 - 16の(A) - (I) と対応しています。

2. EXCLK, OSCSEL, OSCSLS, AMPH

: クロック動作モード選択レジスタ (OSCCTL) のビット7, 6, 4, 0

MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0

CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

表5 - 5 CPUクロックの移行とSFRレジスタの設定例 (3/5)

(6) CPUを高速システム・クロック動作 (C) から、高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ		RSTOP	RSTS	MCM0
状態遷移	(C) (B)	0	1を確認	0

高速内蔵発振クロック動作中の場合は不要

(7) CPUを高速システム・クロック動作 (C) から、サブシステム・クロック動作 (D) へ移行^注

注 78K0/KB2-Aには、サブシステム・クロックはありません。

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ		OSCSELS	発振安定待ち	CSS
状態遷移	(C) (D)	1	必要	1

サブシステム・クロック動作中の場合は不要

(8) CPUをサブシステム・クロック動作 (D) から、高速内蔵発振クロック動作 (B) へ移行^注

注 78K0/KB2-Aには、サブシステム・クロックはありません。

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ		RSTOP	RSTS	MCM0	CSS
状態遷移	(D) (B)	0	1を確認	0	0

高速内蔵発振クロック動作中の場合は不要

XSELが0の場合は不要

備考1. 表5 - 5の (A) - (I) は、図5 - 15, 図5 - 16の(A) - (I) と対応しています。

- 2. MCM0 : メイン・クロック・モード・レジスタ(MCM)のビット0
- OSCSELS : クロック動作モード選択レジスタ (OSCCTL) のビット4
- RSTS, RSTOP : 内蔵発振モード・レジスタ (RCM) のビット7, 0
- CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

表5 - 5 CPUクロックの移行とSFRレジスタの設定例 (4/5)

(9) CPUをサブシステム・クロック動作 (D) から高速システム・クロック動作 (C) へ移行^注

注 78K0/KB2-Aには、サブシステム・クロックはありません。

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	AMPH ^注	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL ^注	MCM0	CSS
状態遷移 (D) (C) (X1クロック : 1 MHz f_{XH} 10 MHz)	0	0	1	0	確認必要	1	1	0
(D) (C) (外部メイン・システム・ クロック : 1 MHz f_{XH} 10 MHz)	0	1	1	0	確認不要	1	1	0
(D) (C) (X1クロック : 10 MHz < f_{XH} 20 MHz)	1	0	1	0	確認必要	1	1	0
(D) (C) (外部メイン・システム・ クロック : 10 MHz < f_{XH} 20 MHz)	1	1	1	0	確認不要	1	1	0

設定済みの場合は不要
高速システム・ク
ロック動作中の
場合は不要
設定済みの場合は
不要

注 リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

注意 設定するクロックの動作可能電圧 (第28章 電気的特性) に電源電圧が達してから、クロックを設定してください。

- (10) ・CPUが高速内蔵発振クロック動作中 (B) にHALTモード (E) へ移行
- ・CPUが高速システム・クロック動作中 (C) にHALTモード (F) へ移行
- ・CPUがサブシステム・クロック動作中 (D) にHALTモード (G) へ移行^注

状態遷移	設定内容
(B) (E)	HALT命令を実行する
(C) (F)	
(D) (G) ^注	

注 78K0/KB2-Aには、サブシステム・クロックはありません。

備考1. 表5 - 5の (A) - (I) は、図5 - 15、図5 - 16の(A) - (I) と対応しています。

2. EXCLK, OSCSEL, AMPH : クロック動作モード選択レジスタ (OSCCTL) のビット7, 6, 0
- MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7
- XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0
- CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

表5 - 5 CPUクロックの移行とSFRレジスタの設定例 (5/5)

- (11) ・CPUが高速内蔵発振クロック動作中 (B) にSTOPモード (H) へ移行
- ・CPUが高速システム・クロック動作中 (C) にSTOPモード (I) へ移行

(設定順序) →

状態遷移	設定内容	
(B) (H)	STOPモード中に動作できない周辺機能	STOP命令を実行する
(C) (I)	機能を停止する	

- 備考1. 表5 - 5の (A) - (I) は、図5 - 15, 図5 - 16の(A) - (I) と対応しています
- 2. EXCLK, OSCSEL, AMPH : クロック動作モード選択レジスタ (OSCCTL) のビット7, 6, 0
 - MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7
 - XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0
 - CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

5. 6. 7 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5 - 6 CPUクロックの移行について (1/2)

(1) 78K0/KB2-A

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速内蔵発振 クロック	X1クロック	X1発振が安定していること ・ MSTOP = 0, OSCSEL = 1, EXCLK = 0 ・ 発振安定時間経過後	・ 高速内蔵発振器停止可能 (RSTOP = 1) ・ AMPH = 1を設定した場合、設定してから 4.06 ~ 16.12 μs間、CPUクロックの供給停止
	外部メイン・ システム・ク ロック	EXCLK端子からの外部クロック入力を有効 にすること ・ MSTOP = 0, OSCSEL = 1, EXCLK = 1	・ 高速内蔵発振器停止可能 (RSTOP = 1) ・ AMPH = 1を設定した場合、設定してから EXCLK端子からの外部クロックの160ク ロック分、CPUクロックの供給停止
X1クロック	高速内蔵発 振クロック	高速内蔵発振器が発振されていること ・ RSTOP=0	X1発振停止可能 (MSTOP = 1)
外部メイン・ システム・ クロック			外部メイン・システム・クロック入力を無効 に設定可能 (MSTOP = 1)

表5 - 6 CPUクロックの移行について (2/2)

(2) 78K0/KC2-A

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速内蔵発振 クロック	X1クロック	X1発振が安定していること ・ MSTOP = 0, OSCSEL = 1, EXCLK = 0 ・ 発振安定時間経過後	・ 高速内蔵発振器停止可能 (RSTOP = 1) ・ AMPH = 1を設定した場合, 設定してから 4.06 ~ 16.12 μ s間 ,CPUクロックの供給停 止
	外部メイン・ システム・ク ロック	EXCLK端子からの外部クロック入力を有効 にすること ・ MSTOP = 0, OSCSEL = 1, EXCLK = 1	・ 高速内蔵発振器停止可能 (RSTOP = 1) ・ AMPH = 1を設定した場合, 設定してから EXCLK端子からの外部クロックの160ク ロック分, CPUクロックの供給停止
X1クロック	高速内蔵発 振クロック	高速内蔵発振器が発振されていること ・ RSTOP=0	X1発振停止可能 (MSTOP = 1)
外部メイン・ システム・ クロック			外部メイン・システム・クロック入力を無効 に設定可能 (MSTOP = 1)
高速内蔵発振 クロック	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1 ・ 発振安定時間経過後	高速内蔵発振器を停止 (RSTOP = 1) する と, 動作電流を低減可能
X1クロック			X1発振停止可能 (MSTOP = 1)
外部メイン・ システム・ クロック			外部メイン・システム・クロック入力を無効 に設定可能 (MSTOP = 1)
XT1クロック	高速内蔵発 振クロック	高速内蔵発振器が発振され, メイン・システ ム・クロックに高速内蔵発振クロックが選択 されていること ・ RSTOP = 0, MCS = 0	XT1発振停止に設定可能 (OSCSELS = 0)
	X1クロック	X1発振が安定, かつメイン・システム・クロ ックに高速システム・クロックが選択されて いること ・ MSTOP = 0, OSCSEL = 1, EXCLK = 0 ・ 発振安定時間経過後 ・ MCS = 1	・ XT1発振停止に設定可能 (OSCSELS = 0) ・ AMPH = 1を設定した場合, 設定してから 4.06 ~ 16.12 μ s間 ,CPUクロックの供給停 止
	外部メイン・ システム・ クロック	EXCLK端子からの外部クロックが入力有 効, かつメイン・システム・クロックに高速 システム・クロックが選択されていること ・ MSTOP = 0, OSCSEL = 1, EXCLK = 1 ・ MCS = 1	・ XT1発振停止に設定可能 (OSCSELS = 0) ・ AMPH = 1を設定した場合, 設定してから EXCLK端子からの外部クロックの160ク ロック分, CPUクロックの供給停止

5.6.8 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

プロセッサ・クロック・コントロール・レジスタ (PCC) のビット0-2 (PCC0-PCC2) とビット4 (CSS) の設定により, CPUクロックの切り替え (メイン・システム・クロック サブシステム・クロック^注) およびメイン・システム・クロックの分周比変更をすることができます。

実際の切り替え動作は, PCCを書き換えた直後ではなく, PCCを変更したのち, 数クロックは切り替え前のクロックで動作します (表5-7, 表5-8参照)。

CPUクロックがメイン・システム・クロックで動作しているか, サブシステム・クロック^注で動作しているかは, PCCのビット5 (CLS) で判定できます。

注 78K0/KB2-Aには, サブシステム・クロックはありません。

表5-7 CPUクロックの切り替えおよびメイン・システム・クロックの分周比変更に必要な最大時間(78K0/KB2-A)

切り替え前の設定値			切り替え後の設定値														
PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0
			0	0	0	0	0	1	0	1	0	0	1	1	1	0	0
0	0	0	8クロック			16クロック			16クロック			16クロック			16クロック		
0	0	1				8クロック			8クロック			8クロック			8クロック		
0	1	0	4クロック			4クロック			4クロック			4クロック			4クロック		
0	1	1	2クロック			2クロック			2クロック			2クロック			2クロック		
1	0	0	1クロック			1クロック			1クロック			1クロック			1クロック		

備考 表5-7のクロック数は, 切り替え前のCPUクロックのクロック数です。

表5-8 CPUクロックの切り替えおよびメイン・システム・クロックの分周比変更に必要な最大時間(78K0/KC2-A)

切り替え前の設定値				切り替え後の設定値																							
CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0				
				0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	1	×	×	×
0	0	0	0	8クロック			16クロック			16クロック			16クロック			16クロック			2f _{XP} /f _{SUB} クロック								
	0	0	1				8クロック			8クロック			8クロック			8クロック			f _{XP} /f _{SUB} クロック								
	0	1	0	4クロック			4クロック			4クロック			4クロック			f _{XP} /2f _{SUB} クロック											
	0	1	1	2クロック			2クロック			2クロック			2クロック			f _{XP} /4f _{SUB} クロック											
	1	0	0	1クロック			1クロック			1クロック			1クロック			f _{XP} /8f _{SUB} クロック											
1	×	×	×	2クロック			2クロック			2クロック			2クロック			2クロック											

注意 メイン・システム・クロックの分周の選択 (PCC0-PCC2) とメイン・システム・クロックからサブシステム・クロックへの切り替え (CSSを0 1) を同時に設定しないでください。

ただし, メイン・システム・クロックの分周の選択 (PCC0-PCC2) とサブシステム・クロックからメイン・システム・クロックへの切り替え (CSSを1 0) は同時に設定可能です。

備考1. 表5-8のクロック数は, 切り替え前のCPUクロックのクロック数です。

備考2. CPUクロックをメイン・システム・クロックからサブシステム・クロックに切り替える場合のクロック数は、小数点以下を切り上げてください。

例 CPUクロックを $f_{XP}/2$ $f_{SUB}/2$ に切り替える場合($f_{XP} = 10$ MHz, $f_{SUB} = 32.768$ kHz発振時)

$$f_{XP}/f_{SUB} = 10000 / 32.768 \quad 305.1 \quad 306\text{クロック}$$

また、メイン・クロック・モード・レジスタ (MCM) のビット0 (MCM0) の設定により、メイン・システム・クロックの切り替え (高速内蔵発振クロック 高速システム・クロック) をすることができます。

実際の切り替え動作は、MCM0を書き換えた直後ではなく、MCM0を変更したのち、数クロックは切り替え前のクロックで動作します (表5 - 9参照)。

CPUクロックが高速内蔵発振クロックで動作しているか、高速システム・クロックで動作しているかは、MCMのビット1 (MCS) で判定できます。

表5 - 9 メイン・システム・クロックの切り替えに要する最大時間

切り替え前の設定値	切り替え後の設定値	
	MCM0	
MCM0	0	1
0		$1 + 2f_{RH}/f_{XH}$ クロック
1	$1 + 2f_{XH}/f_{RH}$ クロック	

注意1. 高速内蔵発振クロックから高速システム・クロックに切り替える場合、あらかじめMCMのビット2 (XSEL) を1に設定しておく必要があります。XSELはリセット解除後、1回だけ設定可能です。

2. CPUクロックがサブシステム・クロックで動作しているとき、MCM0を書き換えしないでください。

備考1. 表5 - 9のクロック数は、切り替え前のメイン・システム・クロックのクロック数です。

2. 表5 - 9のクロック数は、小数点以下を切り捨ててください。

例 メイン・システム・クロックを高速内蔵発振クロックから高速システム・クロックに切り替える場合 ($f_{RH} = 8$ MHz, $f_{XH} = 10$ MHz発振時)

$$1 + 2f_{RH}/f_{XH} = 1 + 2 \times 8/10 = 1 + 2 \times 0.8 = 1 + 1.6 = 2.6 \quad 2\text{クロック}$$

5.6.9 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

表5 - 10 クロック発振停止前の条件とフラグ設定（78K0/KB2-A）

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速内蔵発振クロック	MCS = 1 (CPUクロックが高速システム・クロックで動作)	RSTOP = 1
X1クロック 外部メイン・システム・クロック	MCS = 0 (CPUクロックが高速内蔵発振クロックで動作)	MSTOP = 1

表5 - 11 クロック発振停止前の条件とフラグ設定（78K0/KC2-A）

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速内蔵発振クロック	MCS = 1またはCLS = 1 (CPUクロックが高速内蔵発振クロック以外で動作)	RSTOP = 1
X1クロック 外部メイン・システム・クロック	MCS = 0またはCLS = 1 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
XT1クロック	CLS = 0 (CPUクロックがサブシステム・クロック以外で動作)	OSCSELS = 0

5.6.10 周辺ハードウェアとソース・クロック

78K0/Kx2-Aマイクロコントローラに内蔵されている周辺ハードウェアとソース・クロックを次に示します。

備考 製品により、内蔵している周辺ハードウェアが異なります。1.5 **ブロック図**、1.6 **機能概要**を参照してください。

表5 - 12 周辺ハードウェアとソース・クロック

ソース・クロック 周辺ハードウェア	CPU クロック (f _{CPU})	周辺ハード ウェア・クロ ック (f _{PRS})	サブシステム・ クロック (f _{SUB}) ^{注1}	低速内蔵発振 クロック (f _{RL})	TM50出力	周辺ハードウェア の端子からの外部 クロック
16ビット・タイマ/ イベント・カウンタ00	×		×	×	×	(TI000端子) ^{注2}
8ビット・タイマ/ イベント・カウンタ	50	×	×	×	×	(TI50端子) ^{注2}
	51	×	×	×	×	(TI51端子) ^{注2}
8ビット・タイマ	H0	×	×	×		×
	H1	×	×		×	×
リアルタイム・カウンタ	×	×		×	×	×
ウォッチドッグ・タイマ	×	×	×		×	×
クロック出力	×			×	×	×
A/Dコンバータ		×	×	×	×	×
オペアンプ	×		×	×	×	×
シリアル・ インタフェース	UART6	×	×	×		×
	CSI10	×	×	×	×	(SCK10端子) ^{注2}
	IICA	×	×	×	×	(SCLA0端子) ^{注2}

注1. 78K0/KB2-Aには、サブシステム・クロックはありません。

- CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、周辺ハードウェアの端子からの外部クロックで周辺ハードウェアを動作開始させないでください。

備考 : 選択可能, × : 選択不可

第6章 16ビット・タイマ/イベント・カウンタ00

6.1 16ビット・タイマ/イベント・カウンタ00の機能

16ビット・タイマ/イベント・カウンタ00は、78K0/Kx2-Aマイクロコントローラ的全製品に搭載されています。16ビット・タイマ/イベント・カウンタ00には、次のような機能があります。

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

(2) 方形波出力

任意の周波数の方形波出力が可能です。

(3) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(4) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

(5) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(6) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

6.2 16ビット・タイマ/イベント・カウンタ00の構成

16ビット・タイマ/イベント・カウンタ00は、次のハードウェアで構成されています。

表6-1 16ビット・タイマ/イベント・カウンタ00の構成

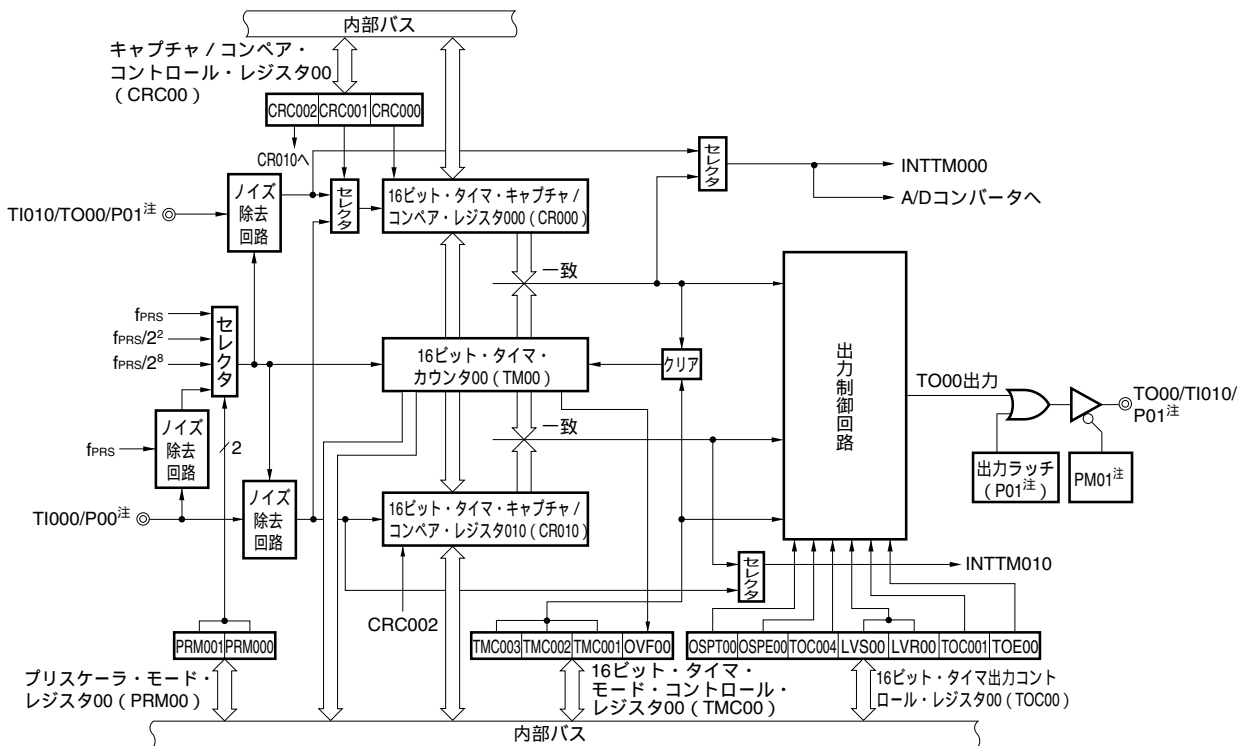
項 目	構 成
タイマ/カウンタ	16ビット・タイマ・カウンタ00 (TM00)
レジスタ	16ビット・タイマ・キャプチャ/コンペア・レジスタ000, 010 (CR000, CR010)
タイマ入力	TI000, TI010端子 ^注
タイマ出力	TO00端子 ^注 , 出力制御回路
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ0 (TMC00) キャプチャ/コンペア・コントロール・レジスタ0 (CRC00) 16ビット・タイマ出力コントロール・レジスタ0 (TOC00) プリスケアラ・モード・レジスタ00 (PRM00) ポート・モード・レジスタ0, 1 (PM0, PM1) ^注 ポート・レジスタ0, 1 (P0, P1) ^注

注 製品により、16ビット・タイマ/イベント・カウンタ00の入出力と兼用している端子が異なります。

- ・ 78K0/KB2-A : ポート1と兼用
- ・ 78K0/KC2-A : ポート0と兼用

図6 - 1にブロック図を示します。

図6 - 1 16ビット・タイマ/イベント・カウンタ00のブロック図



注 78K0/KB2-A : TI000/TOH0/INTP7/P12, TI010/TO00/TOH1/INTP6/P13, 出力ラッチ (P13), PM13
 78K0/KC2-A : TI000/P00, TI010/TO00/P01, 出力ラッチ (P01), PM01

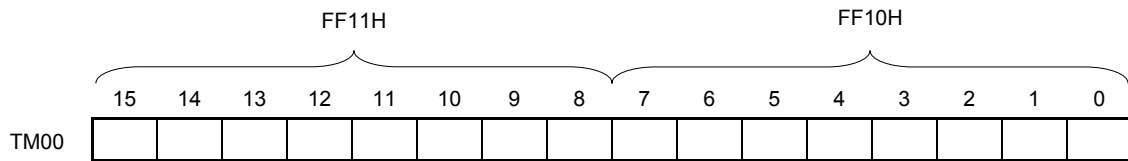
- 注意1. 78K0/KB2-Aでは、P13端子はTI010有効エッジとタイマ出力 (TO00) を同時に使用できません。どちらかの機能を選択して使用してください。
2. 78K0/KC2-Aでは、P01端子はTI010有効エッジとタイマ出力 (TO00) を同時に使用できません。どちらかの機能を選択して使用してください。
3. 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 00に設定したタイミングとキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。
4. キャプチャ・モードからコンペア・モードに変更する場合は、いったんTMC003, TMC002ビット = 00にしてから、設定を変更してください。
- なお、一度キャプチャした値は、リセットしないかぎりCR000に格納されたままです。コンペア・モードに変更したあとは、必ずコンペア値を設定してください。

(1) 16ビット・タイマ・カウンタ00 (TM00)

TM00は、カウント・パルスのカウントする16ビットのリード専用レジスタです。カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

図6-2 16ビット・タイマ・カウンタ00 (TM00) のフォーマット

アドレス : FF10H, FF11H リセット時 : 0000H R



TM00を16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 00以外のときにリードすることにより, カウント値をリードできます。TMC003, TMC002 = 00の状態ではリードした場合には, 0000Hがリードされます。

次の場合, カウント値は0000Hになります。

- ・リセット信号の発生時
- ・TMC003, TMC002をクリア (00) したとき
- ・TI000端子の有効エッジ入力でクリア&スタート・モード時, TI000端子に有効エッジが入力されたとき
- ・TM00とCR000の一致でクリア&スタート・モード時, TM00とCR000が一致したとき
- ・ワンショット・パルス出力モードで, OSPT00をセット (1) したとき, またはTI000端子に有効エッジが入力されたとき

注意 TM00をリードしても, CR010にはキャプチャしません。

(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000),

16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能とコンペア機能の切り替えは, CRC00で行います。

CR000はタイマ停止中 (TMC003, TMC002 = 00) に書き換えを行ってください。

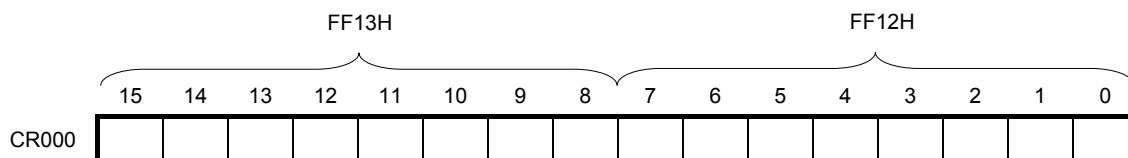
CR010は, 所定の方法で設定した場合, 動作中に書き換え可能です。詳細は6.5.1 CR010のTM00動作中の書き換えを参照してください。

16ビット単位でリード/ライト可能です。

リセット信号の発生により, 0000Hになります。

図6 - 3 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) のフォーマット

アドレス : FF12H, FF13H リセット時 : 0000H R/W



(i) CR000をコンペア・レジスタとして使用するとき

CR000に設定した値とTM00のカウンタ値を常に比較し、一致したときに割り込み信号 (INTTM000) を発生します。書き換えられるまで値を保持します。

注意 コンペア・モードに設定したCR000はキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

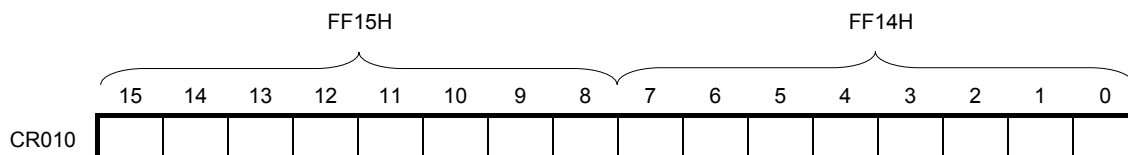
(ii) CR000をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TM00のカウンタ値をCR000にキャプチャします。

キャプチャ・トリガとして、TI000端子の逆相のエッジかTI010端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、CRC00, PRM00で設定します。

図6 - 4 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) のフォーマット

アドレス : FF14H, FF15H リセット時 : 0000H R/W



(i) CR010をコンペア・レジスタとして使用するとき

CR010に設定した値とTM00のカウンタ値を常に比較し、一致したときに割り込み信号 (INTTM010) を発生します。

注意 コンペア・モードに設定したCR010はキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) CR010をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により，TM00のカウンタ値をCR010にキャプチャします。

キャプチャ・トリガとして，TI000端子の有効エッジの選択ができます。TI000端子の有効エッジは，PRM00で設定します。

(iii) CR000, CR010をコンペア・レジスタとして使用した場合の設定範囲

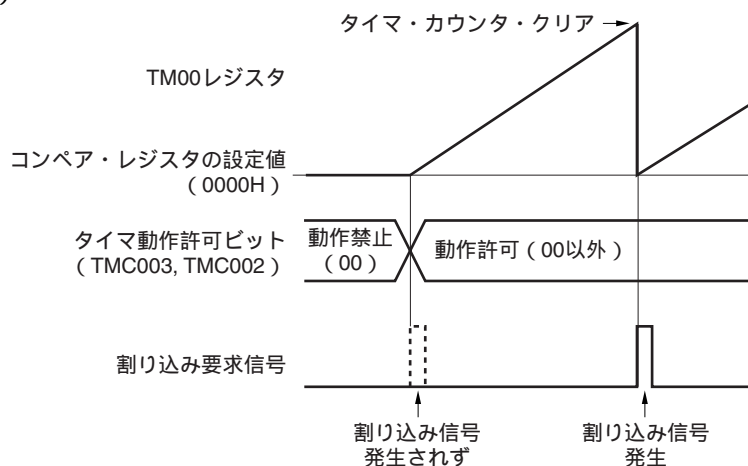
CR000, CR010をコンペア・レジスタとして使用するときには，次の範囲で値を設定してください。

動作	CR000の設定範囲	CR010の設定範囲
インターバル・タイマとしての動作	0000H < N FFFFH	0000H ^註 M FFFFH
方形波出力としての動作		通常，使用しません。一致割り込み信号 (INTTM010) をマスクしてください。
外部イベント・カウンタとしての動作		
TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作	0000H ^註 N FFFFH	0000H ^註 M FFFFH
フリー・ランニング・タイマとしての動作		
PPG出力としての動作	M < N FFFFH	0000H ^註 M < N
ワンショット・パルス出力としての動作	0000H ^註 N FFFFH (N M)	0000H ^註 M FFFFH (M N)

注 0000Hに設定した場合，タイマ動作直後の一致割り込みは発生せず，タイマ出力も変化しません。

0000Hに設定した場合，最初の一致タイミングは次のようになります。なお，一致割り込みは，タイマ・カウンタ (TM00レジスタ) が0000Hから0001Hになるタイミングで発生します。








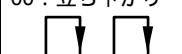
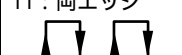

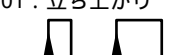
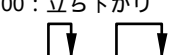
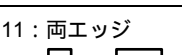
- ・オーバフローによるタイマ・カウンタ・クリア時
- ・TI000端子の有効エッジによるタイマ・カウンタ・クリア時
(TI000端子の有効エッジ入力でクリア&スタート・モードのとき)
- ・コンペア一致によるタイマ・カウンタ・クリア時
(TM00とCR000の一致でクリア&スタート・モード (CR000 = 0000H以外，CR010 = 0000H) のとき)



備考1. N : CR000の設定値，M : CR010の設定値

2. TMC003, TMC002については，6.3 (1) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) を参照してください。

表6 - 2 CR000, CR010のキャプチャ動作

外部入力信号	TI000端子入力 		TI010端子入力 	
キャプチャ動作				
CR000 のキャプチャ動作	CRC001 = 1 TI000端子入力 (逆相) 	ES001, ES000の設定値 キャプチャするエッジの位置	CRC001ビット = 0 TI010端子入力 	ES101, ES100の設定値 キャプチャするエッジの位置
		01 : 立ち上がり 		01 : 立ち上がり 
		00 : 立ち下がり 		00 : 立ち下がり 
	11 : 両エッジ (キャプチャできません)		11 : 両エッジ 	
割り込み信号	キャプチャしても INTTM000信号は発生しない		割り込み信号	キャプチャするごとに INTTM000信号が発生
CR010 のキャプチャ動作	TI000端子入力 ^注 	ES001, ES000の設定値 キャプチャするエッジの位置		
		01 : 立ち上がり 		
		00 : 立ち下がり 		
	11 : 両エッジ 			
割り込み信号	キャプチャするごとに INTTM010信号が発生			

注 CR010のキャプチャ動作には、CRC001ビットの設定による影響はありません。

注意 TI000端子入力の逆相でTM00レジスタのカウンタ値をCR000レジスタにキャプチャする場合、キャプチャ後に割り込み要求信号 (INTTM000) は発生しません。この動作中に、TI010端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM000信号が発生します。外部割り込みを使用しない場合は、INTTM000信号をマスクしてください。

備考 CRC001 : 6.3 (2) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) 参照

ES101, ES100, ES001, ES000 : 6.3 (4) プリスケアラ・モード・レジスタ00 (PRM00) 参照

6.3 16ビット・タイマ/イベント・カウンタ00を制御するレジスタ

16ビット・タイマ/イベント・カウンタ00を制御するレジスタを次に示します。

- ・16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)
- ・キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)
- ・16ビット・タイマ出力コントロール・レジスタ00 (TOC00)
- ・プリスケアラ・モード・レジスタ00 (PRM00)
- ・ポート・モード・レジスタ0, 1 (PM0, PM1) ^注
- ・ポート・レジスタ0, 1 (P0, P1) ^注

注 製品により、16ビット・タイマ/イベント・カウンタ00の入出力と兼用している端子が異なります。

- ・78K0/KB2-A：ポート1と兼用
- ・78K0/KC2-A：ポート0と兼用

(1) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

TMC00は、16ビット・タイマ/イベント・カウンタ00の動作モード、TM00のクリア・モード、出力タイミングの設定およびオーバフローを検出する8ビットのレジスタです。

TMC00は、動作中 (TMC003, TMC002 = 00以外のとき) の書き換えは禁止です。

ただし、TMC003, TMC002を00 (動作停止) に設定する場合と、OVF00に0を設定する場合は、書き換え可能です。

TMC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 16ビット・タイマ/イベント・カウンタ00は、TMC003, TMC002に00 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC003, TMC002に00を設定してください。

図6-5 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のフォーマット

アドレス：FFBAH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TMC00	0	0	0	0	TMC003	TMC002	TMC001	OVF00

TMC003	TMC002	16ビット・タイマ/イベント・カウンタ00の動作許可
0	0	16ビット・タイマ/イベント・カウンタ00動作禁止。動作クロック供給停止。16ビット・タイマ・カウンタ00 (TM00) をクリア。
0	1	フリー・ランニング・タイマ・モード
1	0	TI000端子の有効エッジ入力 ^注 でクリア&スタート・モード
1	1	TM00とCR000の一致でクリア&スタート・モード

TMC001	タイマ出力 (TO00) 反転条件
0	・ TM00とCR000の一致, TM00とCR010の一致
1	・ TM00とCR000の一致, TM00とCR010の一致 ・ TI000端子の有効エッジのトリガ入力

OVF00	TM00のオーバーフロー・フラグ
クリア (0)	OVF00への0クリアまたはTMC003, TMC002 = 00
セット (1)	オーバーフロー発生
OVF00は、すべての動作モード (フリー・ランニング・タイマ・モード, TI000端子の有効エッジ入力 ^注 でクリア&スタート・モード, TM00とCR000の一致でクリア&スタート・モード) でTM00の値がFFFFHから0000Hになるとき、セット (1) されます。 OVF00に1を書き込むことでもセット (1) できます。	

注 TI000端子の有効エッジは、プリスケアラ・モード・レジスタ00 (PRM00) のビット5, 4 (ES001, ES000) で設定します。

(2) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

CRC00は、CR000, CR010の動作を制御するレジスタです。

CRC00は、動作中 (TMC003, TMC002 = 00以外のとき) の書き換えは禁止です。

CRC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6 - 6 キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のフォーマット

アドレス : FFBCH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC00	0	0	0	0	0	CRC002	CRC001	CRC000

CRC002	CR010の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

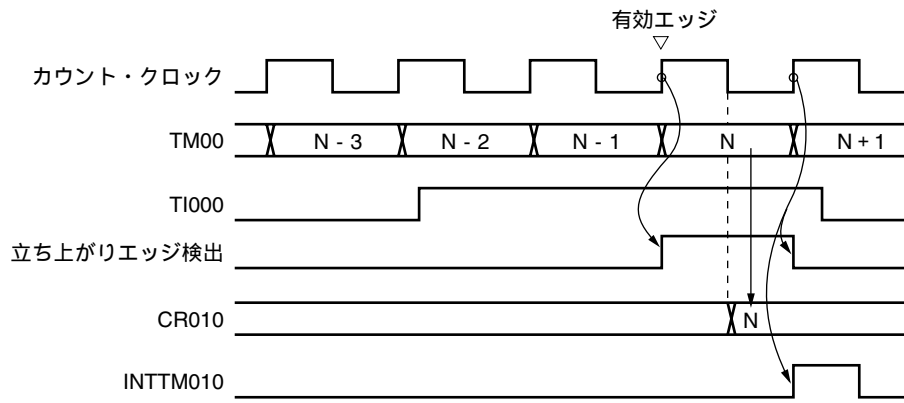
CRC001	CR000のキャプチャ・トリガの選択
0	TI010端子の有効エッジでキャプチャする
1	TI000端子の有効エッジの逆相でキャプチャする [※]
TI010, TI000端子の有効エッジはPRM00で設定します。 ただし、CRC001 = 1のときにES001, ES000 = 11 (両エッジ) に指定すると、TI000端子の有効エッジを検出できません。	

CRC000	CR000の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作
TMC003, TMC002 = 11 (TM00とCR000の一致でクリア&スタート・モード) を設定した場合は、CRC000には必ず0を設定してください。	

注 TI010端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM000信号が発生します。

注意 キャプチャを確実にするためのキャプチャ・トリガには、プリスケラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックの2周期分より長いパルスが必要です。

図6 - 7 CR010のキャプチャ動作例（立ち上がりエッジ指定時）



(3) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

TOC00は、TO00出力を制御する8ビットのレジスタです。

TOC00は、OSPT00だけが動作中 (TMC003, TMC002 = 00以外するとき) に書き換え可能です。それ以外のビットについては、動作中の書き換えは禁止です。

ただし、タイマ動作中にCR010の値を変更する手段としての、TOC004の書き換えは可能です (6. 5. 1 CR010のTM00動作中の書き換えを参照してください)。

TOC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 TOC00を設定するときは、必ず次の順序で設定してください。

TOC004, TOC001のセット (1)

TOE00だけを単独でセット (1)

LVS00またはLVR00のどちらか片方だけをセット (1)

図6-8 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) のフォーマット (1/2)

アドレス：FFBDH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TOC00	0	OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00

OSPT00	ソフトウェアによるワンショット・パルス出力トリガ
0	-
1	ワンショット・パルス出力
リード値は常に“0”です。ワンショット・パルス出力モード以外ではセット(1)しないでください。セット(1)すると、TM00はクリア&スタートします。	

OSPE00	ワンショット・パルス出力動作の制御
0	連続パルス出力
1	ワンショット・パルス出力
ワンショット・パルス出力は、フリー・ランニング・タイマ・モード、またはTI000端子の有効エッジ入力でクリア&スタート・モードのときに、正常に動作します。 TM00とCR000の一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。	

TOC004	CR010とTM00の一致によるTO00出力の制御
0	反転動作禁止
1	反転動作許可
TOC004 = 0でも、割り込み信号 (INTTM010) は発生します。	

LVS00	LVR00	TO00出力の状態の設定
0	0	変化しない
0	1	TO00出力初期値ロウ・レベル (TO00出力をクリア (0))
1	0	TO00出力初期値ハイ・レベル (TO00出力をセット (1))
1	1	設定禁止
<ul style="list-style-type: none"> ・LVS00, LVR00は、TO00出力レベルの初期値を設定できます。設定が不要な場合は、LVS00, LVR00を00のままにしてください。 ・LVS00, LVR00は、必ずTOE00 = 1のときに設定してください。 LVS00, LVR00とTOE00を同時にセット(1)することも禁止です。 ・LVS00, LVR00はトリガ・ビットです。セット(1)することで、TO00出力レベルの初期値を設定します。クリア(0)しても、TO00出力に影響はありません。 ・LVS00, LVR00のリード値は常に“0”です。 ・LVS00, LVR00の設定方法の詳細は、6.5.2 LVS00, LVR00の設定についてを参照してください。 ・実際の端子の出力はTO00出力のほかに、78K0/KB2-AではPM13とP13, 78K0/KC2-AではPM01とP01によって決まります。 		

TOC001	CR000とTM00の一致によるTO00出力の制御
0	反転動作禁止
1	反転動作許可
TOC001 = 0でも、割り込み信号 (INTTM000) は発生します。	

図6 - 8 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) のフォーマット (2/2)

TOE00	TO00出力制御
0	出力禁止 (TO00出力はロウ・レベルに固定)
1	出力許可

(4) プリスケアラ・モード・レジスタ00 (PRM00)

PRM00は、TM00のカウンタ・クロック、およびTI000, TI010端子入力の有効エッジを設定するレジスタです。

PRM00は、動作中 (TMC003, TMC002ビット = 00以外) の書き換えは禁止です。

PRM00 は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意1. PRM001, PRM000ビット =11 (カウンタ・クロックをTI000端子の有効エッジに指定) に設定する場合、次の設定は禁止です。

- ・ TI000端子の有効エッジでクリア&スタート・モード
- ・ TI000端子をキャプチャ・トリガに設定

2. リセット後、TI000端子またはTI010端子がハイ・レベルの状態、TI000端子またはTI010端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ/イベント・カウンタ00の動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。
3. 78K0/KB2-Aでは、P13端子はTI010有効エッジとタイマ出力 (TO00) を同時に使用できません。どちらかの機能を選択して使用してください。
4. 78K0/KC2-Aでは、P01端子はTI010有効エッジとタイマ出力 (TO00) を同時に使用できません。どちらかの機能を選択して使用してください。

図6-9 プリスケラ・モード・レジスタ00 (PRM00) のフォーマット

アドレス : FFBBH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRM00	ES101	ES100	ES001	ES000	0	0	PRM001	PRM000

ES101	ES100	TI1010端子の有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ

ES001	ES000	TI0000端子の有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ

PRM001	PRM000	カウント・クロックの選択 ^{注1}				
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz
0	0	f _{PRS} ^{注2}	2 MHz	5 MHz	10 MHz	20 MHz ^{注3}
0	1	f _{PRS} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
1	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz	78.12 kHz
1	1	TI0000有効エッジ ^{注4, 5}				

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧により、使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック (f _{PRS}) の使用周波数範囲
2.7 V V _{DD} 5.5 V	f _{PRS} 20 MHz
1.8 V V _{DD} < 2.7 V	f _{PRS} 5 MHz

(上述の表は、f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- 1.8 V V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、PRM001 = PRM000 = 0 (カウント・クロック : f_{PRS}) は設定禁止です。
- 4.0 V V_{DD} 5.5 Vの場合のみ設定可能です。
- TI0000端子からの外部クロックには、周辺ハードウェア・クロック (f_{PRS}) の2周期分より長いパルスが必要です。
- CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、TI0000端子からの外部クロックでタイマ動作を開始させないでください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(5) ポート・モード・レジスタ0, 1 (PM0, PM1)

ポート0, 1の入力/出力を1ビット単位で設定するレジスタです。

PM0, PM1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

・78K0/KB2-A

P13/TO00/TI010/TOH1/INTP6端子をタイマ出力として使用するとき, PM13およびP13の出力ラッチに0を設定してください。

P12/TI000/TOH0/INTP7, P13/TO00/TI010/TOH1/INTP6端子をタイマ入力として使用するとき, PM12, PM13に1を設定してください。このときP12, P13の出力ラッチは, 0または1のどちらでもかまいません。

図6 - 10 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	1	1	1	1	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

・78K0/KC2-A

P01/TO00/TI010端子をタイマ出力として使用するとき, PM01およびP01の出力ラッチに0を設定してください。

P00/TI000, P01/TO00/TI010端子をタイマ入力として使用するとき, PM00, PM01に1を設定してください。このときP00, P01の出力ラッチは, 0または1のどちらでもかまいません。

図6 - 11 ポート・モード・レジスタ0 (PM0) のフォーマット

アドレス : FF20H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	1	1	1	1	PM02	PM01	PM00

PM0n	P0n端子の入出力モードの選択 (n = 0-2)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.4 16ビット・タイマ/イベント・カウンタ00の動作

6.4.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ (TMC00) のビット3, 2 (TMC003, TMC002) = 11 (TM00とCR000の一致でカウント・クリア&スタート・モード) に設定すると、カウント・クロックに同期してカウント動作を開始します。

そのあと、TM00とCR000の値が一致すると、TM00を0000Hにクリアし、一致割り込み信号 (INTTM000) を発生します。この一定間隔で発生するINTTM000信号により、インターバル・タイマとして動作します。

- 備考1.** 入出力端子の設定については、6.3(5) **ポート・モード・レジスタ0, 1 (PM0, PM1)** を参照してください。
- 2.** INTTM000信号の割り込み許可については、**第18章 割り込み機能**を参照してください。

図6 - 12 インターバル・タイマ動作のブロック図

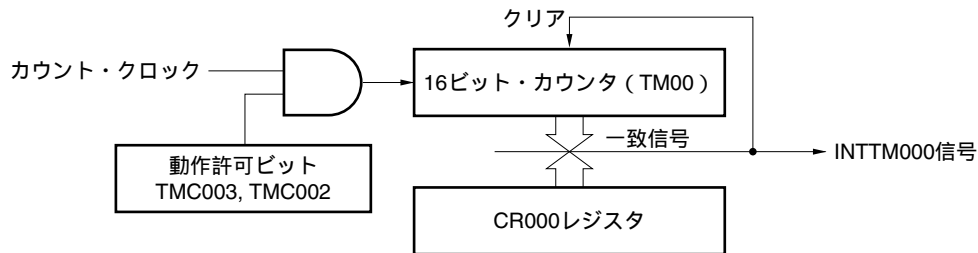


図6 - 13 インターバル・タイマ動作の基本タイミング例

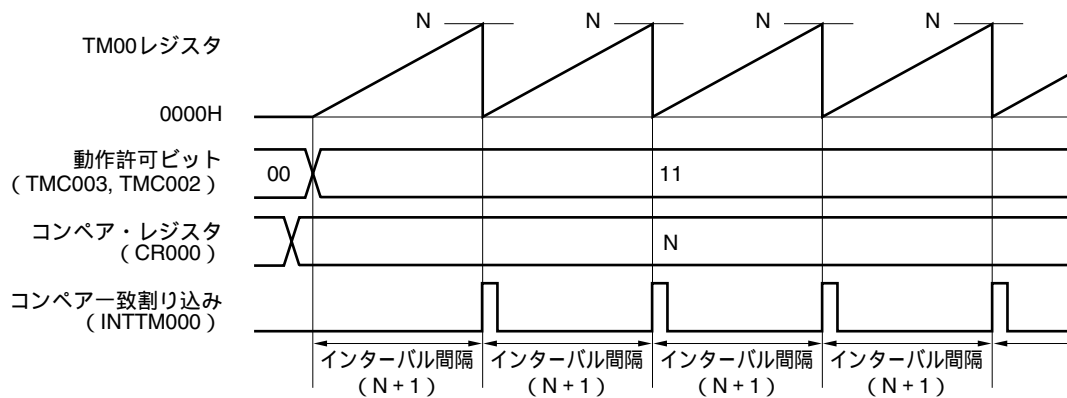


図6 - 14 インターバル・タイマ動作時のレジスタ設定内容例

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	1	1	0	0

TM00とCR000の一致で
クリア&スタート

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0	0

CR000をコンペア・レジスタ
にする

(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0	0	0	0	0	0

(d) プリスケアラ・モード・レジスタ00 (PRM00)

ES101	ES100	ES001	ES000	3	2	PRM001	PRM000
0	0	0	0	0	0	0/1	0/1

カウント・クロック
の選択

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

CR000にMを設定した場合、インターバル時間は次のようになります。

$$\cdot \text{インターバル時間} = (M + 1) \times \text{カウント・クロック周期}$$

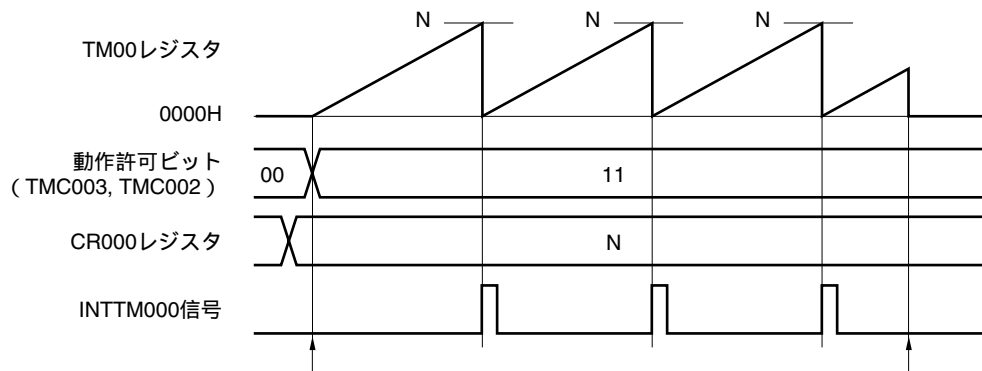
CR000への0000Hの設定は禁止です。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

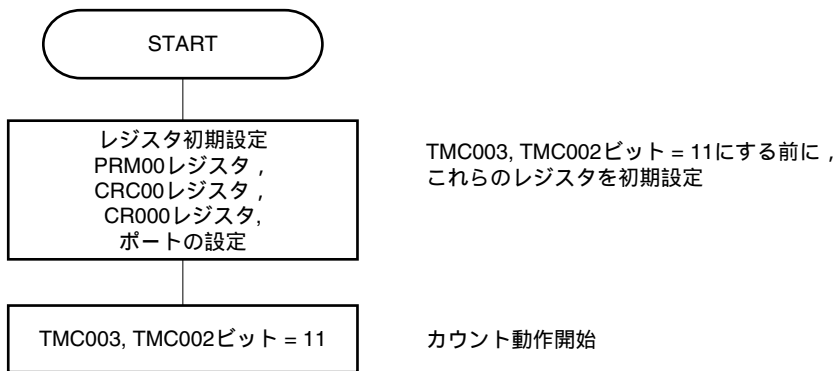
インターバル・タイマ機能では、通常、CR010を使用しません。しかしCR010の設定値と、TM00の値が一致するとコンペア一致割り込み (INTTM010) が発生します。

したがって、割り込みマスク・フラグ (TMMK010) でマスク設定をしておいてください。

図6 - 15 インターバル・タイマ機能時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



6.4.2 方形波出力としての動作

インターバル・タイマ (6.4.1参照) として動作させたとき、16ビット・タイマ出力コントロール・レジスタ00 (TOC00) = 03Hに設定することにより、TO00端子から方形波を出力できます。

TMC003, TMC002 = 11 (TM00とCR000の一致でカウント・クリア&スタート・モード) に設定すると、カウント・クロックに同期してカウント動作を開始します。

そのあと、TM00とCR000の値が一致すると、TM00を0000Hにクリアし、割り込み信号 (INTTM000) を発生し、TO00出力を反転します。この一定間隔で反転するTO00出力により、方形波出力として動作します。

備考1. 入出力端子の設定については、6.3(5) **ポート・モード・レジスタ0, 1 (PM0, PM1)** を参照してください。

2. INTTM000信号の割り込み許可については、**第18章 割り込み機能**を参照してください。

図6 - 16 方形波出力動作のブロック図

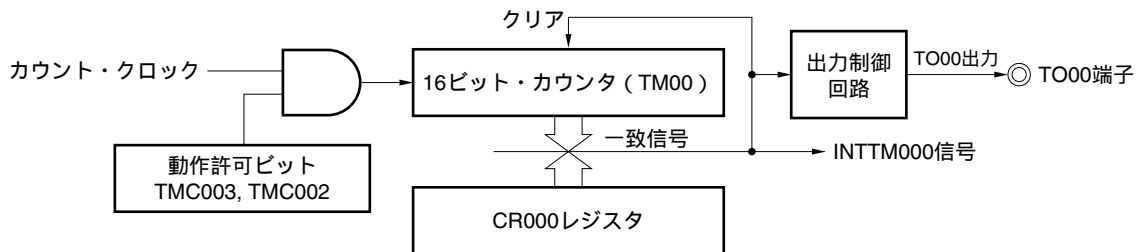


図6 - 17 方形波出力動作の基本タイミング例

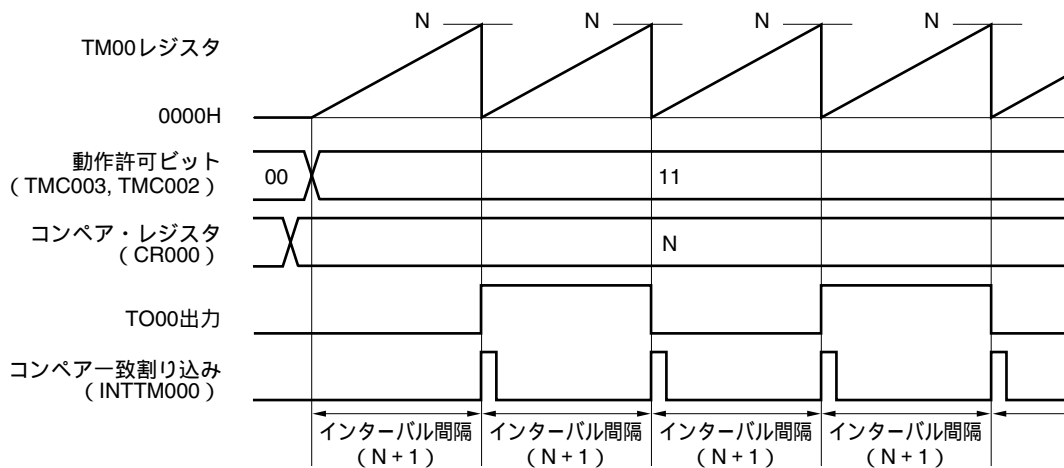


図6 - 18 方形波出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	1	1	0	0

TM00とCR000の一致で
クリア&スタート

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0	0

CR000をコンペア・レジスタ
にする

(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0	0	0/1	0/1	1	1

TO00出力許可

TM00とCR000の一致に
よりTO00出力を反転

TO00出力F/Fの初期値を指定

(d) プリスケアラ・モード・レジスタ00 (PRM00)

ES101	ES100	ES001	ES000	3	2	PRM001	PRM000
0	0	0	0	0	0	0/1	0/1

カウント・クロック
の選択

図6 - 18 方形波出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

CR000にMを設定した場合，方形波の周波数は次のようになります。

$$\cdot \text{方形波の周波数} = 1 \div \{ 2 \times (M + 1) \times \text{カウント} \cdot \text{クロック周期} \}$$

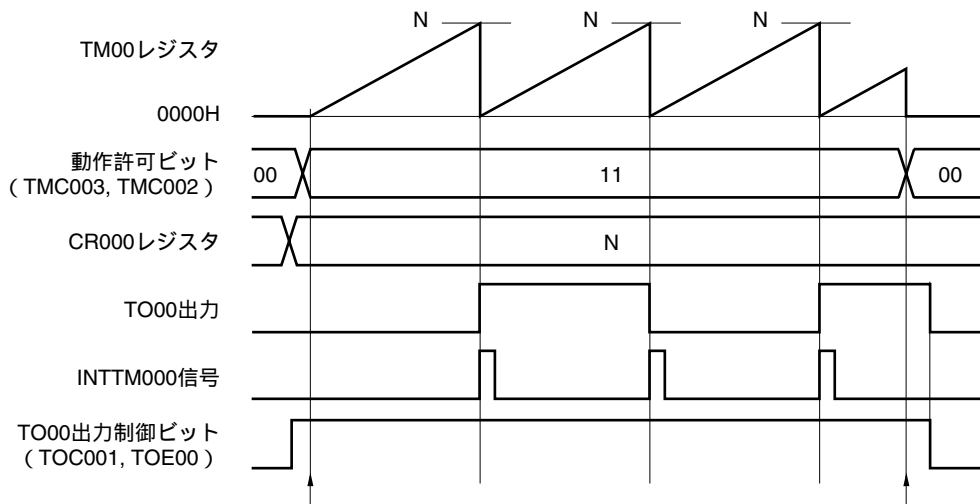
CR000への0000Hの設定は禁止です。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

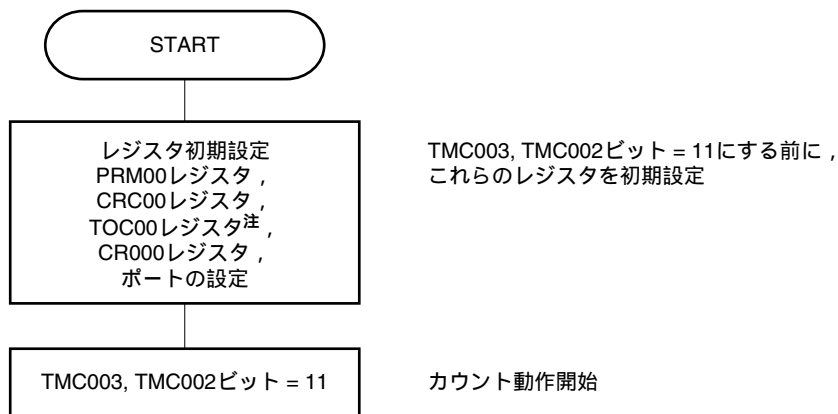
方形波出力機能では，通常，CR010を使用しません。しかしCR010の設定値と，TM00の値が一致するとコンペア一致割り込み (INTTM010) が発生します。

したがって，割り込みマスク・フラグ (TMMK010) でマスク設定をしておいてください。

図6 - 19 方形波出力機能時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

6.4.3 外部イベント・カウンタとしての動作

プリスケアラ・モード・レジスタ00 (PRM00) のビット1, 0 (PRM001, PRM000) = 11 (TI000端子の有効エッジによるカウント・アップ), 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 11に設定すると, 外部イベント入力の有効エッジをカウントし, TM00とCR000との一致割り込み信号 (INTTM000) を発生します。

外部イベント入力の端子にはTI000端子を使用します。したがって, TI000有効エッジ入力によるクリア&スタート・モード (TMC003, TMC002 = 10) では, 外部イベント・カウンタとして使用できません。

INTTM000信号は, 次のタイミングごとに発生します。

- ・ INTTM000信号発生タイミング (2回目以降)
= 外部イベント入力の有効エッジ検出回数 × (CR000設定値 + 1)

ただし, 動作開始直後から初回の一致割り込みだけは, 次のタイミングで発生します。

- ・ INTTM000信号発生タイミング (初回のみ)
= 外部イベント入力の有効エッジ検出回数 × (CR000設定値 + 2)

有効エッジは, TI000端子入力信号をfPRSのクロック周期でサンプリングを行い, 2回連続して有効レベルを検出したときに, はじめて検出されます。したがって, 短いパルス幅のノイズを除去できます。

備考1. 入出力端子の設定については, 6.3 (5) **ポート・モード・レジスタ0, 1 (PM0, PM1)** を参照してください。

2. INTTM000信号の割り込み許可については, **第18章 割り込み機能** を参照してください。

図6 - 20 外部イベント・カウンタとしての動作のブロック図

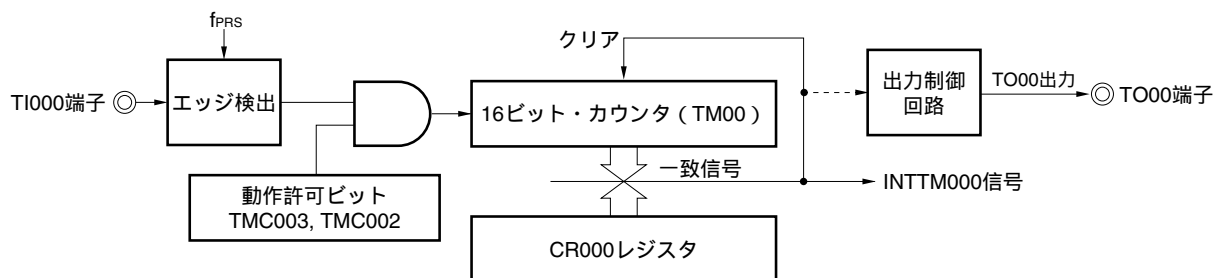
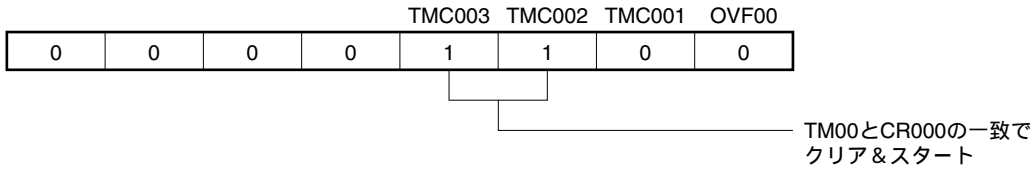
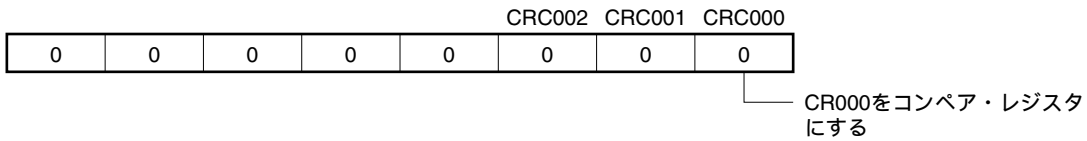


図6 - 21 外部イベント・カウンタ・モード時のレジスタ設定内容例 (1/2)

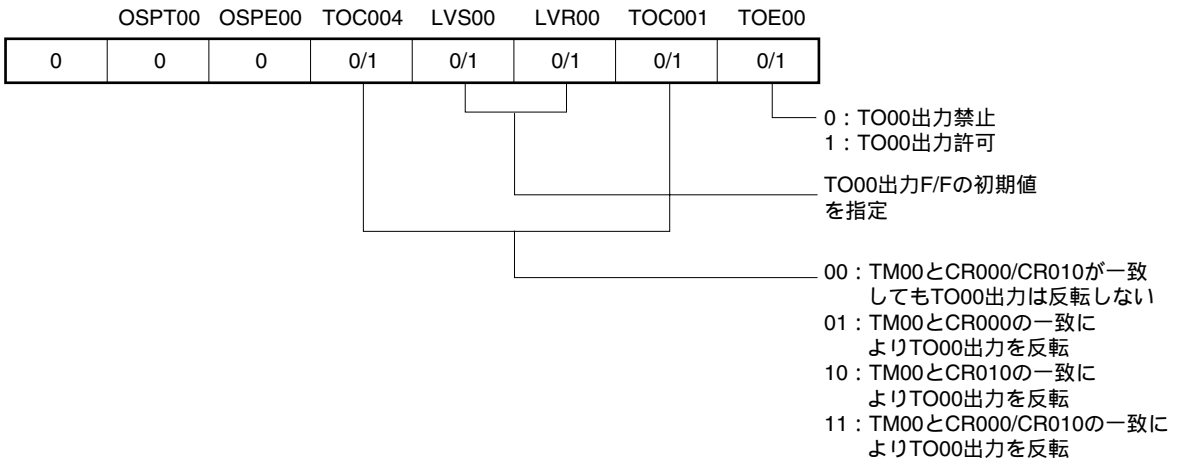
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)



(d) プリスケアラ・モード・レジスタ00 (PRM00)

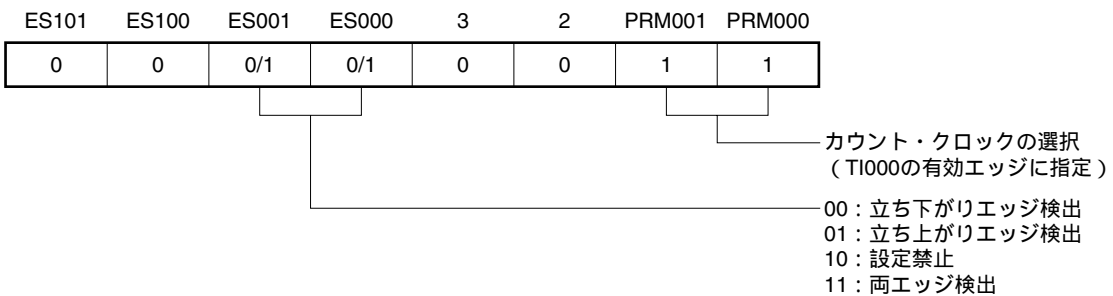


図6 - 21 外部イベント・カウンタ・モード動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

CR000にMを設定した場合，外部イベントがM + 1回入力されると，割り込み信号 (INTTM000) が発生します。

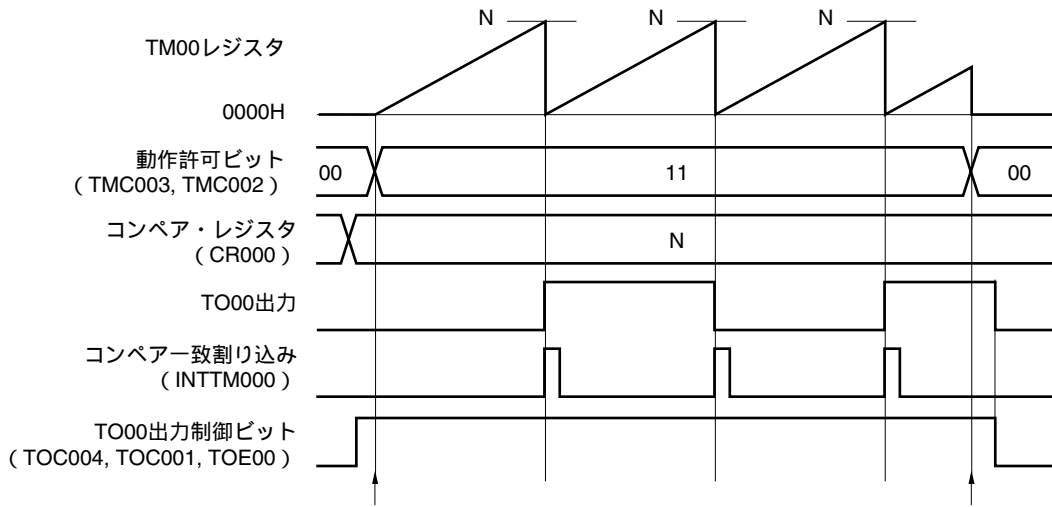
CR000への0000Hの設定は禁止です。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

外部イベント・カウンタ・モード動作時では，通常，CR010を使用しません。しかしCR010の設定値と，TM00の値が一致するとコンペア一致割り込み (INTTM010) が発生します。

したがって，割り込みマスク・フラグ (TMMK010) でマスク設定をしておいてください。

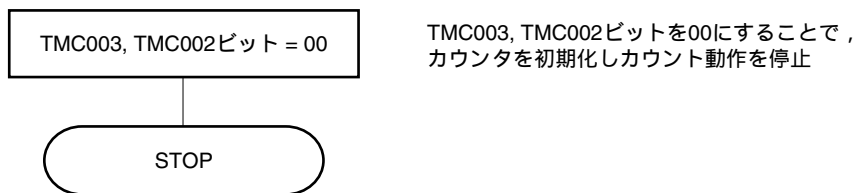
図6 - 22 外部イベント・カウンタ・モード動作時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

6.4.4 TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 10 (TI000端子の有効エッジ入力によるクリア&スタート・モード) に設定し, カウント・クロック (PRM00にて設定) を供給すると, TM00がカウント・アップを開始します。カウント動作中にTI000端子の有効エッジを検出すると, TM00を0000Hにクリアして, 再度カウント・アップします。TI000端子の有効エッジがない場合, TM00はオーバフローして, カウントを続けます。

TI000端子の有効エッジは, TM00のクリア要因です。動作開始直後のカウント・スタートの起動制御はしていません。

CR000, CR010は, コンペア・レジスタとしてもキャプチャ・レジスタとしても使用できます。

(a) CR000, CR010をコンペア・レジスタとして使用した場合

TM00とCR000, CR010の一致でINTTM000, INTTM010信号が発生します。

(b) CR000, CR010をキャプチャ・レジスタとして使用した場合

TI010端子に有効エッジが入力される(またはTI000端子に有効エッジの逆相が入力される)と, TM00のカウント値をCR000にキャプチャし, INTTM000信号が発生します。

TI000端子に有効エッジが入力されると, TM00のカウント値をCR010にキャプチャし, INTTM010信号が発生します。TI000端子の有効エッジでキャプチャ動作と同時にカウンタを0000Hにクリアします。

注意 カウント・クロックをTI000端子の有効エッジ (PRM001, PRM000 = 11) に設定しないでください。PRM001, PRM000 = 11に設定すると, TM00がクリアされてしまいます。

備考1. 入出力端子の設定については, 6.3 (5) ポート・モード・レジスタ0, 1 (PM0, PM1) を参照してください。

2. INTTM000信号の割り込み許可については, 第18章 割り込み機能を参照してください。

(1) TI000端子の有効エッジ入力によるクリア&スタート・モード動作

(CR000 : コンペア・レジスタ , CR010 : コンペア・レジスタ設定時)

図6 - 23 TI000端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

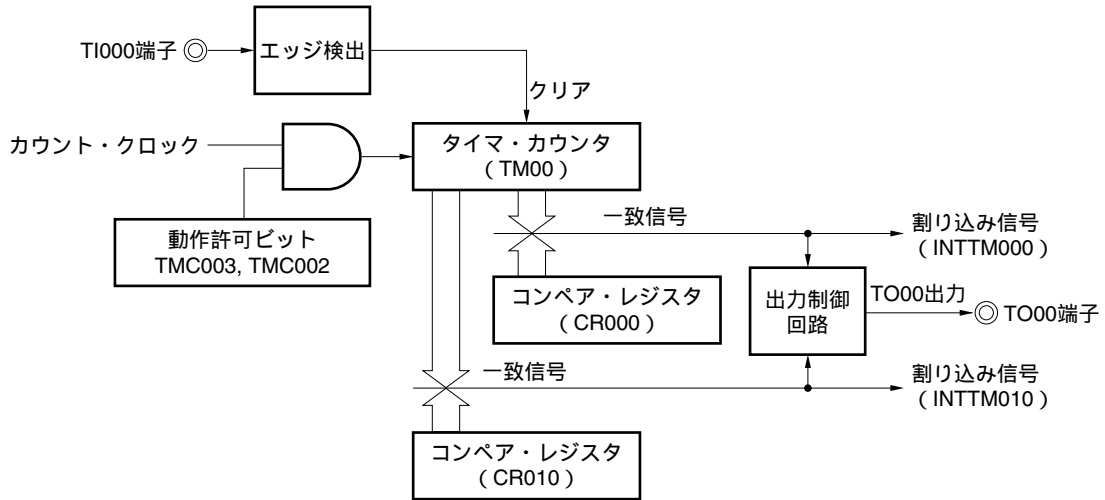
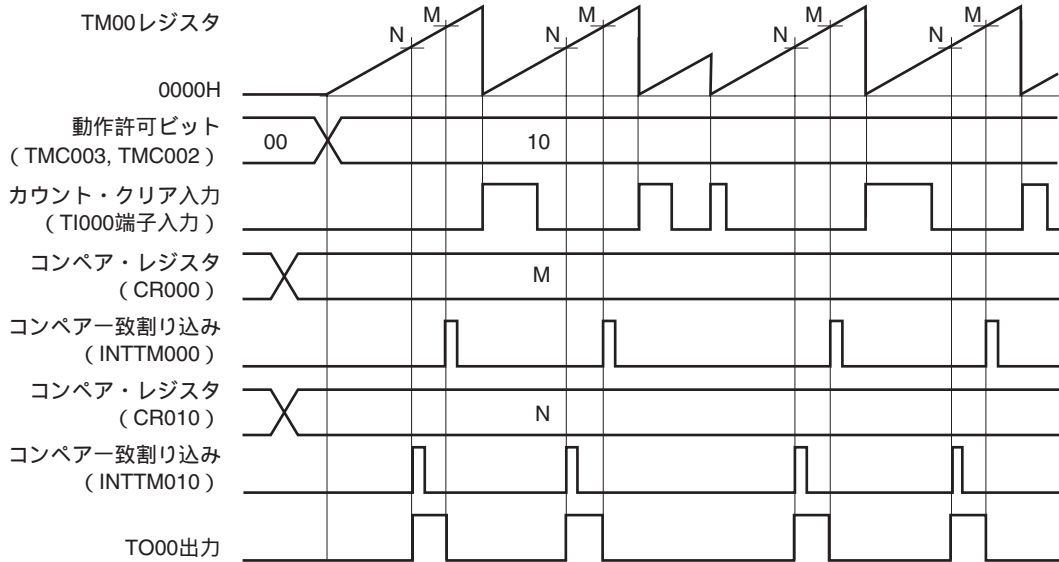
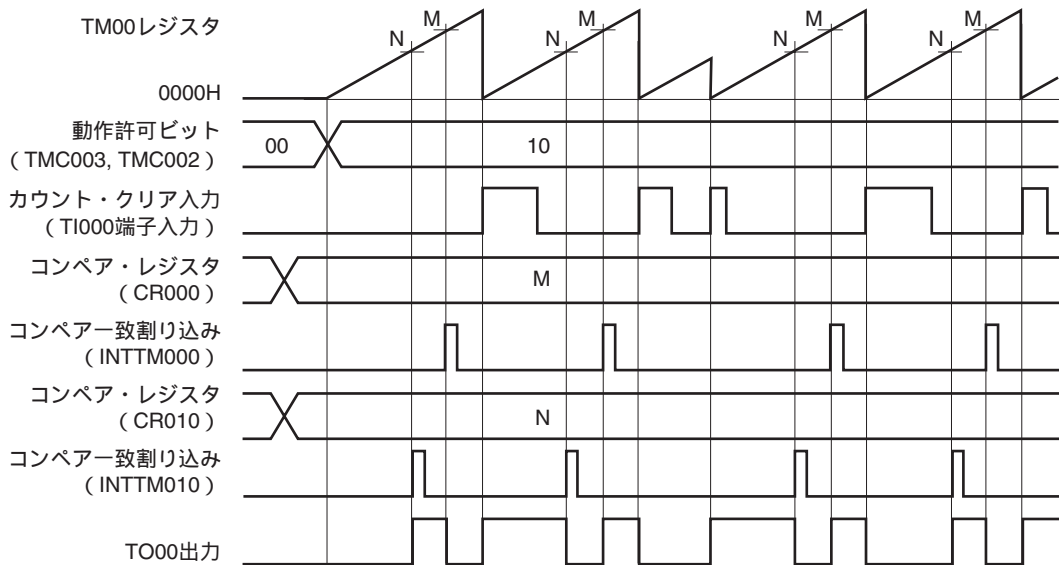


図6 - 24 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

(a) TOC00 = 13H, PRM00 = 10H, CRC00 = 00H, TMC00 = 08H



(b) TOC00 = 13H, PRM00 = 10H, CRC00 = 00H, TMC00 = 0AH



16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット1 (TMC001) の設定により, (a) と (b) には次のような違いがあります。

(a) TM00とコンペア・レジスタが一致したときに, TO00の出力レベルが反転

(b) TM00とコンペア・レジスタが一致したとき, またはTI000端子の有効エッジを検出したときに, TO00の出力レベルが反転

(2) TI000端子の有効エッジ入力によるクリア&スタート・モード動作

(CR000 : コンペア・レジスタ , CR010 : キャプチャ・レジスタ設定時)

図6 - 25 TI000端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ)

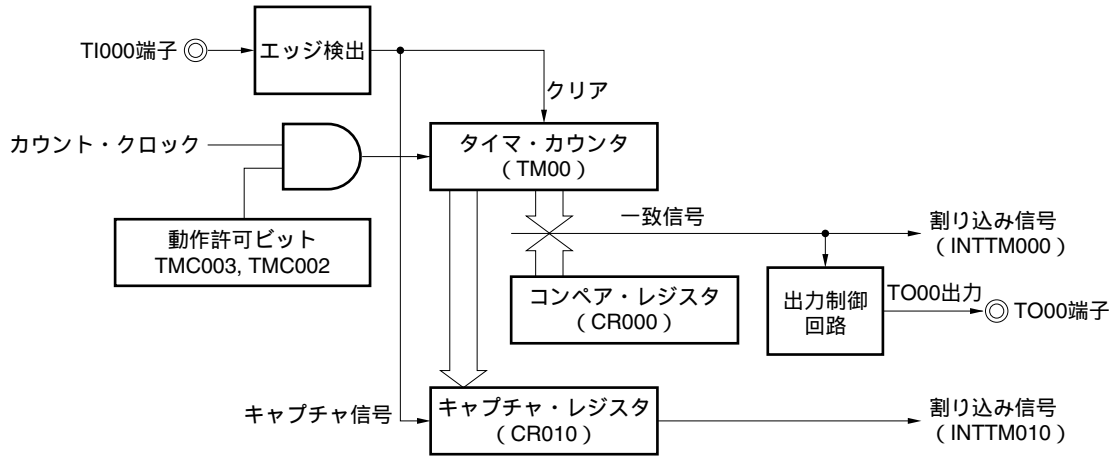
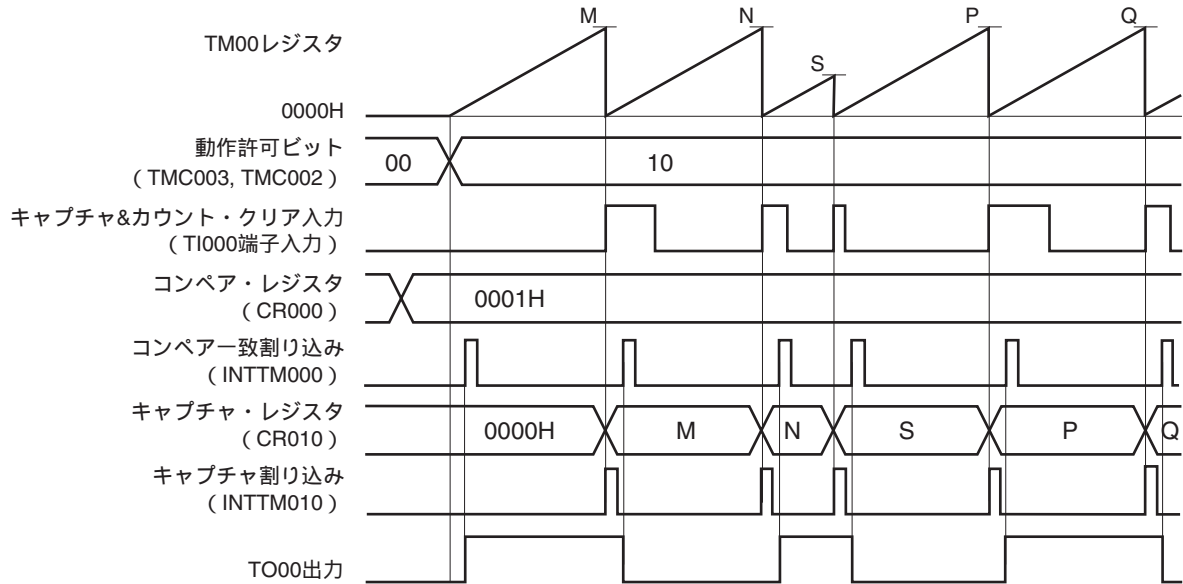


図6 - 26 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ) (1/2)

(a) TOC00 = 13H, PRM00 = 10H, CRC00 = 04H, TMC00 = 08H, CR000 = 0001H

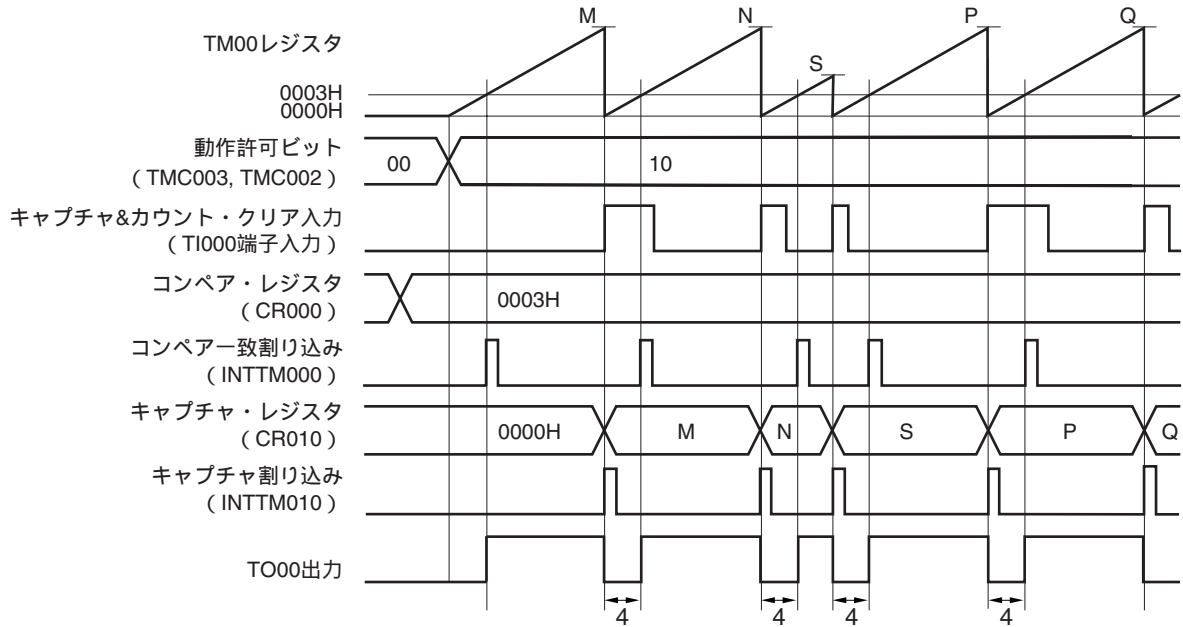


キャプチャ&クリア後に、TO00出力レベルを反転したい場合のアプリケーション例です。

TI000端子の有効エッジ検出で、CR010にキャプチャし、TM00をクリア(0000H)します。TM00のカウンタ値が0001Hになると、コンペア一致割り込み信号(INTTM000)が発生し、TO00出力レベルが反転します。

図6 - 26 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ) (2/2)

(b) TOC00 = 13H, PRM00 = 10H, CRC00 = 04H, TMC00 = 0AH, CR000 = 0003H



キャプチャ&クリア後に、CR000に設定した幅（ここでは4クロック）をTO00端子から出力したい場合のアプリケーション例です。

TI000端子の有効エッジ検出で、CR010にキャプチャし、キャプチャ割り込み信号（INTTM010）が発生し、TM00をクリア（0000H）し、TO00出力を反転します。TM00のカウンタ値が0003Hになる（4クロックをカウントすると、コンペア一致割り込み信号（INTTM000）が発生し、TO00出力レベルが反転します。

(3) TI000端子の有効エッジ入力によるクリア&スタート・モード動作

(CR000 : キャプチャ・レジスタ , CR010 : コンペア・レジスタ設定時)

図6 - 27 TI000端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR000 : キャプチャ・レジスタ / CR010 : コンペア・レジスタ)

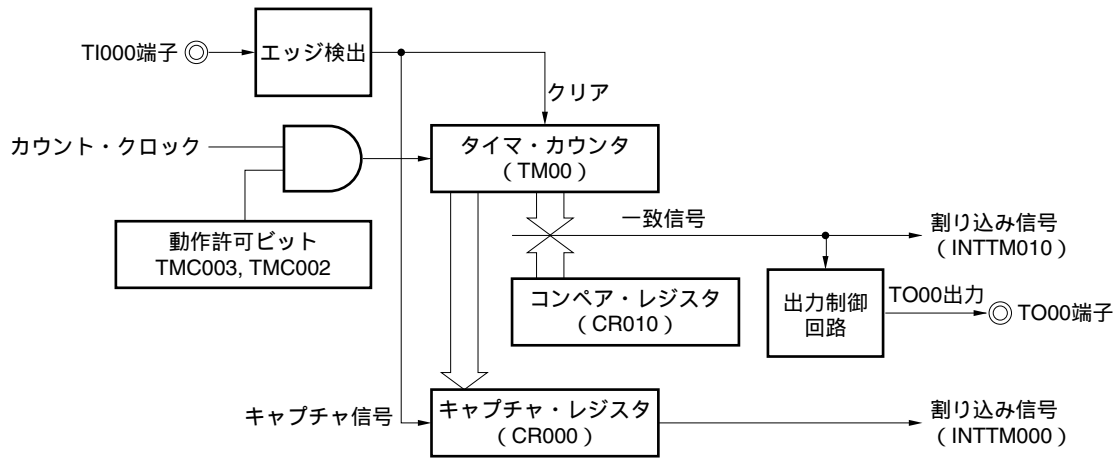
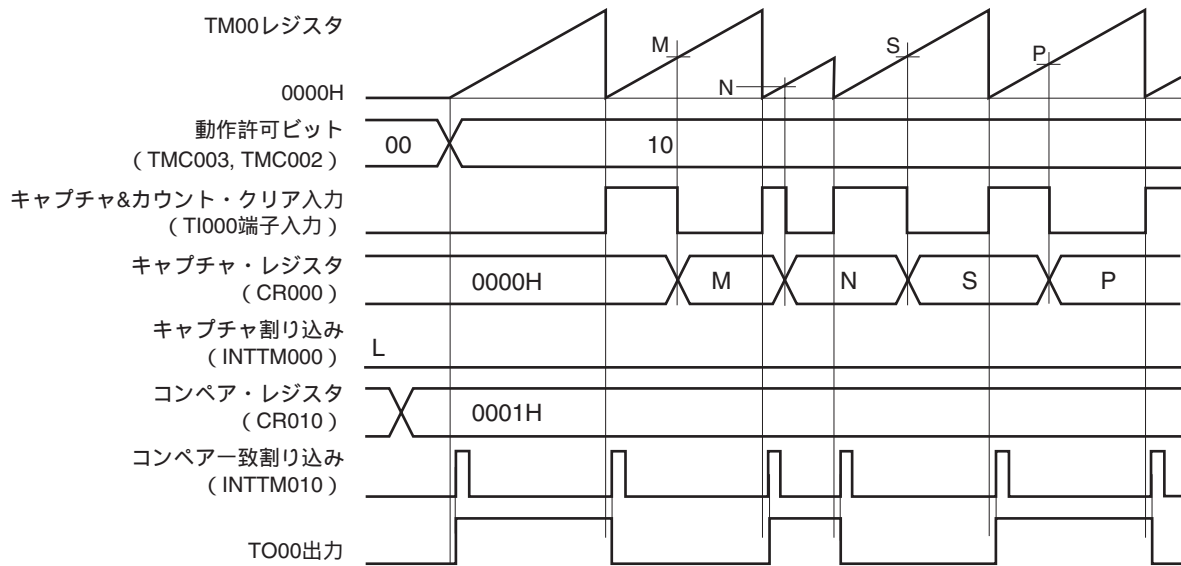


図6 - 28 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : コンペア・レジスタ) (1/2)

(a) TOC00 = 13H, PRM00 = 10H, CRC00 = 03H, TMC00 = 08H, CR010 = 0001H



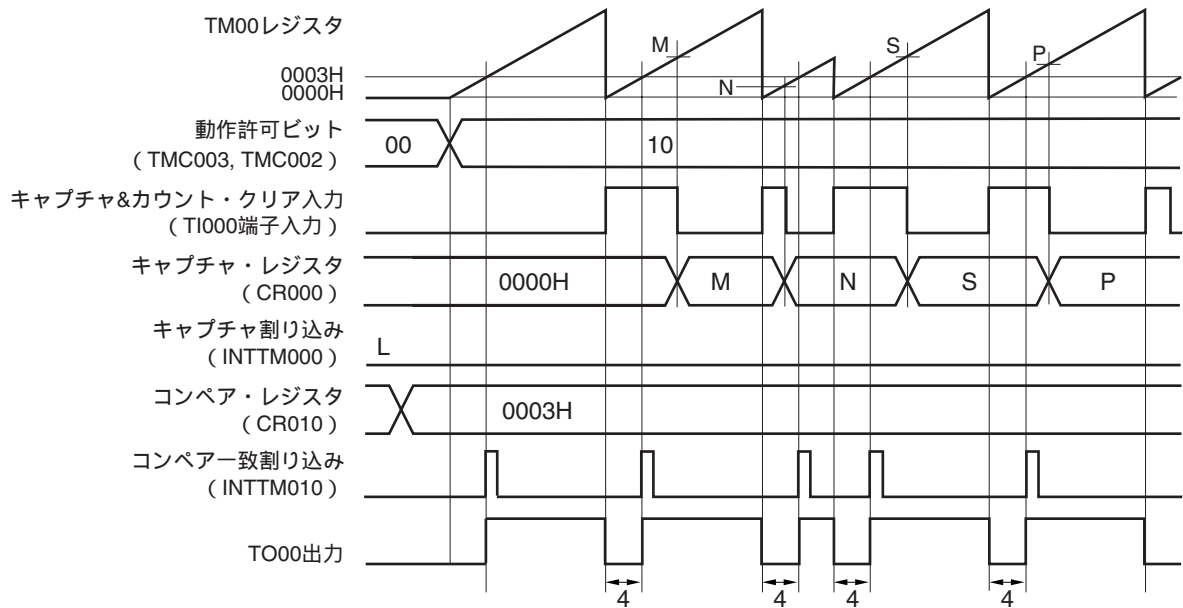
キャプチャ&クリア後に、TO00出力レベルを反転したい場合のアプリケーション例です。

TI000端子の立ち上がりエッジ検出で、TM00をクリアします。TI000端子の立ち下がりエッジ検出で、CR000にキャプチャします。

キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のビット1 (CRC001) = 1の設定により、TI000端子入力の逆相でTM00のカウント値をCR000にキャプチャしますが、キャプチャ割り込み信号 (INTTM000) は発生しません。しかし、TI010端子の有効エッジ検出により、INTTM000信号が発生します。INTTM000信号を使用しない場合は、INTTM000信号をマスクしてください。

図6 - 28 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : コンペア・レジスタ) (2/2)

(b) TOC00 = 13H, PRM00 = 10H, CRC00 = 03H, TMC00 = 0AH, CR010 = 0003H



キャプチャ&クリア後に、CR010に設定した幅（ここでは4クロック）をTO00端子から出力したい場合のアプリケーション例です。

TI000端子の立ち上がりエッジ検出で、TM00をクリア（0000H）します。TI000端子の立ち下がりエッジ検出で、CR000にキャプチャします。TO00出力は、TI000端子の立ち上がりエッジ検出によるTM00のクリア（0000H）が、TM00とコンペア・レジスタ（CR010）の一致で反転します。

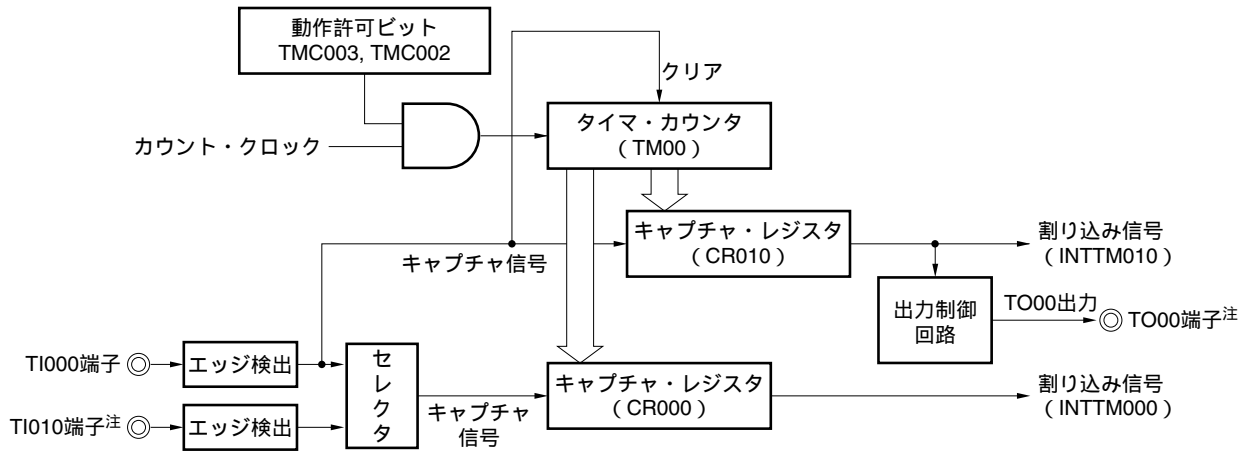
キャプチャ/コンペア・コントロール・レジスタ00（CRC00）のビット1（CRC001）= 1の設定により、TI000端子入力の逆相でTM00のカウンタ値をCR000にキャプチャしますが、キャプチャ割り込み信号（INTTM000）は発生しません。しかし、TI010端子の有効エッジ検出により、INTTM000割り込みが発生します。INTTM000信号を使用しない場合はINTTM000信号をマスクしてください。

(4) TI000端子の有効エッジ入力によるクリア&スタート・モード動作

(CR000 : キャプチャ・レジスタ , CR010 : キャプチャ・レジスタ設定時)

図6 - 29 TI000端子の有効エッジ入力によるクリア&スタート・モードのブロック図

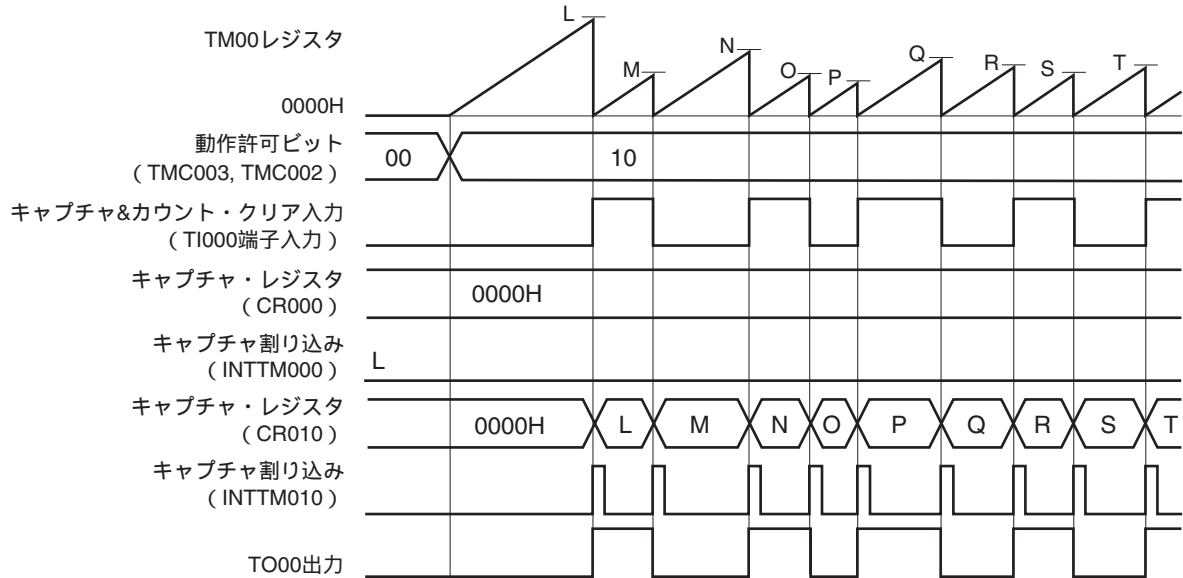
(CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ)



注 TI010端子の有効エッジ検出を使用する場合、タイマ出力 (TO00) は使用できません。

図6 - 30 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (1/3)

(a) TOC00 = 13H, PRM00 = 30H, CRC00 = 05H, TMC00 = 0AH

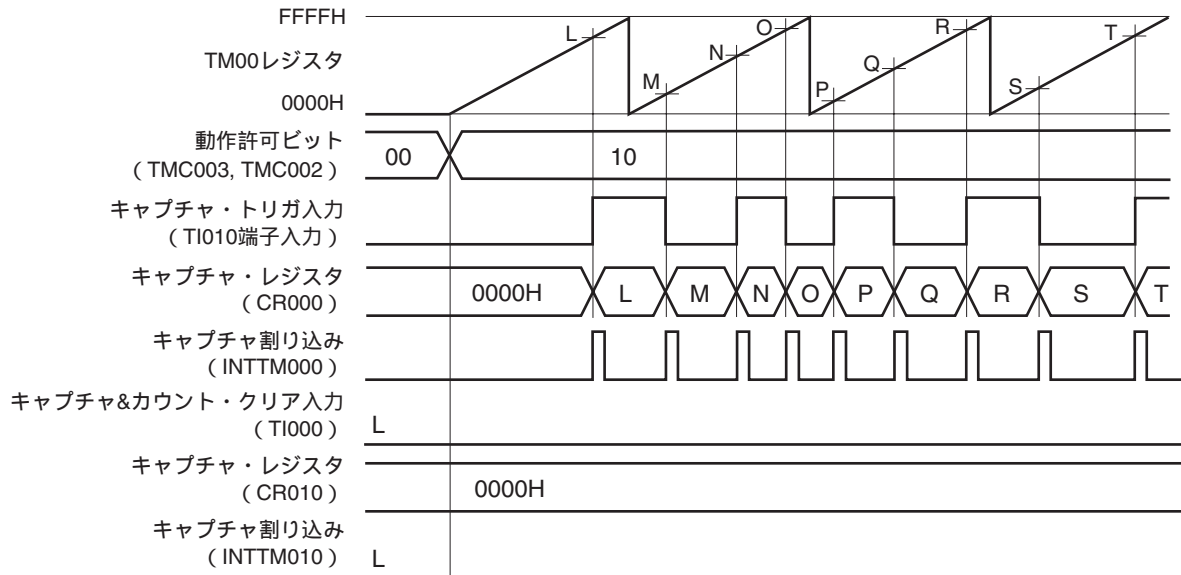


TI000端子の立ち上がりエッジまたは立ち下がりエッジを検出した場合に、CR010にキャプチャし、TM00をクリアし、TO00出力を反転させるアプリケーション例です。

TI010端子のエッジ検出により、割り込み信号 (INTTM000) が発生します。INTTM000信号を使用しない場合には、INTTM000信号をマスクしてください。

図6 - 30 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (2/3)

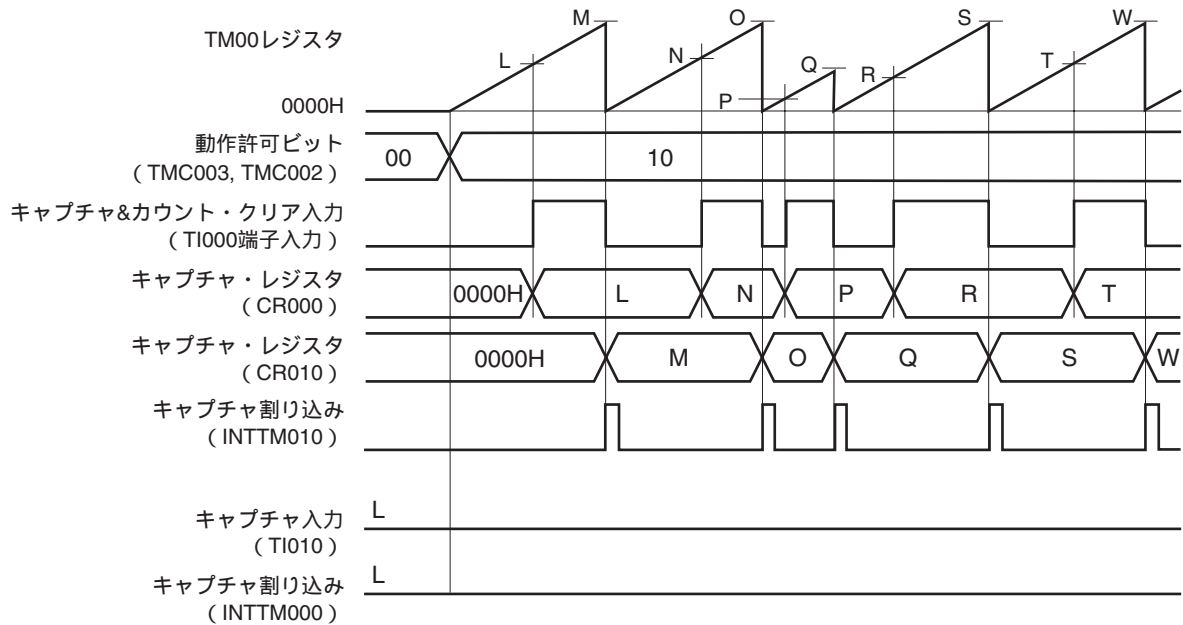
(b) TOC00 = 13H, PRM00 = C0H, CRC00 = 05H, TMC00 = 0AH



TI010端子の立ち上がりエッジまたは立ち下がりエッジを検出した場合に、CR000にキャプチャするアプリケーションにおいて、TI000端子にエッジが入力されないときのタイミング例です。

図6 - 30 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (3/3)

(c) TOC00 = 13H, PRM00 = 00H, CRC00 = 07H, TMC00 = 0AH



TI000端子入力信号のパルス幅を測定する場合のアプリケーション例です。

CRC00の設定により、TI000端子の立ち下がりエッジの逆相（すなわち立ち上がりエッジ）検出でCR000にキャプチャし、TI000端子の立ち下がりエッジ検出でCR010にキャプチャします。

入力パルスのハイ・レベル幅、ロウ・レベル幅は、次の式で算出できます。

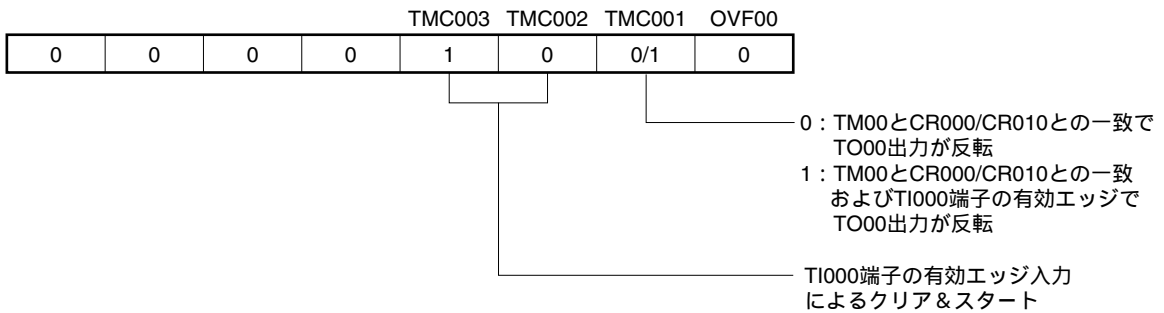
- ・ハイ・レベル幅 = [CR010値] - [CR000値] × [カウント・クロック周期]
- ・ロウ・レベル幅 = [CR000値] × [カウント・クロック周期]

CR000へのキャプチャ・トリガとしてTI000端子の逆相を選択した場合、INTTM000信号は発生しません。パルス幅測定のためのCR000, CR010値のリードは、INTTM010信号発生直後に行ってください。

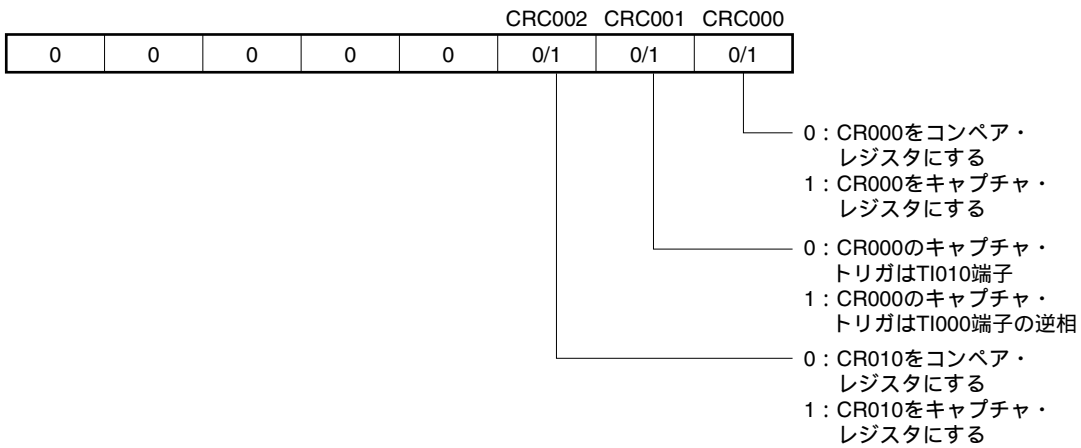
ただし、TI010端子にプリスケアラ・モード・レジスタ00 (PRM00) のビット6, 5 (ES101, ES100) で指定した有効エッジが入力されると、キャプチャ動作はしませんが、INTTM000信号は発生します。TI000端子のパルス幅を測定する場合、INTTM000信号を使用しないときは、INTTM000信号をマスクしてください。

図6 - 31 TI000端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例 (1/2)

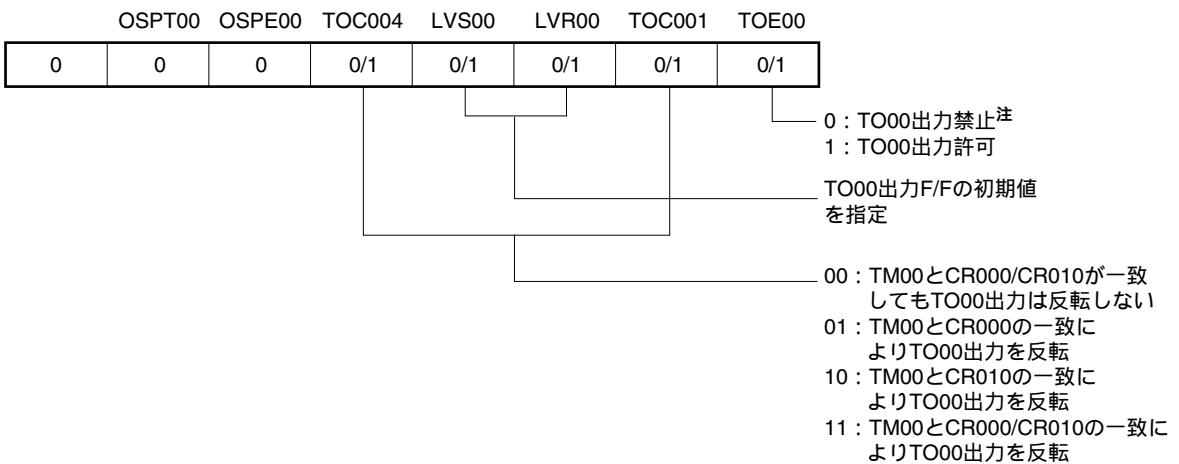
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



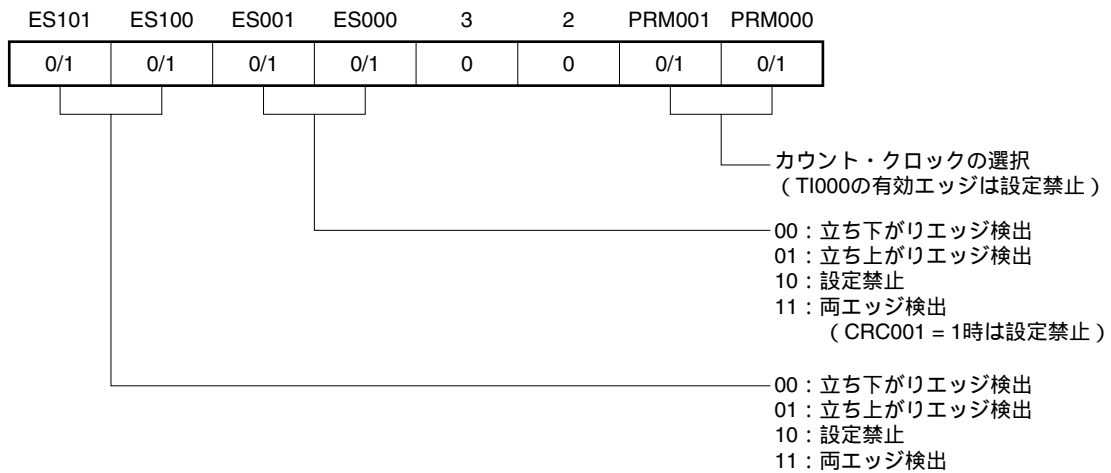
(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)



注 TI010端子の有効エッジ検出を使用する場合、タイマ出力 (TO00) は使用できません。

図6 - 31 TI000端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例 (2/2)

(d) プリスケーラ・モード・レジスタ00 (PRM00)



(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

コンペア・レジスタとして使用する場合は、TM00との一致で割り込み信号 (INTTM000) が発生します。TM00のカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI000, TI010端子^注入力のどちらかをキャプチャ・トリガとして設定してください。キャプチャ・トリガの有効エッジ検出により、TM00のカウント値をCR000に格納します。

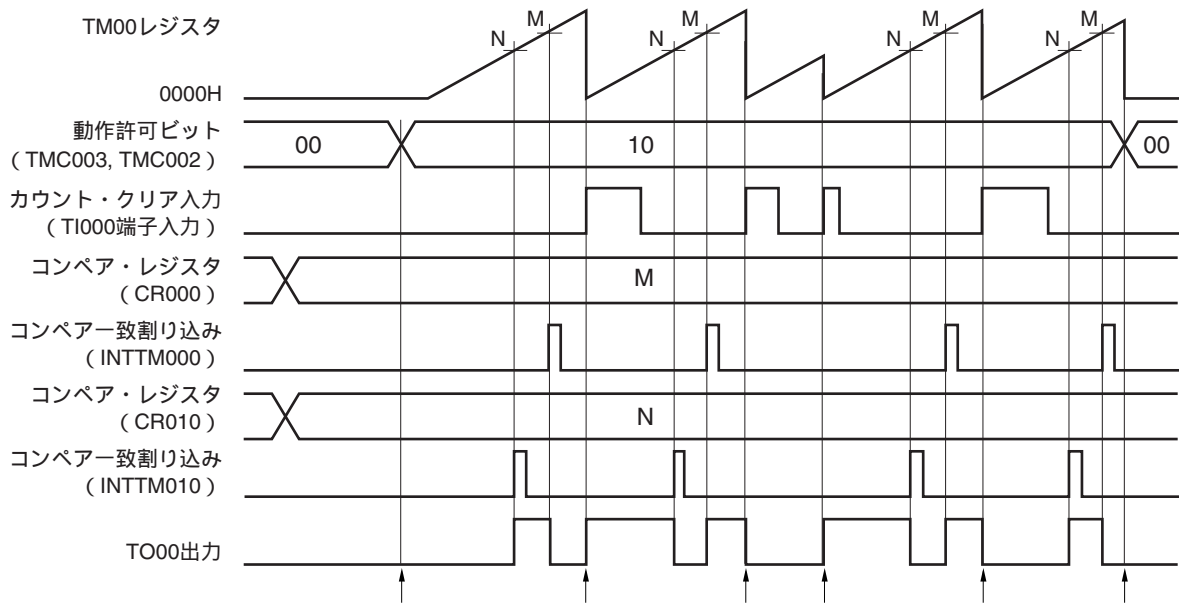
注 TI010端子の有効エッジ検出を使用する場合、タイマ出力 (TO00) は使用できません。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

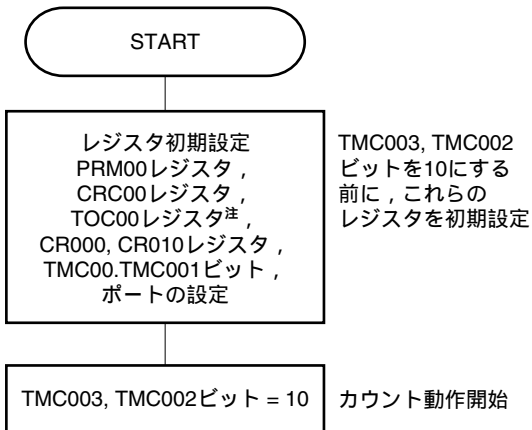
コンペア・レジスタとして使用する場合は、TM00との一致で割り込み信号 (INTTM010) が発生します。TM00のカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI000端子入力がキャプチャ・トリガとなります。キャプチャ・トリガの有効エッジ検出により、TM00のカウント値をCR010に格納します。

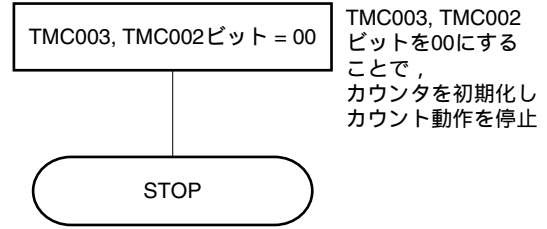
図6-32 TI000端子の有効エッジ入力によるクリア&スタート・モード動作時のソフトウェア処理例



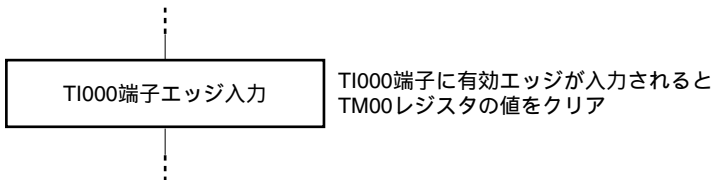
カウント動作開始フロー



カウント動作停止フロー



TM00レジスタ・クリア&スタート・フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

6.4.5 フリー・ランニング・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 01 (フリー・ランニング・タイマ・モード) に設定すると、カウント・クロックに同期してカウント・アップ動作を続けます。FFFFHまでカウントすると、次のクロックでオーバフロー・フラグ (OVF00) がセット (1) されるとともに、TM00をクリア (0000H) し、カウント動作を継続します。OVF00は、ソフトウェアでCLR命令を実行してクリア (0) してください。

フリー・ランニング・タイマとしての動作には、次の3種類があります。

- ・ CR000, CR010を両方ともコンペア・レジスタとして使用
- ・ CR000, CR010の一方をコンペア・レジスタ, もう一方をキャプチャ・レジスタとして使用
- ・ CR000, CR010を両方ともキャプチャ・レジスタとして使用

備考1. 入出力端子の設定については、6.3 (5) ポート・モード・レジスタ0, 1 (PM0, PM1) を参照してください。

2. INTTM000信号の割り込み許可については、第18章 割り込み機能を参照してください。

(1) フリー・ランニング・タイマ・モード動作

(CR000 : コンペア・レジスタ, CR010 : コンペア・レジスタ設定時)

図6 - 33 フリー・ランニング・タイマ・モードのブロック図
(CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

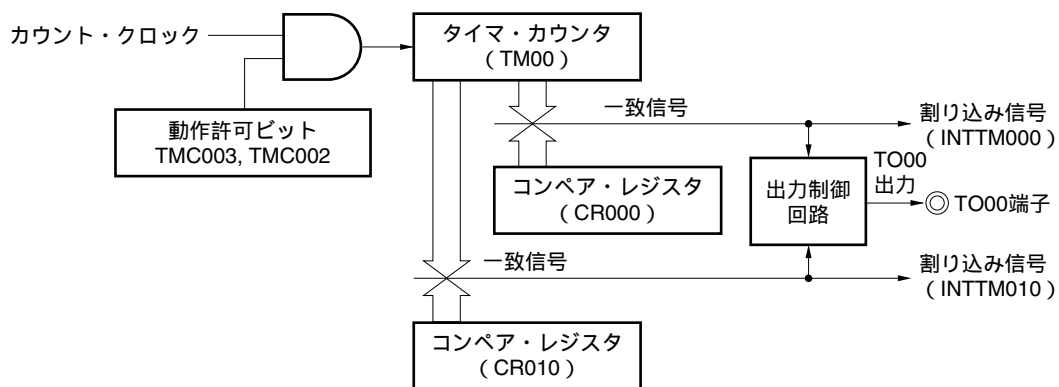
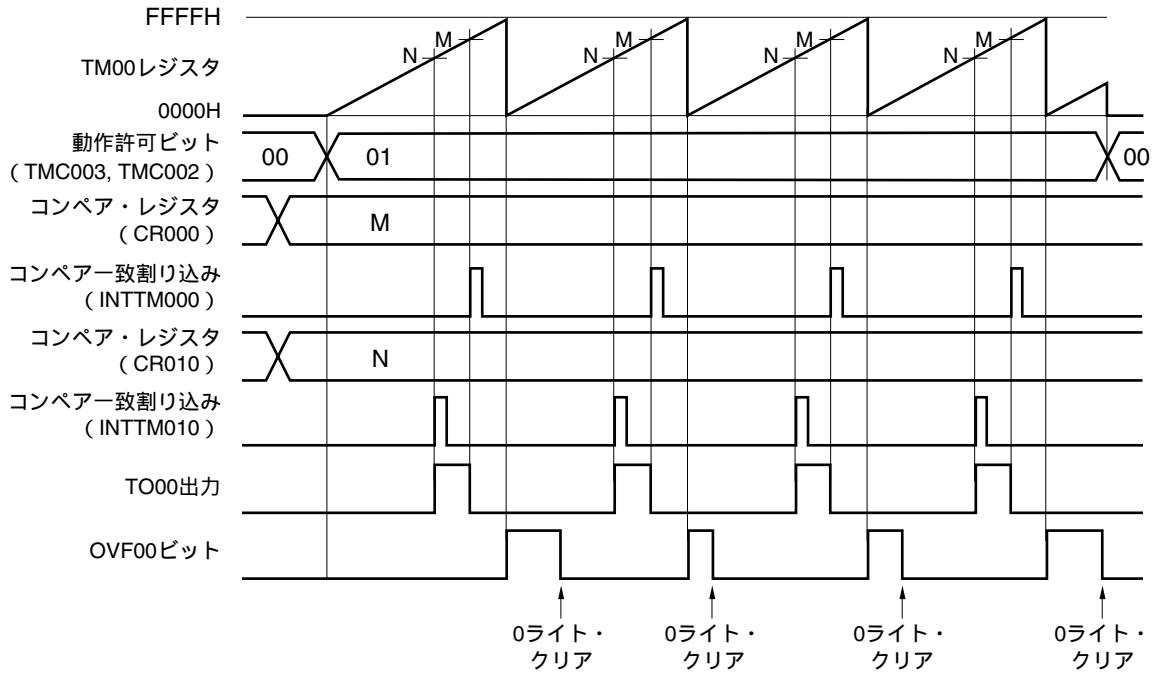


図6 - 34 フリー・ランニング・タイマ・モードのタイミング例
 (CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

・ TOC00 = 13H, PRM00 = 00H, CRC00 = 00H, TMC00 = 04H



フリー・ランニング・タイマ・モードで、2つのコンペア機能を使用したアプリケーション例です。
 TO00出力レベルは、CR000, CR010の設定値とTM00のカウンタ値が一致することに反転します。また、一致するタイミングで、INTTM000, INTTM010信号がそれぞれ発生します。

(2) フリー・ランニング・タイマ・モード動作

(CR000 : コンペア・レジスタ , CR010 : キャプチャ・レジスタ設定時)

図6 - 35 フリー・ランニング・タイマ・モードのブロック図
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ)

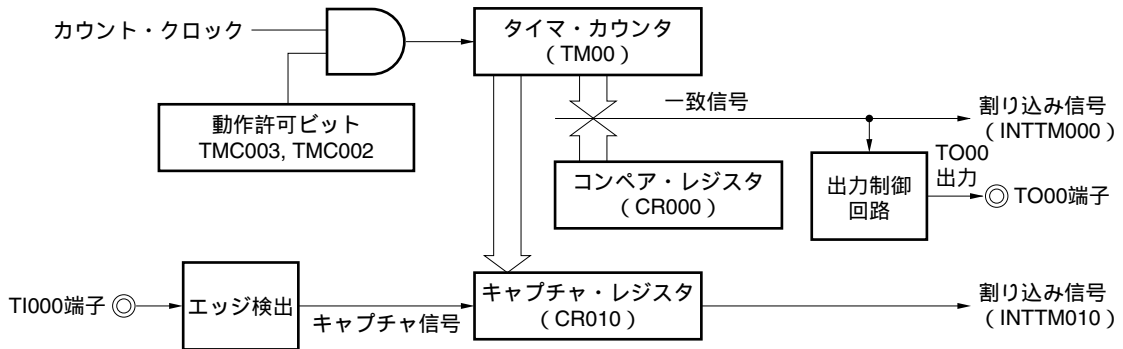
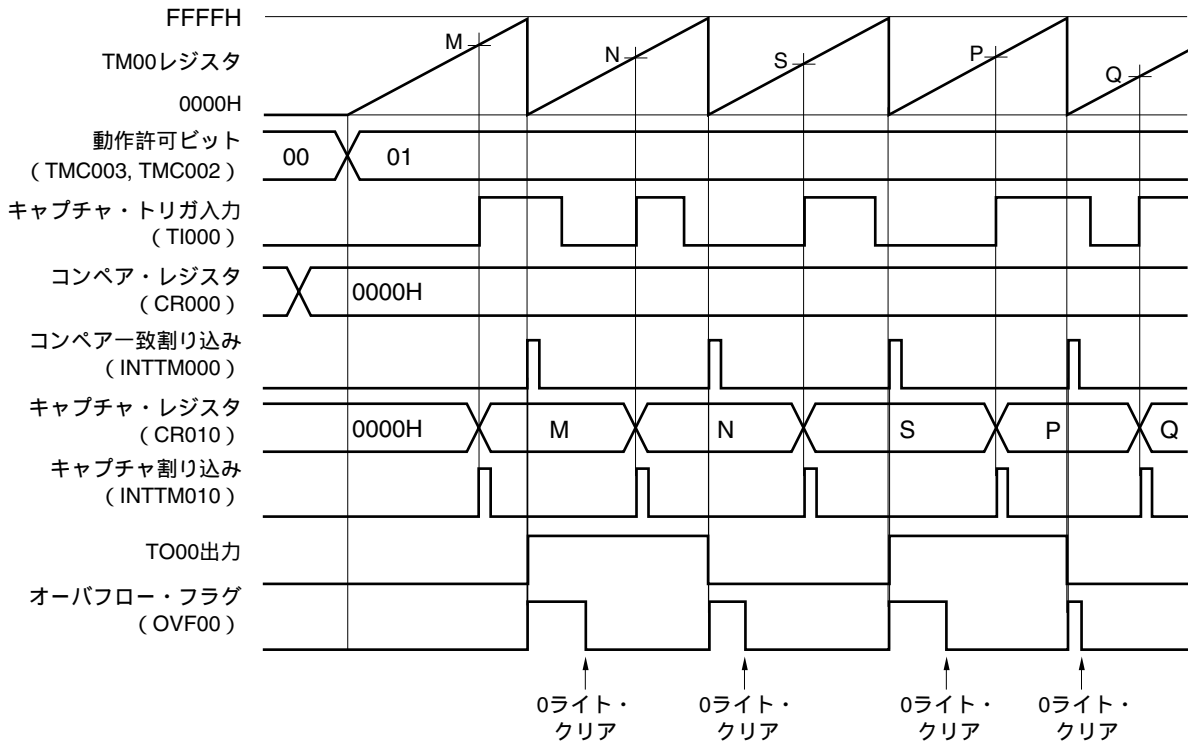


図6 - 36 フリー・ランニング・タイマ・モードのタイミング例
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ)

・ TOC00 = 13H, PRM00 = 10H, CRC00 = 04H, TMC00 = 04H



フリー・ランニング・タイマ・モードで、コンペア機能とキャプチャ機能を同時に使用したアプリケーション例です。

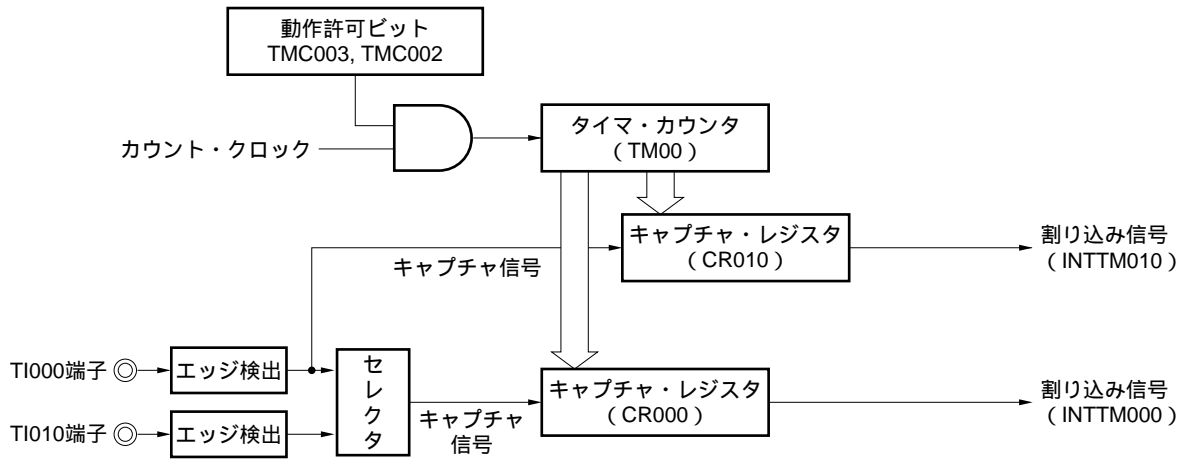
この例では、CR000(コンペア・レジスタ)の設定値とTM00のカウント値が一致するごとに、INTTM000信号を発生し、TO00出力を反転します。また、TI000端子の有効エッジを検出するごとに、INTTM010信号を発生し、TM00のカウント値をCR010にキャプチャします。

(3) フリー・ランニング・タイマ・モード動作

(CR000 : キャプチャ・レジスタ , CR010 : キャプチャ・レジスタ設定時)

図6 - 37 フリー・ランニング・タイマ・モードのブロック図

(CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ)

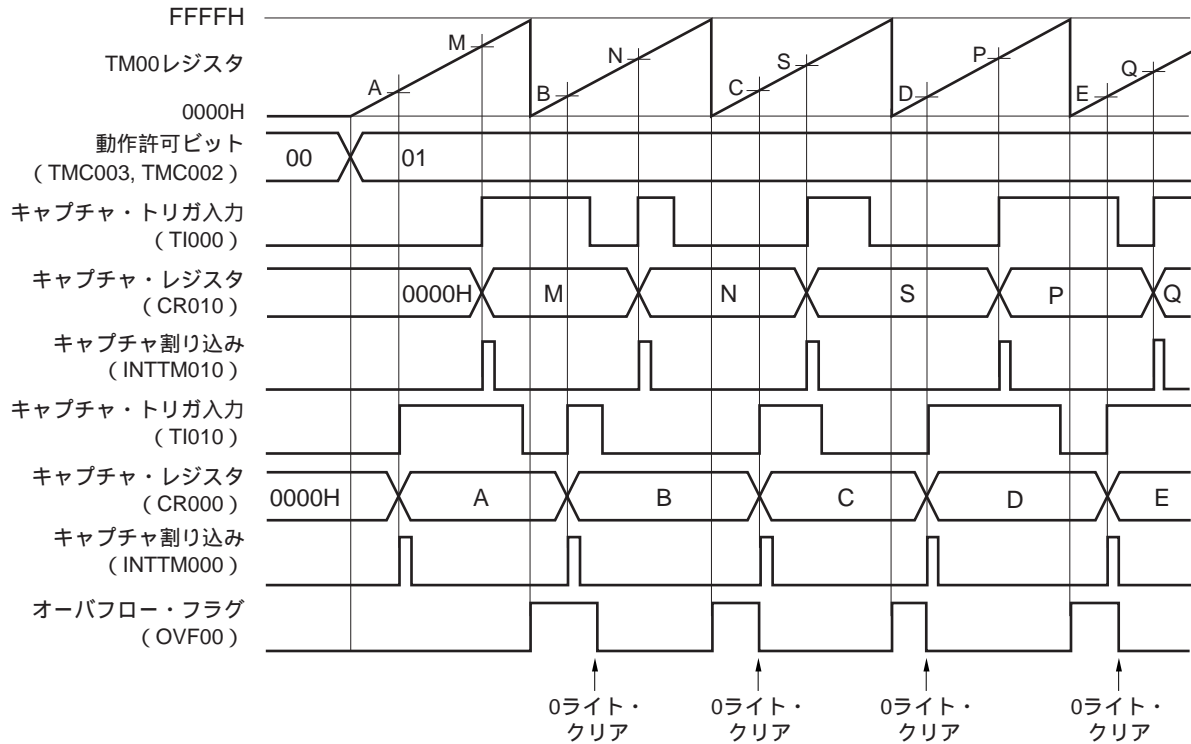


備考. フリー・ランニング・タイマ・モードで、CR000, CR010を両方ともキャプチャ機能に設定した場合、TO00出力レベルは反転しません。

ただし、16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット1 (TMC001) = 1に設定することにより、TI000端子の有効エッジを検出するごとにTO00出力レベルを反転させることができます。

図6 - 38 フリー・ランニング・タイマ・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (1/2)

(a) TOC00 = 13H, PRM00 = 50H, CRC00 = 05H, TMC00 = 04H

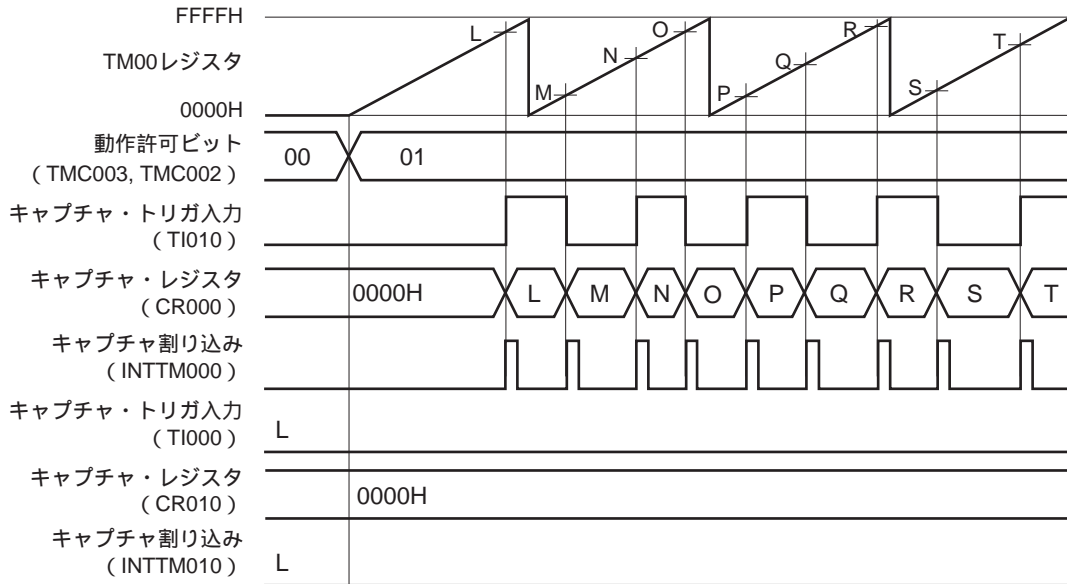


フリー・ランニング・タイマ・モードで、別々のキャプチャ・トリガ入力の有効エッジでキャプチャした値を別々のキャプチャ・レジスタに格納するアプリケーション例です。

TI000端子入力の有効エッジ検出でCR010にキャプチャします。TI010端子入力の有効エッジ検出でCR000にキャプチャします。

図6 - 38 フリー・ランニング・タイマ・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (2/2)

(b) TOC00 = 13H, PRM00 = C0H, CRC00 = 05H, TMC00 = 04H

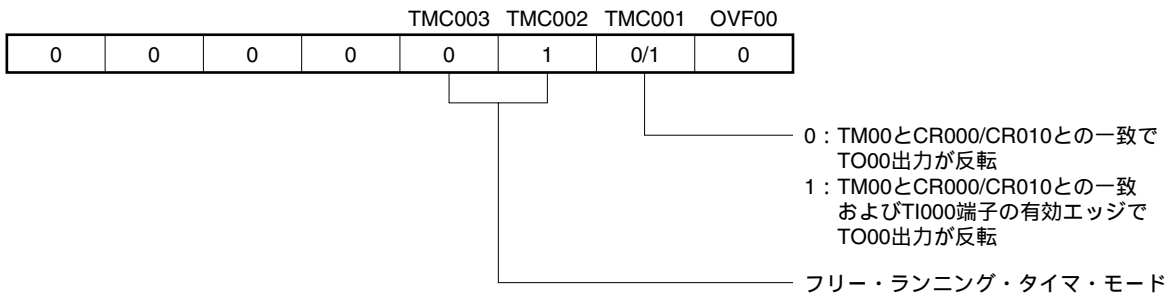


フリー・ランニング・タイマ・モードで、TI010端子の両エッジ検出に設定し、CR000にキャプチャするアプリケーション例です。

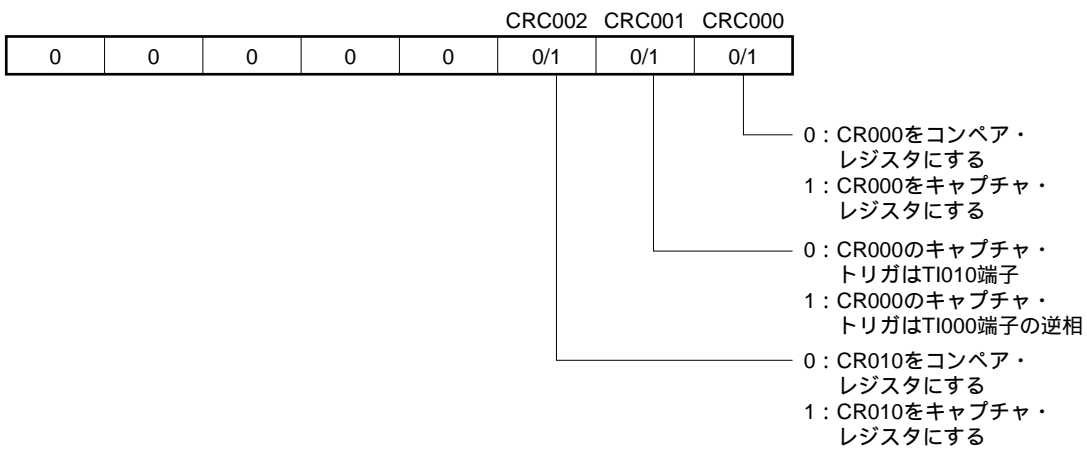
CR000, CR010を両方ともキャプチャ・レジスタとして使用し、TI010端子だけからの有効エッジを検出する場合、CR010にキャプチャすることはできません。

図6 - 39 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

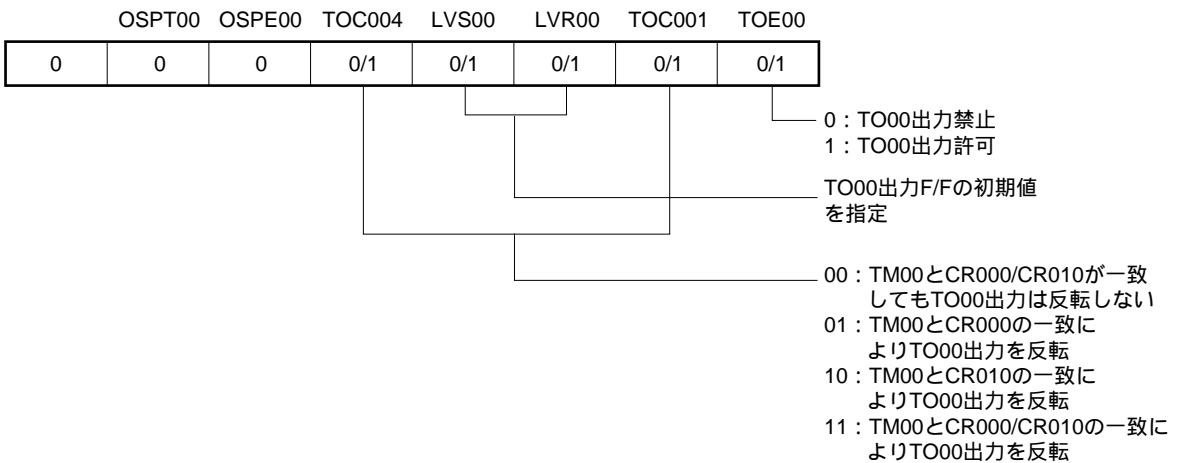
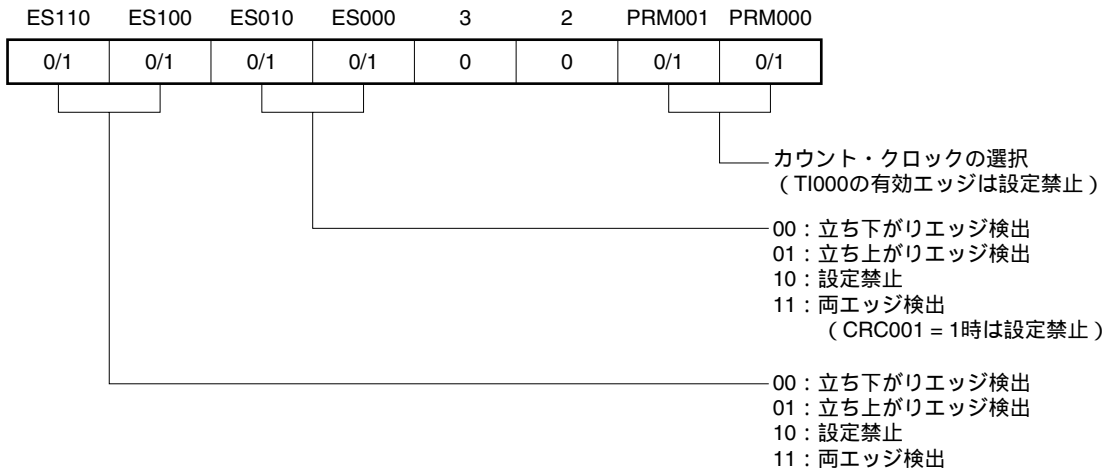


図6 - 39 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容例 (2/2)

(d) プリスケーラ・モード・レジスタ00 (PRM00)



(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

コンペア・レジスタとして使用する場合は，TM00との一致で割り込み信号 (INTTM000) が発生します。TM00のカウント値はクリアされません。

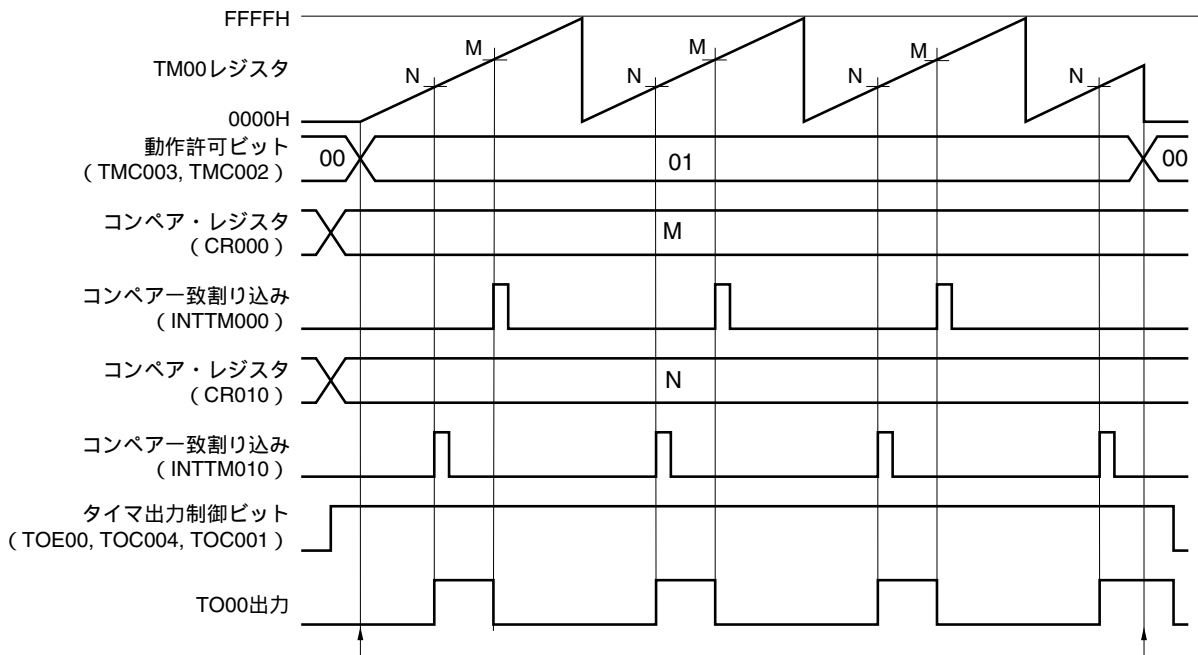
キャプチャ・レジスタとして使用する場合は，TI000, TI010端子入力のどちらかをキャプチャ・トリガとして設定してください。キャプチャ・トリガの有効エッジ検出により，TM00のカウント値をCR000に格納します。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

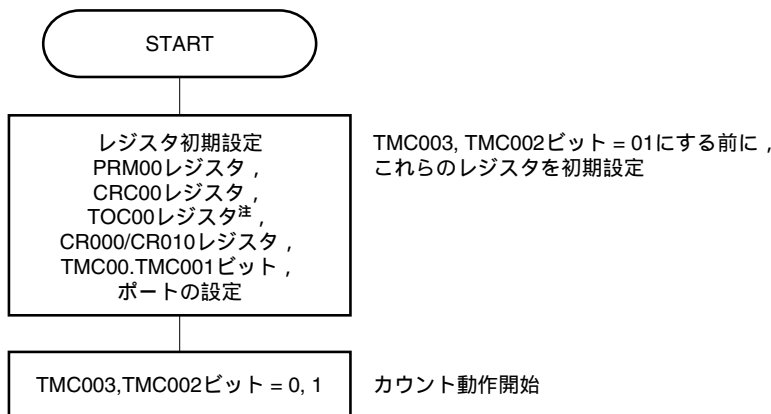
コンペア・レジスタとして使用する場合は，TM00との一致で割り込み信号 (INTTM010) が発生します。TM00のカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は，TI000端子入力キャプチャ・トリガとなります。キャプチャ・トリガの有効エッジ検出により，TM00のカウント値をCR010に格納します。

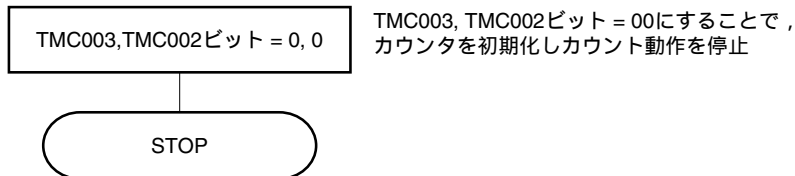
図6-40 フリー・ランニング・タイマ・モード動作時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

6.4.6 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 11 (TM00とCR000の一致によるクリア&スタート) に設定し, CR000にあらかじめ設定した値を1周期とし, CR010にあらかじめ設定した値をパルス幅とする矩形波を, TO00端子からPPG (Programmable Pulse Generator) 出力として動作します。

PPG出力によって生成されるパルス周期, デューティは次のようになります。

- ・パルス周期 = (CR000の設定値 + 1) × カウント・クロック周期
- ・デューティ = (CR010の設定値 + 1) / (CR000の設定値 + 1)

注意 動作中にデューティの値 (CR010) を変更したい場合は, 6.5.1 CR010のTM00動作中の書き換えを参照してください。

備考1. 入出力端子の設定については, 6.3 (5) ポート・モード・レジスタ0, 1 (PM0, PM1) を参照してください。

2. INTTM000信号の割り込み許可については, 第18章 割り込み機能を参照してください。

図6 - 41 PPG出力としての動作のブロック図

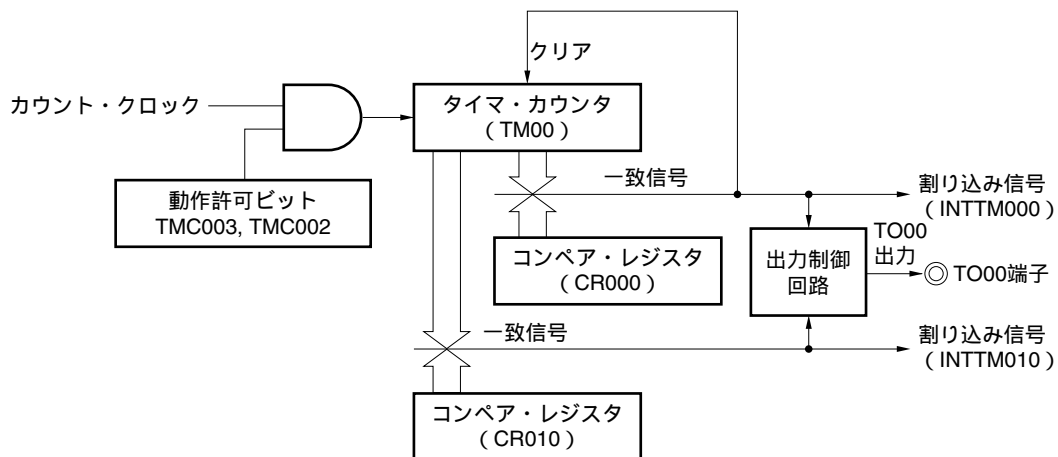


図6 - 42 PPG出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	1	1	0	0

TM00とCR000の一致で
クリア&スタート

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

					CRC002	CRC001	CRC000
0	0	0	0	0	0	0	0

CR000をコンペア・
レジスタにする

CR010をコンペア・
レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

	OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0	0	1	0/1	0/1	1	1

TO00出力許可

TO00出力F/Fの初期値を指定

11 : TM00とCR000/CR010の
一致によりTO00出力を反転

00 : ワンショット・パルス
出力禁止

(d) プリスケアラ・モード・レジスタ00 (PRM00)

ES110	ES100	ES010	ES000	3	2	PRM001	PRM000
0	0	0	0	0	0	0/1	0/1

カウント・クロック
の選択

図6 - 42 PPG出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

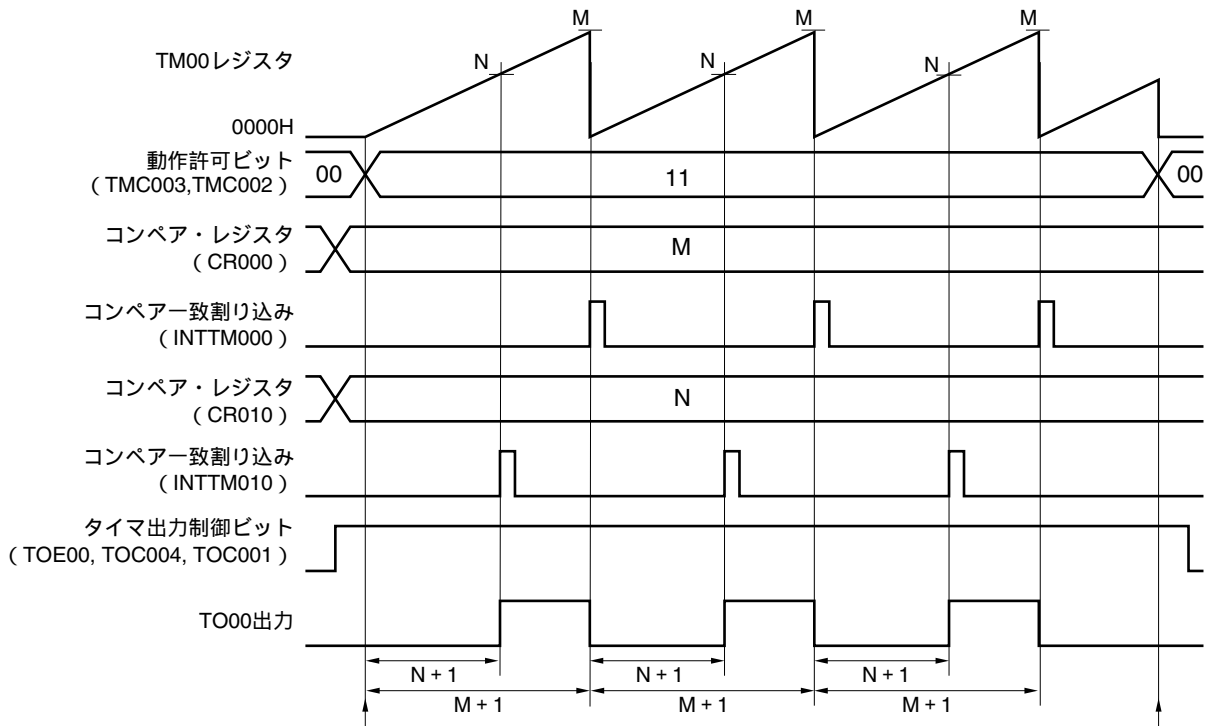
TM00との一致で割り込み信号 (INTTM000) を発生します。TM00のカウント値はクリアされません。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

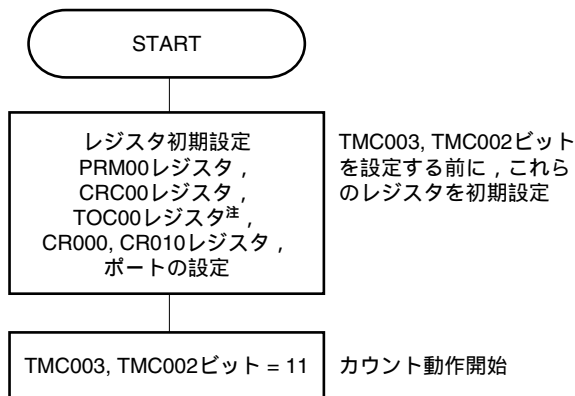
TM00との一致で割り込み信号 (INTTM010) を発生します。TM00のカウント値はクリアされません。

注意 CR000, CR010には, 0000H CR010 < CR000 FFFFHの値を設定してください。

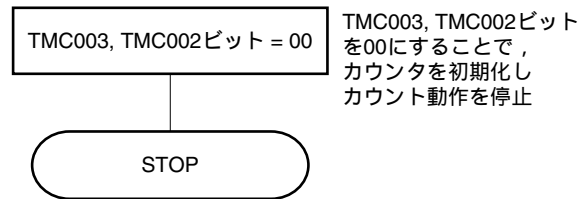
図6 - 43 PPG出力動作時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

備考 PPGのパルス周期 = (M+1) × カウント・クロック周期
PPGのデューティ = (N+1) / (M+1)

6.4.7 ワンショット・パルス出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 01 (フリー・ランニング・タイマ・モード), またはTMC003, TMC002 = 10 (TI000端子の有効エッジによるクリア&スタート・モード) に設定し, 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) のビット5 (OSPE00) = 1に設定することにより, ワンショット・パルスを出力できます。

タイマ動作中に, TOC00のビット6 (OSPT00) をセット (1) するか, またはTI000端子に有効エッジが入力されると, それがトリガとなり, TM00のクリア&スタート後, CR000, CR010に設定した差分のパルスを1回だけTO00端子から出力します。

- 注意1.** ワンショット・パルスを出力中に, さらにトリガ (OSPT00のセット (1), またはTI000端子の有効エッジ検出) を入力しないでください。再度, ワンショット・パルスを出力したいときは, 現在のワンショット・パルス出力が終了したあとで, トリガを発生させてください。
2. OSPT00のセット (1) のみをワンショット・パルス出力のトリガとする場合, TI000端子またはその兼用ポート端子のレベルを変化させないでください。意図しないタイミングでパルスが出力されてしまいます。

- 備考1.** 入出力端子の設定については, 6.3 (5) ポート・モード・レジスタ0, 1 (PM0, PM1) を参照してください。
2. INTTM000信号の割り込み許可については, 第18章 割り込み機能を参照してください。

図6 - 44 ワンショット・パルス出力としての動作のブロック図

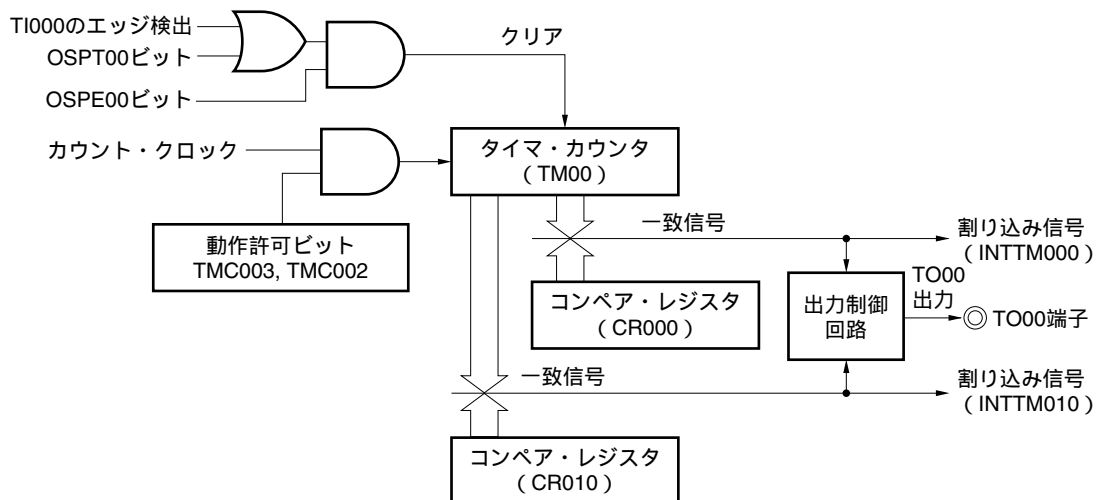


図6 - 45 ワンショット・パルス出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	0/1	0/1	0	0

01: フリー・ランニング・タイマ・モード
 10: TI000端子の有効エッジによるクリア&スタート・モード

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0	0

CR000をコンペア・レジスタにする
 CR010をコンペア・レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0/1	1	1	0/1	0/1	1

TO00出力許可
 TO00出力の初期値を指定
 TM00とCR000/CR010の一致によりTO00出力を反転
 ワンショット・パルス出力許可
 1をライトすることでソフトウェア・トリガを発生 (0をライトしても動作に影響なし)

(d) プリスケアラ・モード・レジスタ00 (PRM00)

ES110	ES100	ES010	ES000	3	2	PRM001	PRM000
0	0	0	0	0	0	0/1	0/1

カウント・クロックの選択

図6 - 45 ワンショット・パルス出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

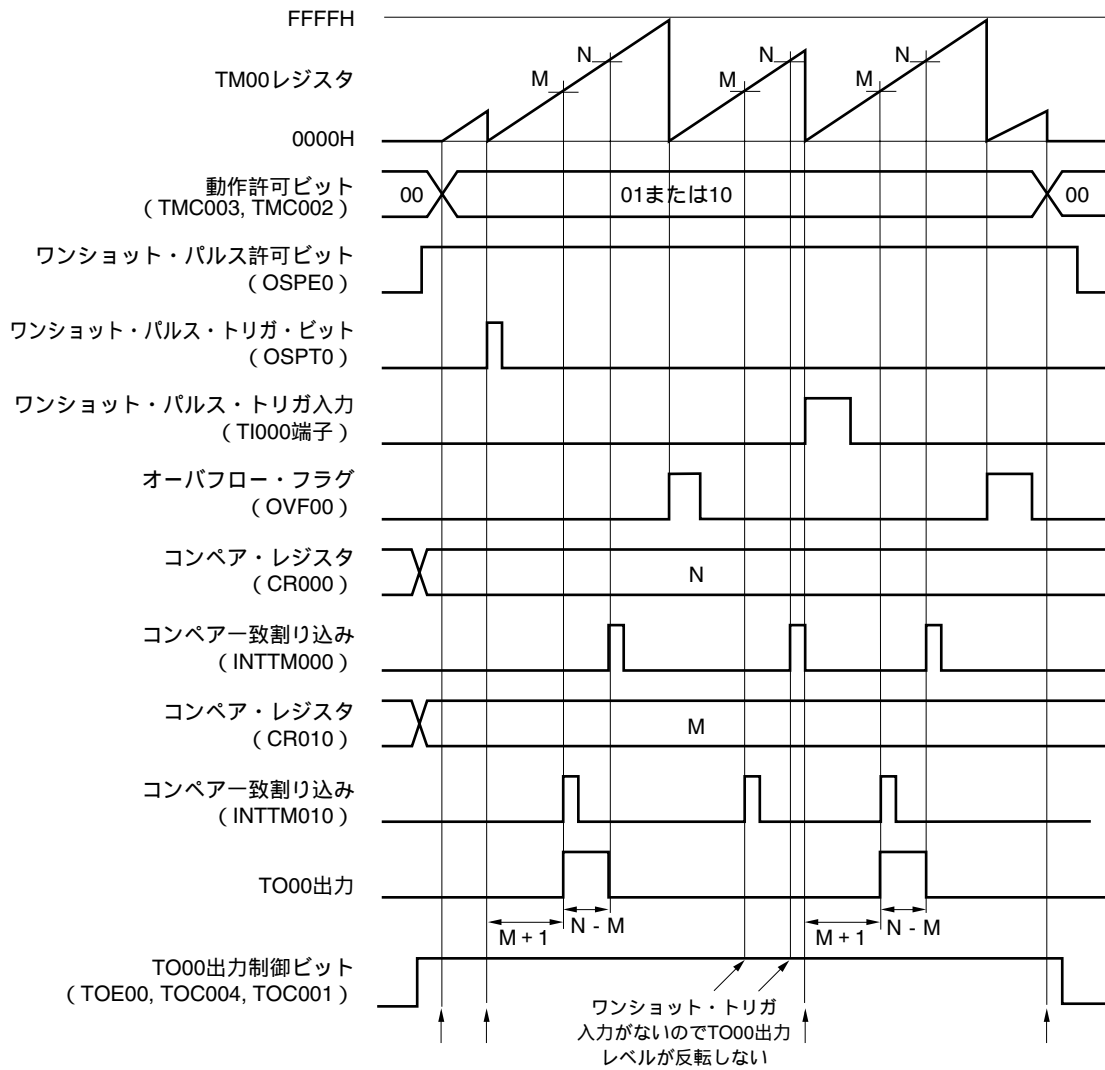
ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM00とCR000の値が一致すると、割り込み信号 (INTTM000) を発生し、TO00出力レベルを反転します。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM00とCR010の値が一致すると、割り込み信号 (INTTM010) を発生し、TO00出力レベルを反転します。

注意 CR000とCR010には同値を設定しないでください。

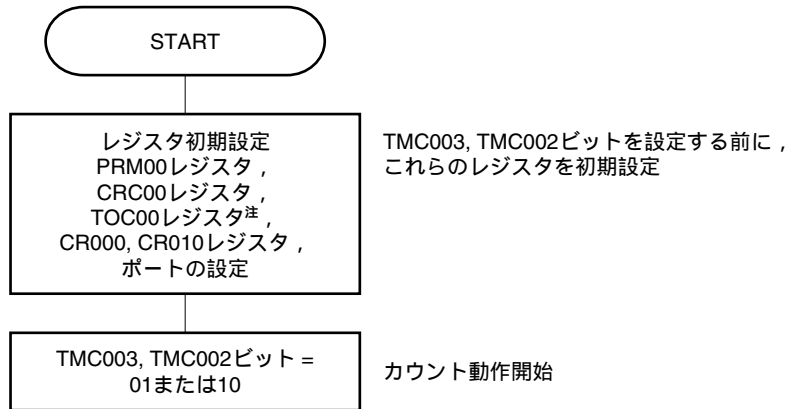
図6 - 46 ワンショット・パルス出力動作時のソフトウェア処理例 (1/2)



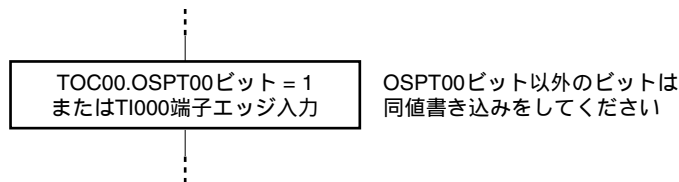
- ・ワンショット・パルス・トリガが入力されてからワンショット・パルスが出力されるまでの時間
= (M+1) × カウント・クロック周期
- ・ワンショット・パルス出力アクティブ・レベル幅
= (N - M) × カウント・クロック周期

図6 - 46 ワンショット・パルス出力動作時のソフトウェア処理例 (2/2)

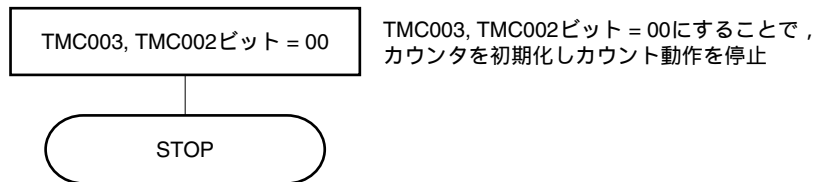
カウント動作開始フロー



ワンショット・トリガ入力フロー



カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

6.4.8 パルス幅測定としての動作

TM00を使用し、TI000端子およびTI010端子に入力される信号のパルス幅を測定できます。

測定方法には、16ビット・タイマ/イベント・カウンタ00をフリー・ランニング・タイマ・モードで動作させて測定する方法と、TI000端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

割り込みが発生したら、有効なキャプチャ・レジスタの値をリードして、パルス幅の測定をしてください。また、16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット0 (OVF00) を確認して、セット (1) されていたらソフトウェアでクリア (0) してください。

図6 - 47 パルス幅測定 (フリー・ランニング・タイマ・モード) のブロック図

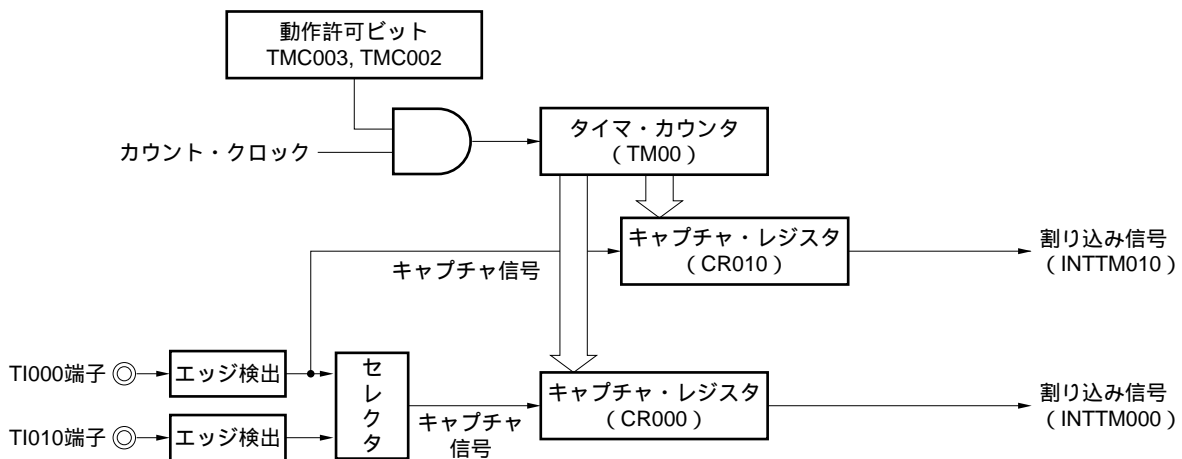
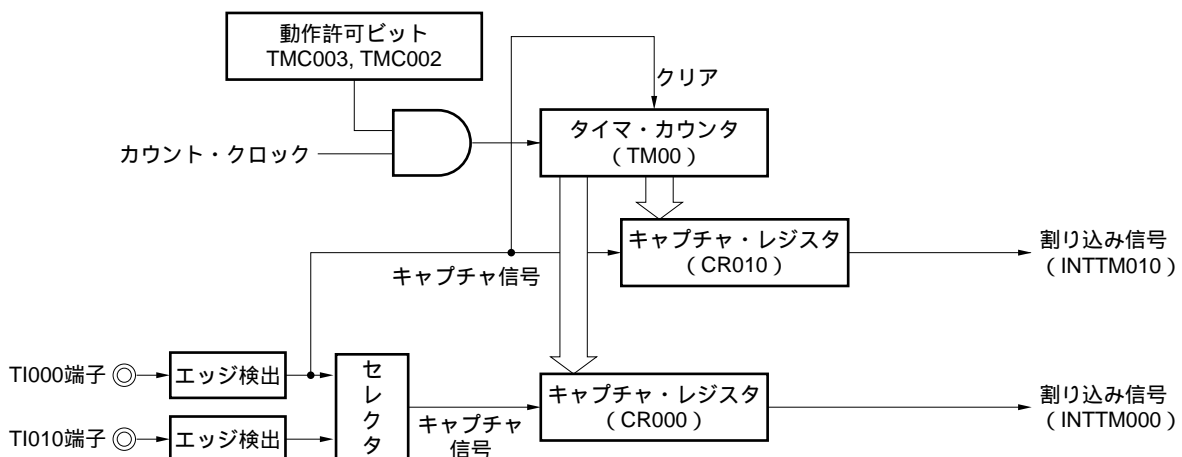


図6 - 48 パルス幅測定 (TI000端子の有効エッジ入力によるクリア&スタート・モード) のブロック図



パルス幅測定をするには、次の3つの方法があります。

- ・ TI000端子およびTI010端子の2本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI000端子1本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI000端子1本の入力信号でパルス幅を測定（TI000端子の有効エッジ入力によるクリア&スタート・モード）

備考1. 入出力端子の設定については、6.3(5) **ポート・モード・レジスタ0, 1 (PM0, PM1)** を参照してください。

2. INTTM000信号の割り込み許可については、**第18章 割り込み機能**を参照してください。

(1) TI000端子およびTI010端子の2本の入力信号でパルス幅を測定(フリー・ランニング・タイマ・モード)

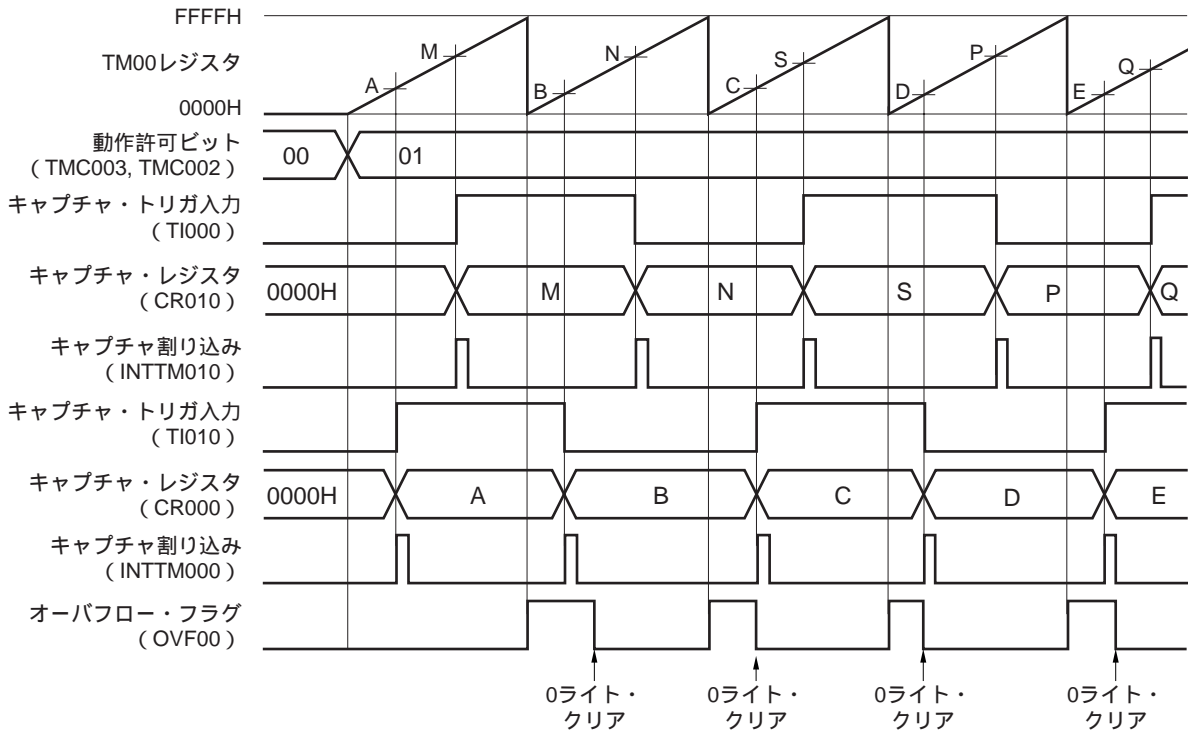
フリー・ランニング・タイマ・モード(TMC003, TMC002 = 01)に設定します。TI000端子の有効エッジ検出により, TM00のカウンタ値をCR010にキャプチャします。TI010端子の有効エッジ検出により, TM00のカウンタ値をCR000にキャプチャします。TI000端子とTI010端子のエッジ検出の設定は, 両エッジとしてください。

この測定方法では, それぞれの入力信号のエッジによりキャプチャした値から, 前回キャプチャした値を減算します。そのため, 前回キャプチャした値を, あらかじめ別レジスタに退避してください。

オーバフローが発生した場合, 単純に減算すると値がマイナスになるため, ボローが発生します(プログラム・ステータス・ワード(PSW)のビット0(CY)がセット(1)されます)。このときは, CYを無視して, 計算値をパルス幅として扱ってください。また, 16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)のビット0(OVF00)をクリア(0)してください。

図6 - 49 パルス幅測定のタイミング例(1)

・ TMC00 = 04H, PRM00 = F0H, CRC00 = 05H



(2) TI000端子1本の入力信号でパルス幅を測定 (フリー・ランニング・タイマ・モード)

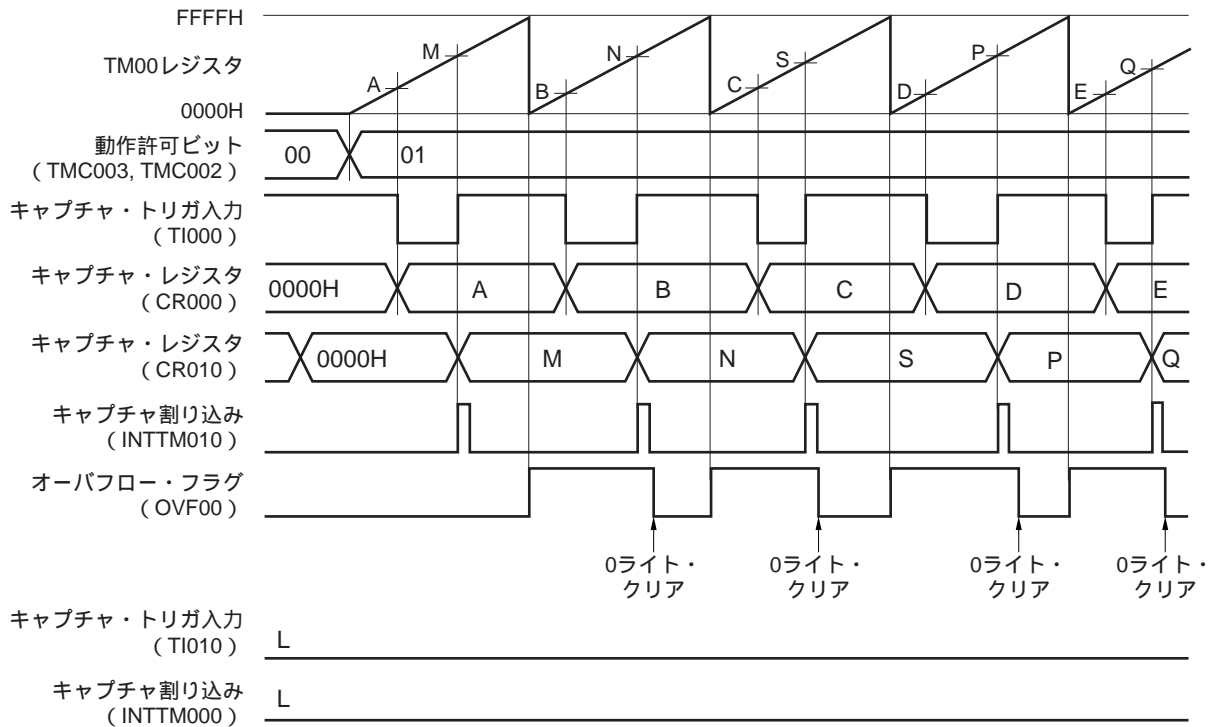
フリー・ランニング・タイマ・モード (TMC003, TMC002 = 01) に設定します。TI000端子の有効エッジ検出の逆相で, TM00のカウント値をCR000にキャプチャします。TI000端子の有効エッジ検出で, TM00のカウント値をCR010にキャプチャします。

この測定方法では, エッジからエッジまでの幅を測定する場合に, 別々のキャプチャ・レジスタに値を格納するため, キャプチャした値を退避する必要がありません。2つのキャプチャ・レジスタ値を減算することでハイ・レベル幅, ロウ・レベル幅, 周期を算出します。

オーバフローが発生した場合, 単純に減算すると値がマイナスになるため, ボローが発生します (プログラム・ステータス・ワード (PSW) のビット0 (CY) がセット (1) されます)。このときは, CYを無視して, 計算値をパルス幅として扱ってください。また, 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット0 (OVF00) をクリア (0) してください。

図6 - 50 パルス幅測定のタイミング例 (2)

・ TMC00 = 04H, PRM00 = 10H, CRC00 = 07H



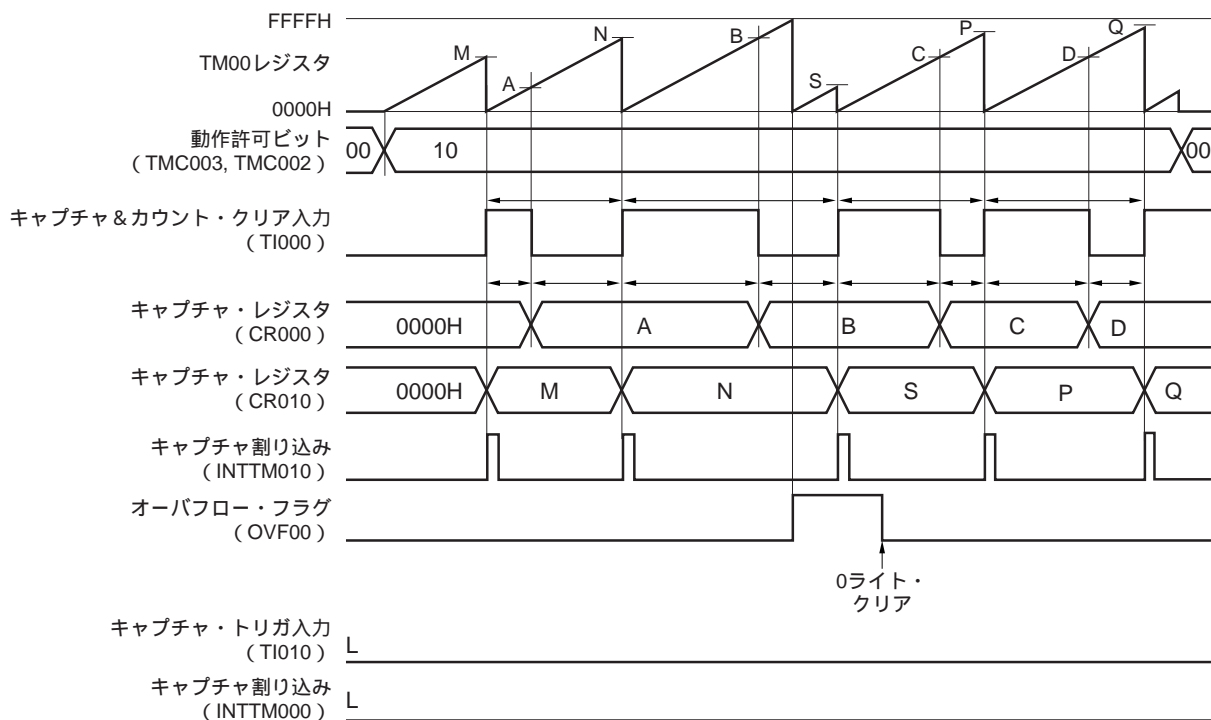
(3) TI000端子1本の入力信号でパルス幅を測定(TI000端子の有効エッジ入力によるクリア&スタート・モード)

TI000端子の有効エッジによるクリア&スタート・モード(TMC003, TMC002 = 10)に設定します。TI000端子の有効エッジ検出の逆相で、TM00のカウンタ値をCR000にキャプチャします。TI000端子の有効エッジ検出で、TM00のカウンタ値をCR010にキャプチャし、TM00をクリア(0000H)します。したがって、TM00がオーバーフローしなければ、CR010には周期が格納されます。

オーバーフローが発生した場合は、CR010に格納した値に10000Hを加算した値を周期として扱ってください。また、16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)のビット0(OVF00)をクリア(0)してください。

図6-51 パルス幅測定のタイミング例(3)

・ TMC00 = 08H, PRM00 = 10H, CRC00 = 07H



$$\begin{aligned} \text{パルスの周期} &= (10000\text{H} \times \text{OVF00ビットがセット(1)された回数} + \\ &\quad \text{CR010のキャプチャ値}) \times \text{カウンタ・クロック周期} \\ \text{パルスのハイ・レベル幅} &= (10000\text{H} \times \text{OVF00ビットがセット(1)された回数} + \\ &\quad \text{CR000のキャプチャ値}) \times \text{カウンタ・クロック周期} \\ \text{パルスのロウ・レベル幅} &= (\text{パルスの周期} - \text{パルスのハイ・レベル幅}) \end{aligned}$$

図6 - 52 パルス幅測定時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	0/1	0/1	0	0

- 01 : フリー・ランニング・タイマ・モード
- 10 : TI000端子の有効エッジによるクリア&スタート・モード

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0/1	1

- 1 : CR000をキャプチャ・レジスタにする
- 0 : CR000のキャプチャ・トリガはTI010端子
- 1 : CR000のキャプチャ・トリガはTI000端子の逆相
- 1 : CR010をキャプチャ・レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0	0	0	0	0	0

(d) プリスケアラ・モード・レジスタ00 (PRM00)

ES110	ES100	ES010	ES000	3	2	PRM001	PRM000
0/1	0/1	0/1	0/1	0	0	0/1	0/1

- カウント・クロックの選択 (TI000の有効エッジは設定禁止)
- 00 : 立ち下がりエッジ検出
- 01 : 立ち上がりエッジ検出
- 10 : 設定禁止
- 11 : 両エッジ検出 (CRC001 = 1時は設定禁止)
- 00 : 立ち下がりエッジ検出
- 01 : 立ち上がりエッジ検出
- 10 : 設定禁止
- 11 : 両エッジ検出

図6 - 52 パルス幅測定時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

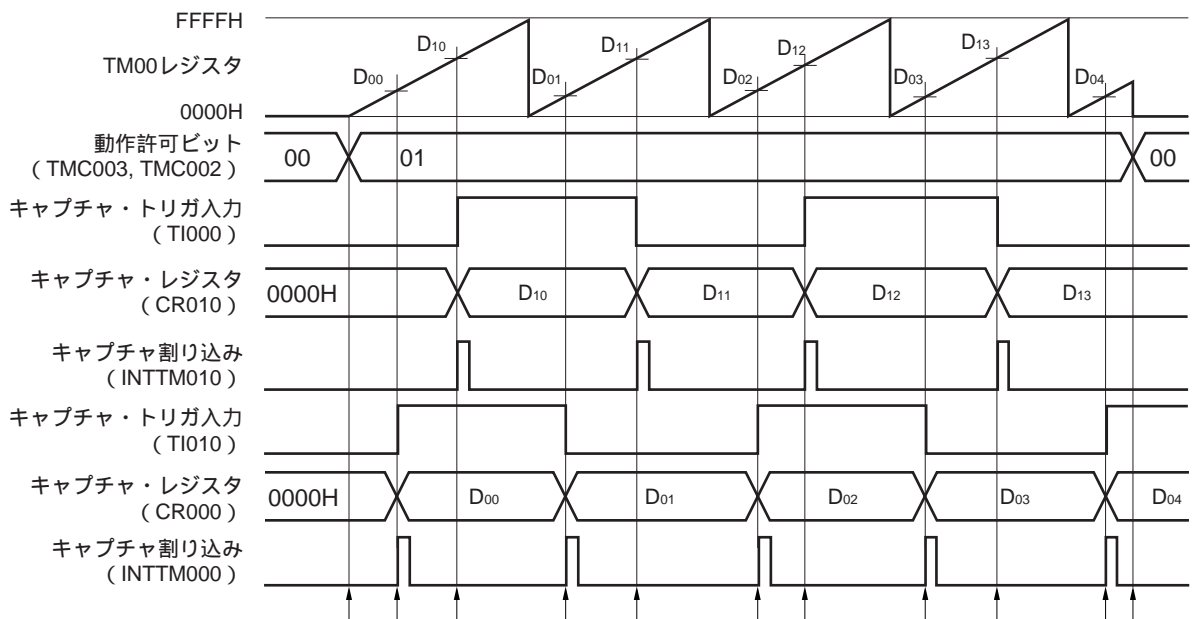
キャプチャ・レジスタとして使用します。TI000/TI010端子入力のどちらかをキャプチャ・トリガとして設定し、キャプチャ・トリガのエッジ検出により、TM00のカウント値をCR000に格納します。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

キャプチャ・レジスタとして使用します。TI000端子入力がキャプチャ・トリガとなり、キャプチャ・トリガのエッジ検出により、TM00のカウント値をCR010に格納します。

図6 - 53 パルス幅測定時のソフトウェア処理例 (1/2)

(a) フリー・ランニング・タイマ・モードの例



(b) TI000端子の有効エッジによるクリア&スタート・モードの例

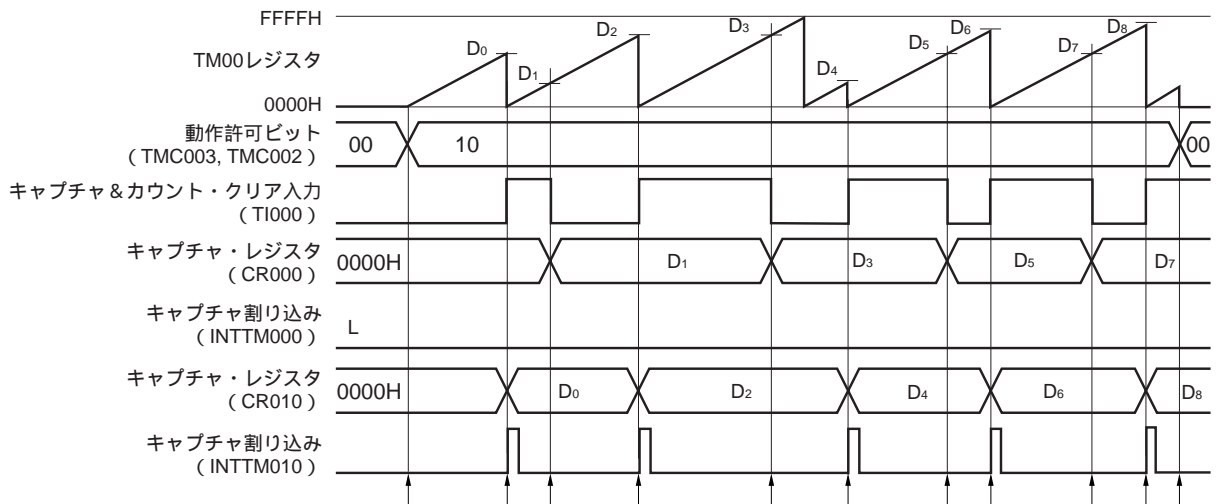
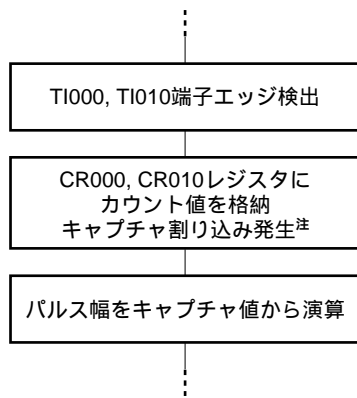


図6 - 53 パルス幅測定時のソフトウェア処理例 (2/2)

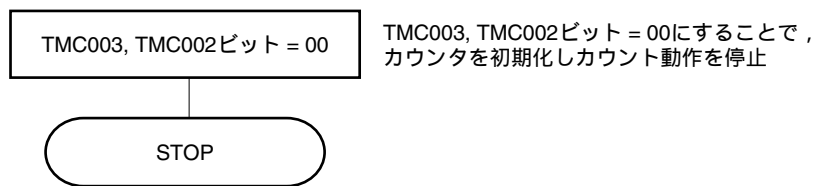
カウント動作開始フロー



キャプチャ・トリガ入力フロー



カウント動作停止フロー



注 CR000の有効エッジにTI000端子入力の逆相を選択した場合、キャプチャ割り込み信号 (INTTM000) は発生しません。

6.5 TM00の特殊な使用方法

6.5.1 CR010のTM00動作中の書き換え

78K0/Kx2-Aマイクロコントローラでは、TM00動作中（TMC003, TMC002 = 00以外）のとき、コンペア・レジスタとして使用するCR000とCR010の書き換えは原則禁止です。

ただし、CR010だけは、PPG出力としてタイマ動作中にデューティを変更する場合、次の手順で設定すればTM00動作中でも書き換えができます（CR010の値を現在の設定値よりも小さくする場合には、CR010とTM00の一致直後に、CR010の値を現在の設定値よりも大きくする場合には、CR000とTM00の一致直後に、CR010の値を書き換えてください。CR010とTM00またはCR000とTM00の一致直前で書き換えると、想定しない動作を起こす場合があります）。

CR010の書き換え手順

INTTM010の割り込みを禁止する（TMMK010 = 1）。

TM00とCR010の一致によるタイマ出力反転動作を禁止する（TOC004 = 0）。

CR010を書き換える。

TM00のカウント・クロックの1周期分ウエイトする。

TM00とCR010の一致によるタイマ出力反転動作を許可する（TOC004 = 1）。

INTTM010の割り込みフラグをクリア（0）する（TMIF010 = 0）。

INTTM010の割り込みを許可する（TMMK010 = 0）

備考 TMIF010, TMMK010については第18章 **割り込み機能**を参照してください。

6.5.2 LVS00, LVR00の設定について

(1) LVS00, LVR00の使用用途

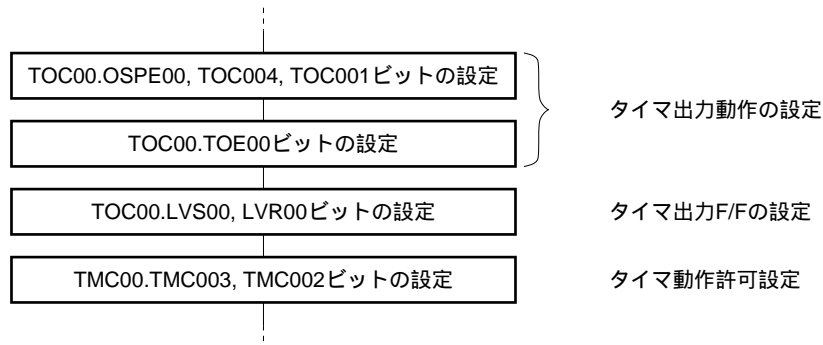
LVS00, LVR00は、TO00出力の初期値を設定したいときや、タイマを動作許可しない（TMC003, TMC002 = 00）でタイマ出力を反転させたいときに使用します。ソフトウェア制御が不要なときは、LVS00, LVR00は00（初期値ロウ・レベル出力）に設定してください。

LVS00	LVR00	タイマ出力の状態
0	0	変化しない（ロウ・レベル出力）
0	1	クリア（ロウ・レベル出力）
1	0	セット（ハイ・レベル出力）
1	1	設定禁止

(2) LVS00, LVR00の設定方法

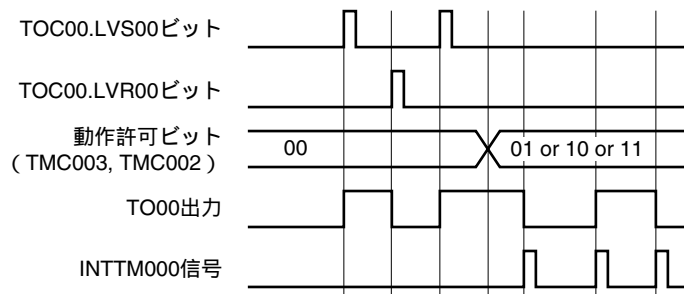
LVS00, LVR00は次の手順で設定してください。

図6 - 54 LVS00, LVR00ビットの設定フロー例



注意 LVS00, LVR00は必ず上記 , , の手順で設定してください。
 の設定をしてから , の設定をするまでの間であれば , の設定ができます。

図6 - 55 LVR00, LVS00のタイミング例



LVS00, LVR00 = 10に設定することにより, TO00出力がハイ・レベルになります。

LVS00, LVR00 = 01に設定することにより, TO00出力がロウ・レベルになります
 (LVS00, LVR00 = 00に設定しても, ハイ・レベルのまま変化しません)。

TMC003, TMC002 = 01, 10, 11のどれかに設定することにより, タイマ動作を開始します。動作開始前のLVS00, LVR00の設定が10だったので, TO00出力はハイ・レベルから始まります。タイマ動作開始以降は, TMC003, TMC002 = 00(タイマ動作禁止)にするまで, LVS00, LVR00の設定は禁止です。

割り込み信号 (INTTM000) が発生するたびに, TO00出力のレベルが反転します。

6.6 16ビット・タイマ/イベント・カウンタ00の注意事項

(1) 16ビット・タイマ/イベント・カウンタ00の各チャネルの制限事項

表6-3に各チャネルの制限事項を示します。

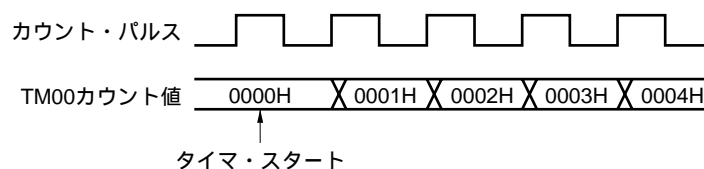
表6-3 16ビット・タイマ/イベント・カウンタ00の各チャネルの制限事項

動作	制限事項
インターバル・タイマとしての動作	-
方形波出力としての動作	
外部イベント・カウンタとしての動作	
TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作	TI010端子の有効エッジ検出を使用する場合、タイマ出力(TO00)は使用禁止(TOC00 = 00Hに設定)
フリー・ランニング・タイマとしての動作	-
PPG出力としての動作	0000H CP010 < CR000 FFFFH
ワンショット・パルス出力としての動作	CR000とCP010には同値は設定禁止
パルス幅測定としての動作	タイマ出力(TO00)は使用禁止(TOC00 = 00Hに設定)

(2) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は最大で1クロック分の誤差が発生します。これは、カウント・パルスに対してTM00のカウント・スタートが非同期で行われるためです。

図6-56 TM00のカウント・スタート・タイミング



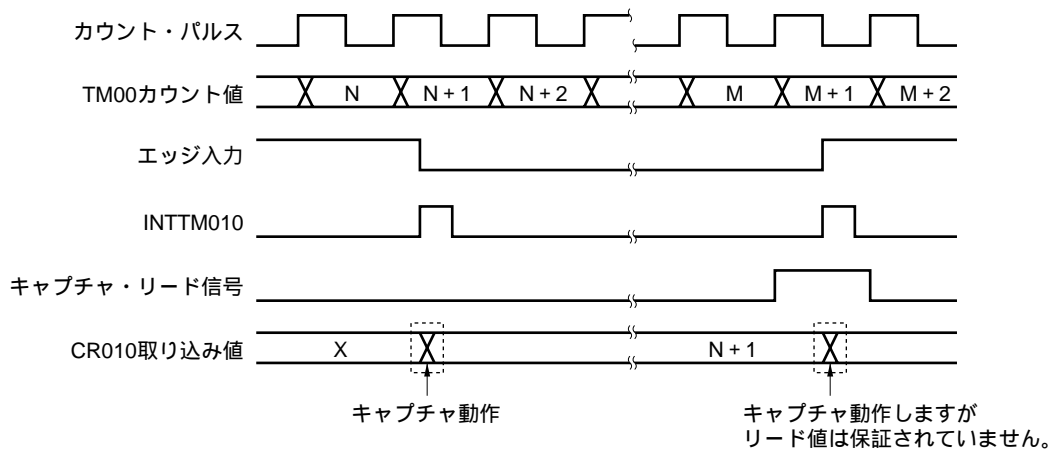
(3) CR000, CR010の設定 (TM00とCR000の一致でクリア&スタート・モードの場合)

CR000, CR010には、0000H以外の値を設定してください(外部イベント・カウンタとして使用する場合、1パルスのカウント動作はできません)。

(4) キャプチャ・レジスタのデータ保持タイミング

- (a) CR000/CR010の読み出し中にTI000/TI010端子の有効エッジ入力，TI000端子の逆相のエッジを検出したとき，CR010はキャプチャ動作を行います，CR000/CR010の読み出し値は保証されません。このとき，TI000/TI010端子の有効エッジの検出による割り込み信号（INTTM000/INTTM010）は発生しません（TI000端子の逆相のエッジ検出時は，割り込み信号を発生しません）。TI000/TI010端子の有効エッジの検出によるキャプチャ時に，CR000/CR010の値を読み出す場合は，INTTM000/INTTM010発生後に行ってください。

図6 - 57 キャプチャ・レジスタのデータ保持タイミング



- (b) 16ビット・タイマ/イベント・カウンタ00停止後のCR000, CR010の値は保証されません。

(5) 有効エッジの設定

TI000端子の有効エッジの設定は，タイマ動作が停止（TMC003, TMC002 = 00）しているときに行ってください。有効エッジの設定は，ES000, ES001で行います。

(6) ワンショット・パルスの再トリガ

ワンショット・パルス出力モードで，アクティブ・レベルを出力中に，トリガが発生しないようにしてください。次のトリガ入力は，必ず現在のアクティブ・レベル出力が終わったあとで発生するようにしてください。

(7) OVF00フラグの動作

(a) OVF00フラグのセット(1)

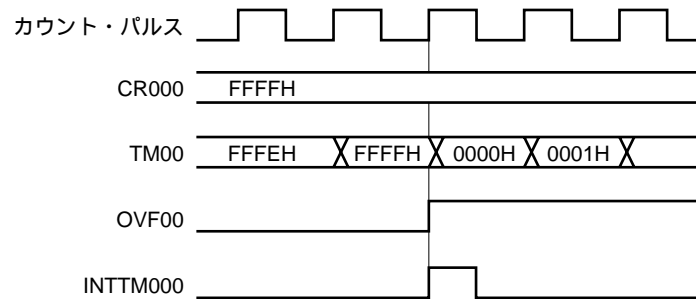
OVF00フラグは、TM00がオーバーフローしたとき以外に、次のときにもセット(1)されます。

TM00とCR000の一致でクリア&スタート・モードを選択

CR000をFFFFHに設定

TM00がCR000との一致によりFFFFHから0000Hにクリアされるとき

図6 - 58 OVF00フラグの動作タイミング



(b) OVF00フラグのクリア

TM00がオーバーフロー後、次のカウント・クロックがカウントされる(TM00が0001Hになる)前に OVF00フラグをクリア(0)しても、再度セット(1)されクリアは無効となります。

(8) ワンショット・パルス出力

ワンショット・パルス出力は、フリー・ランニング・タイマ・モードまたはTI000端子の有効エッジでクリア&スタート・モードのときに、正常に動作します。TM00とCR000の一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。

(9) キャプチャ動作

(a) カウント・クロックにTI000の有効エッジを指定した場合

カウント・クロックにTI000の有効エッジを指定した場合、TI000をトリガに指定したキャプチャ・レジスタは正常に動作しません。

(b) TI010, TI000端子入力信号で確実にキャプチャするためのパルス幅

確実にキャプチャするためのキャプチャ・トリガとして、TI000, TI010端子に入力するパルスには、PRM00で選択したカウント・クロックの2回分より長いパルス幅が必要です(図6 - 7を参照)。

(c) 割り込み信号の発生

キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み信号 (INTTM000, INTTM010) は次のカウント・クロックの立ち上がりで発生します (図6-7を参照)。

(d) CRC001 (キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のビット1) = 1に設定したときの注意

TI000端子入力の逆相でTM00レジスタのカウント値をCR000レジスタにキャプチャする場合、キャプチャ後に割り込み要求信号 (INTTM000) は発生しません。この動作中に、TI010端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM000信号が発生します。外部割り込みを使用しない場合は、INTTM000信号をマスクしてください。

(10) エッジ検出**(a) リセット後の有効エッジ指定**

リセット後、TI000端子またはTI010端子がハイ・レベルの状態、TI000端子またはTI010端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ/イベント・カウンタ00の動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

(b) ノイズ除去のためのサンプリング・クロック

TI000の有効エッジをカウント・クロックで使用する場合と、キャプチャ・トリガとして使用する場合で、ノイズ除去のためのサンプリング・クロックが異なります。前者は f_{PRS} 固定で、後者はPRM00で選択したカウント・クロックでサンプリングします。

TI000端子入力信号をサンプリングして、2回連続して有効レベルを検出したときに、はじめて有効エッジと判断します。したがって、短いパルス幅のノイズを除去できます (図6-7を参照)。

(11) タイマ動作について

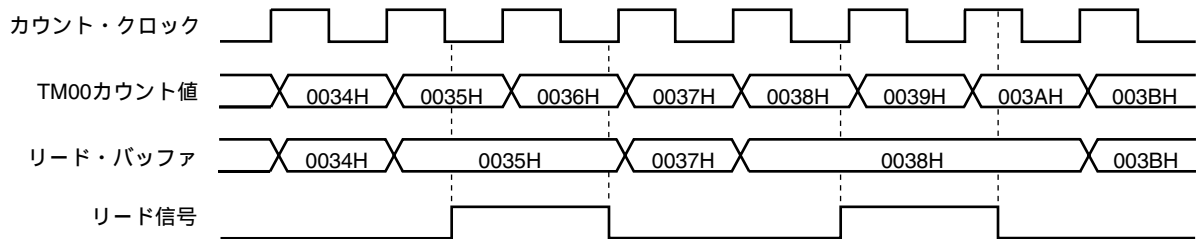
CPUの動作モードに関係なく、タイマが停止していると、TI000/ TI010端子への入力信号は受け付けられません。

備考. f_{PRS} : 周辺ハードウェア・クロック周波数

(12) 16ビット・タイマ・カウンタ00 (TM00) のリードについて

TM00は、バッファに取り込まれたカウント値を固定してリードするため、実際のカウンタを停止せずにリードすることができます。ただし、バッファはカウンタのカウント・アップのタイミングで更新されるため、カウント・アップの直前にリードした場合、バッファが更新されない場合があります。

図6 - 59 16ビット・タイマ・カウンタ00 (TM00) のリード・タイミング



第7章 8ビット・タイマ/イベント・カウンタ50, 51

7.1 8ビット・タイマ/イベント・カウンタ50, 51の機能

8ビット・タイマ/イベント・カウンタ50, 51は, 78K0/Kx2-Aマイクロコントローラの全製品に搭載されています。

8ビット・タイマ/イベント・カウンタ50, 51は, 次のような機能があります。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力
- ・PWM出力

7.2 8ビット・タイマ/イベント・カウンタ50, 51の構成

8ビット・タイマ/イベント・カウンタ50, 51は, 次のハードウェアで構成されています。

表7-1 8ビット・タイマ/イベント・カウンタ50, 51の構成

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタ5n (TM5n)
レジスタ	8ビット・タイマ・コンペア・レジスタ5n (CR5n)
タイマ入力	TI5n ^注
タイマ出力	TO5n ^注
制御レジスタ	タイマ・クロック選択レジスタ5n (TCL5n) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) ポート・モード・レジスタ1, 3 (PM1, PM3) ^注 ポート・レジスタ1, 3 (P1, P3) ^注

注 製品により, 8ビット・タイマ/イベント・カウンタ50, 51の入出力と兼用している端子が異なります。

- ・78K0/KB2-A: ポート1と兼用
- ・78K0/KC2-A: ポート3と兼用

備考 n = 0, 1

図7-1, 図7-2に, 8ビット・タイマ/イベント・カウンタ50, 51のブロック図を示します。

図7-1 8ビット・タイマ/イベント・カウンタ50のブロック図

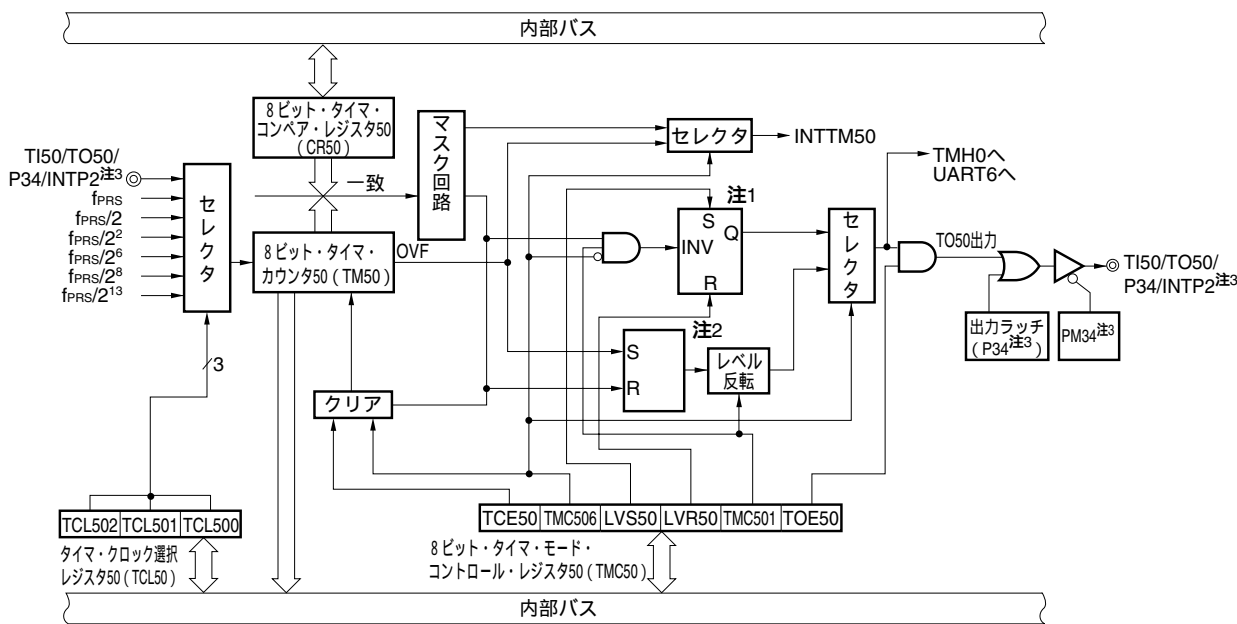
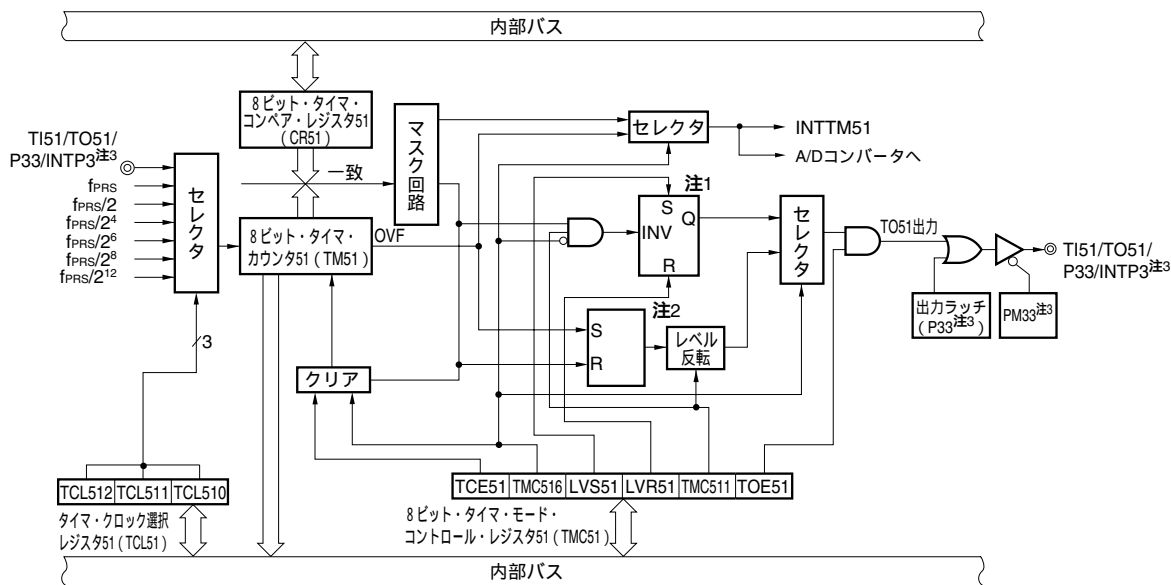


図7-2 8ビット・タイマ/イベント・カウンタ51のブロック図



注1. タイマ出力F/F

2. PWM出力F/F

78K0/KB2-A : TI50/TO50/RxD6/P11, 出力ラッチ (P11) , PM11 ,

TI51/TO51/TxD6/P10, 出力ラッチ (P10) , PM10

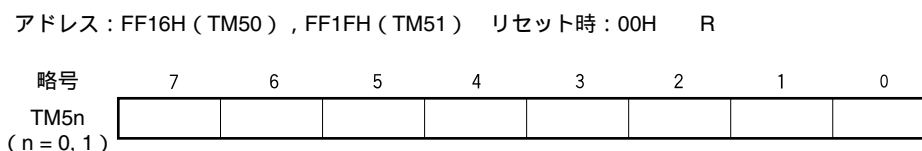
78K0/KC2-A : TI50/TO50/INTP2/P34, 出力ラッチ (P34) , PM34 ,

TI51/TO51/INTP3/P33, 出力ラッチ (P33) , PM33

(1) 8ビット・タイマ・カウンタ5n (TM5n)

TM5nは、カウント・パルスをカウントする8ビットのリード専用レジスタです。
 カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

図7-3 8ビット・タイマ・カウンタ5n (TM5n) のフォーマット



次の場合、カウント値は00Hになります。

- リセット信号の発生
- TCE5nをクリア
- TM5nとCR5nの一致でクリア&スタート・モード時のTM5nとCR5nの一致

(2) 8ビット・タイマ・コンペア・レジスタ5n (CR5n)

CR5nは、8ビット・メモリ操作でリード/ライト可能なレジスタです。

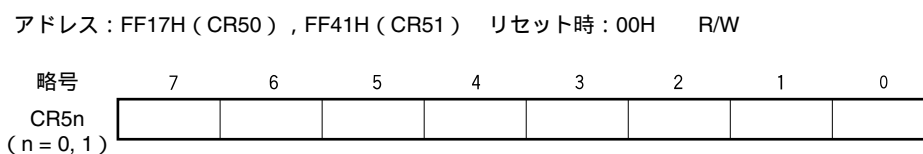
PWMモード以外ではCR5nに設定した値と、8ビット・タイマ・カウンタ5n (TM5n) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM5n) を発生します。

PWMモード時は、TM5nとCR5nの値の一致により、TO5n出力はインアクティブ・レベルになりますが、割り込みは発生しません。

CR5nの値は、00H-FFHの範囲で設定できます。

リセット信号の発生により、00Hになります。

図7-4 8ビット・タイマ・コンペア・レジスタ5n (CR5n) のフォーマット



注意1. TM5nとCR5nの一致でクリア&スタート・モード (TMC5n6 = 0) 時は、動作中にCR5nに異なる値を書き込まないでください。

2. PWMモード時は、CR5nの書き換え間隔をカウント・クロック (TCL5nで選択したクロック) の3カウント・クロック以上にしてください。

備考 n = 0, 1

7.3 8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ

8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタには、次の4種類があります。

- ・タイマ・クロック選択レジスタ5n (TCL5n)
- ・8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)
- ・ポート・モード・レジスタ1, 3 (PM1, PM3) ^注
- ・ポート・レジスタ1, 3 (P1, P3) ^注

注 製品により、8ビット・タイマ/イベント・カウンタ50, 51の入出力と兼用している端子が異なります。

- ・78K0/KB2-A：ポート1と兼用
- ・78K0/KC2-A：ポート3と兼用

(1) タイマ・クロック選択レジスタ5n (TCL5n)

8ビット・タイマ/イベント・カウンタ5nのカウンタ・クロックおよびTI5n端子入力の有効エッジを設定するレジスタです。

TCL5nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 n = 0, 1

図7-5 タイマ・クロック選択レジスタ50 (TCL50) のフォーマット

アドレス : FF6AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500

TCL502	TCL501	TCL500	カウント・クロックの選択 ^{注1}				
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz	
0	0	0	TI50端子の立ち下がりエッジ ^{注2}				
0	0	1	TI50端子の立ち上がりエッジ ^{注2}				
0	1	0	f _{PRS} ^{注3}	2 MHz	5 MHz	10 MHz	20 MHz ^{注4}
0	1	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz	10 MHz
1	0	0	f _{PRS} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
1	0	1	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
1	1	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	1	1	f _{PRS} /2 ¹³	0.24 kHz	0.61 kHz	1.22 kHz	2.44 kHz

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧により、使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック (f _{PRS}) の使用周波数範囲
2.7 V V _{DD} 5.5 V	f _{PRS} 20 MHz
1.8 V V _{DD} < 2.7 V	f _{PRS} 5 MHz

(上述の表は、f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、TI50端子からの外部クロックでタイマ動作を開始させないでください。
- 1.8 V V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、TCL502, TCL501, TCL500 = 0, 1, 0 (カウント・クロック : f_{PRS}) は設定禁止です。
- 4.0 V V_{DD} 5.5 Vの場合のみ設定可能です。

注意1. TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

図7-6 タイマ・クロック選択レジスタ51 (TCL51) のフォーマット

アドレス : FF8CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TCL51	0	0	0	0	0	TCL512	TCL511	TCL510

TCL512	TCL511	TCL510	カウント・クロックの選択 ^{注1}				
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz	
0	0	0	TI51端子の立ち下がりエッジ ^{注2}				
0	0	1	TI51端子の立ち上がりエッジ ^{注2}				
0	1	0	f _{PRS} ^{注3}	2 MHz	5 MHz	10 MHz	20 MHz ^{注4}
0	1	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz	10 MHz
1	0	0	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz
1	0	1	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
1	1	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	1	1	f _{PRS} /2 ¹²	0.49 kHz	1.22 kHz	2.44 kHz	4.88 kHz

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧により、使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック (f _{PRS}) の使用周波数範囲
2.7 V V _{DD} 5.5 V	f _{PRS} 20 MHz
1.8 V V _{DD} < 2.7 V	f _{PRS} 5 MHz

(上述の表は、f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、TI51端子からの外部クロックでタイマ動作を開始させないでください。
- 1.8 V V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、TCL512, TCL511, TCL510 = 0, 1, 0 (カウント・クロック : f_{PRS}) は設定禁止です。
- 4.0 V V_{DD} 5.5 Vの場合のみ設定可能です。

注意1. TCL51を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

- ビット3-7には必ず“0”を設定してください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(2) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)

TMC5nは、次の5種類の設定を行うレジスタです。

- 8ビット・タイマ・カウンタ5n (TM5n) のカウント動作制御
- 8ビット・タイマ・カウンタ5n (TM5n) の動作モードの選択
- タイマ出力F/F (フリップフロップ) の状態設定
- タイマF/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択
- タイマ出力の制御

TMC5nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生00Hになります。

備考 n = 0, 1

図7-7 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のフォーマット

アドレス: FF6BH リセット時: 00H R/W^注

略号	[7]	6	5	4	[3]	[2]	1	[0]
TMC50	TCE50	TMC506	0	0	LVS50	LVR50	TMC501	TOE50

TCE50	TM50のカウント動作制御
0	カウンタを0にクリア後、カウント動作禁止 (カウンタ停止)
1	カウント動作開始

TMC506	TM50の動作モード選択
0	TM50とCR50の一致でクリア & スタート・モード
1	PWM (フリー・ランニング) モード

LVS50	LVR50	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをクリア (0) (TO50出力初期値ロウ・レベル)
1	0	タイマ出力F/Fをセット (1) (TO50出力初期値ハイ・レベル)
1	1	設定禁止

TMC501	PWMモード以外 (TMC506 = 0)	PWMモード (TMC506 = 1)
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE50	タイマ出力の制御
0	出力禁止 (TO50出力はロウ・レベル出力)
1	出力許可

注 ビット2, 3はWrite Onlyです。

(注意と備考は次ページにあります。)

図7-8 8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のフォーマット

アドレス : FF43H リセット時 : 00H R/W^注

略号	[7]	6	5	4	[3]	[2]	1	[0]
TMC51	TCE51	TMC516	0	0	LVS51	LVR51	TMC511	TOE51
TCE51	TM51のカウンタ動作制御							
0	カウンタを0にクリア後, カウンタ動作禁止 (カウンタ停止)							
1	カウンタ動作開始							
TMC516	TM51の動作モード選択							
0	TM51とCR51の一致でクリア&スタート・モード							
1	PWM (フリー・ランニング) モード							
LVS51	LVR51	タイマ出力F/Fの状態設定						
0	0	変化しない						
0	1	タイマ出力F/Fをクリア (0) (TO51出力初期値ロウ・レベル)						
1	0	タイマ出力F/Fをセット (1) (TO51出力初期値ハイ・レベル)						
1	1	設定禁止						
TMC511	PWMモード以外 (TMC516 = 0)				PWMモード (TMC516 = 1)			
	タイマF/Fの制御				アクティブ・レベルの選択			
0	反転動作禁止				ハイ・アクティブ			
1	反転動作許可				ロウ・アクティブ			
TOE51	タイマ出力の制御							
0	出力禁止 (TO51出力はロウ・レベル出力)							
1	出力許可							

注 ビット2, 3はWrite Onlyです。

注意1. LVS5nとLVR5nの設定は, PWMモード時以外で有効になります。

2. 次の ~ の設定は同時に行わないでください。また設定は次の手順で行ってください。

TMC5n1, TMC5n6を設定 : 動作モードの設定

出力を許可する場合, TOE5nを設定 : タイマ出力許可

LVS5n, LVR5nを設定 (注意1) : タイマF/Fの設定

TCE5nを設定

3. TCE5n = 1のとき, TMC5nの他のビットを設定することは禁止です。

4. 実際の端子の出力は, TO5nのほかに, 78K0/KB2-AではPM10, PM11, P00, P01, 78K0/KC2-AではPM33, PM34, P33, P34によって決まります。

備考1. PWMモード時は, TCE5n = 0により, PWM出力はインアクティブ・レベルになります。

2. LVS5n, LVR5nは読み出すと, 0になっています。

3. TMC5n6, LVS5n, LVR5n, TMC5n1, TOE5nの各ビットの値は, TCE5nの値に関係なく TO5n出力に反映されます。

4. n = 0, 1

(3) ポート・モード・レジスタ1, 3 (PM1, PM3)

ポート1, 3の入力/出力を1ビット単位で設定するレジスタです。

PM1, PM3は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

・78K0/KB2-A

P11/TI50/TO50/RxD6, P10/TI51/TO51/TxD6端子をタイマ出力として使用するとき, PM11, PM10およびP11, P10の出力ラッチに0を設定してください。

P11/TO50/TI50/RxD6, P10/TO51/TI51/TxD6端子をタイマ入力として使用するとき, PM11, PM10に1を設定してください。このとき, P11, P10の出力ラッチは0または1のどちらでもかまいません。

図7-9 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス: FF21H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	1	1	1	1	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

・78K0/KC2-A

P34/TO50/TI50/INTP2, P33/TO51/TI51/INTP3端子をタイマ出力として使用するとき, PM34, PM33およびP34, P33の出力ラッチに0を設定してください。

P34/TO50/TI50/INTP2, P33/TO51/TI51/INTP3端子をタイマ入力として使用するとき, PM34, PM33に1を設定してください。このとき, P34, P33の出力ラッチは0または1のどちらでもかまいません。

図7-10 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス: FF23H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	PM35	PM34	PM33	PM32	PM31	1

PM3n	P1n端子の入出力モードの選択 (n = 1-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

7.4 8ビット・タイマ/イベント・カウンタ50, 51の動作

7.4.1 インターバル・タイマとしての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ5n (TM5n) のカウント値がCR5nに設定した値と一致したとき、TM5nの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM5n) を発生します。

タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) でTM5nのカウント・クロックを選択できます。

設定方法

各レジスタの設定を行います。

- ・ TCL5n : カウント・クロックの選択
- ・ CR5n : コンペア値
- ・ TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モードを選択
(TMC5n = 0000 x x x 0B x = don't care)

TCE5n = 1を設定すると、カウント動作を開始します。

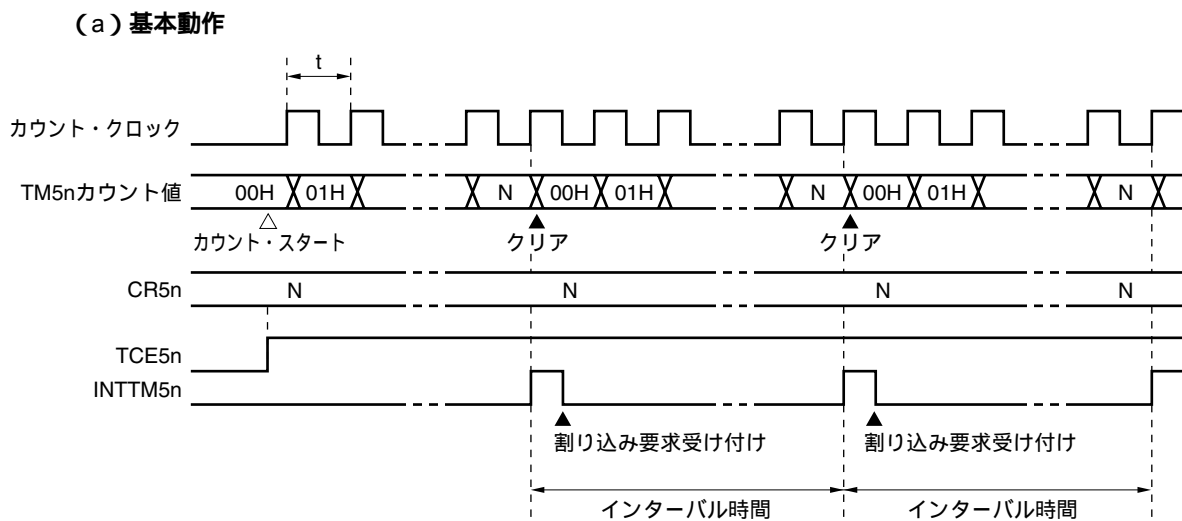
TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

以後、同一間隔でINTTM5nが繰り返し発生します。カウント動作を停止するときは、TCE5n = 0にしてください。

注意 動作中にCR5nに異なる値を書き込まないでください。

備考 INTTM5n信号の割り込み許可については、第18章 割り込み機能を参照してください。

図7-11 インターバル・タイマ動作のタイミング (1/2)



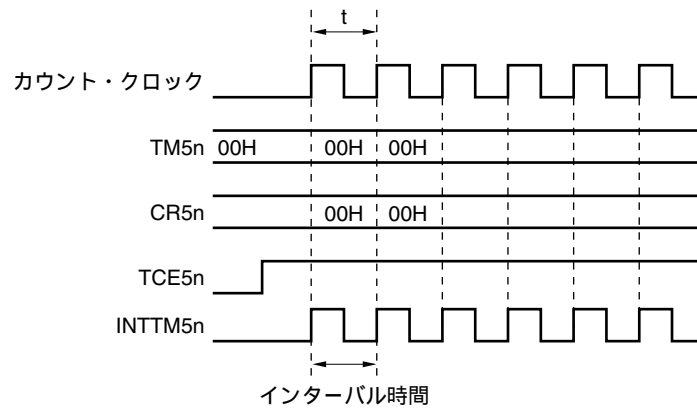
備考 インターバル時間 = (N + 1) × t

N = 01H-FFH

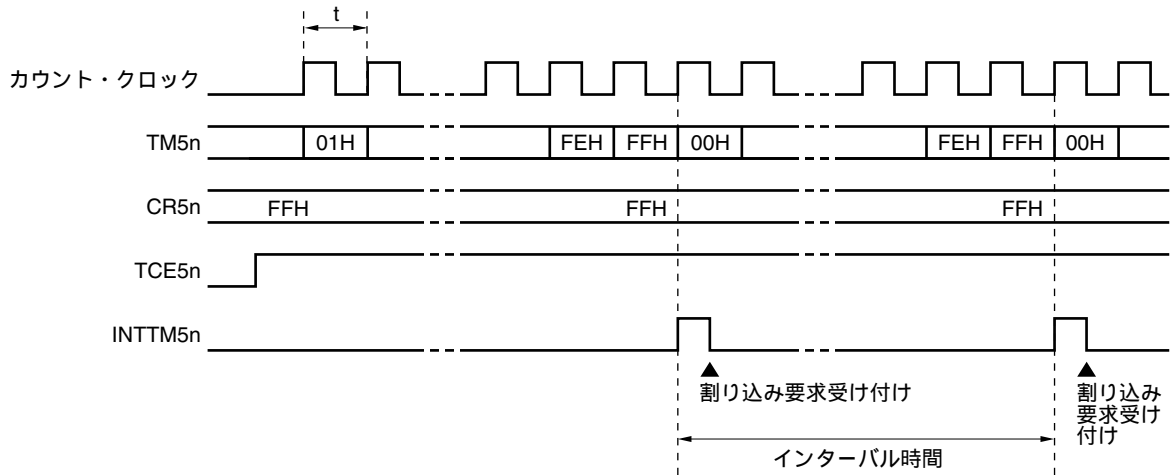
n = 0, 1

図7 - 11 インターバル・タイマ動作のタイミング (2/2)

(b) CR5n = 00Hの場合



(c) CR5n = FFHの場合



備考 n = 0, 1

7.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI5n端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ5n (TM5n) でカウントするものです。

タイマ・クロック選択レジスタ5n (TCL5n) で指定した有効エッジが入力されるたびに、TM5nがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM5nの計数値が8ビット・タイマ・コンペア・レジスタ5n (CR5n) の値と一致すると、TM5nは0にクリアされ、割り込み要求信号 (INTTM5n) が発生します。

以後、TM5nの値とCR5nの値が一致するたびに、INTTM5nが発生します。

設定方法

各レジスタの設定を行います。

- ・ポート・モード・レジスタ (PM11, PM10, PM34, PM33) ^注に “ 1 ” を設定
- ・TCL5n : TI5n端子入力のエッジ選択
TI5n端子の立ち下がり TCL5n = 00H
TI5n端子の立ち上がり TCL5n = 01H
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モード選択, タイマF/F反転動作禁止, タイマ出力禁止
(TMC5n = 00000000B)

TCE5n = 1を設定すると、TI5n端子から入力されるパルス数をカウントします。

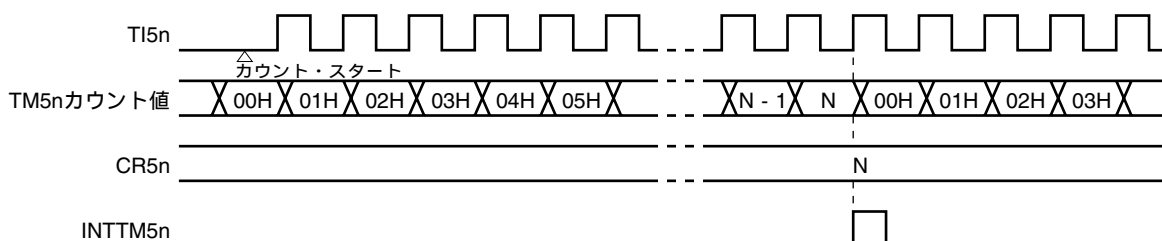
TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

以後、TM5nとCR5nの値が一致するたびに、INTTM5nが発生します。

- 注** 8ビット・タイマ/イベント・カウンタ50 : PM11 (78K0/KB2-Aの場合)
PM34 (78K0/KC2-Aの場合)
- 8ビット・タイマ/イベント・カウンタ51 : PM10 (78K0/KB2-Aの場合)
PM33 (78K0/KC2-Aの場合)

備考 INTTM5n信号の割り込み許可については、第18章 割り込み機能を参照してください。

図7 - 12 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考 N = 00H-FFH

n = 0, 1

7.4.3 方形波出力としての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定した値で決まるインターバルの、任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット0 (TOE5n) に1を設定することにより、CR5nにあらかじめ設定したカウント値で決まるインターバルでTO5nの出力状態が反転します。これにより、任意の周波数の方形波出力 (デューティ= 50 %) が可能です。

設定方法

各レジスタの設定を行います。

- ・ポートの出力ラッチ (P10, P11, P33, P34)^注, ポート・モード・レジスタ (PM10, PM11, PM33, PM34)^注に“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モードを選択

LVS5n	LVR5n	タイマ出力F/Fの状態設定
0	1	タイマ出力F/Fをクリア(0) (TO5n出力初期値ロウ・レベル)
1	0	タイマ出力F/Fをセット(1) (TO5n出力初期値ハイ・レベル)

タイマ出力許可

(TMC5n = 00001011Bまたは00000111B)

TCE5n = 1を設定すると、カウント動作を開始します。

TM5nとCR5nの値が一致すると、タイマ出力F/Fが反転します。

また、INTTM5nが発生し、TM5nは00Hにクリアされます。

以後、同一間隔でタイマ出力F/Fが反転し、TO5nから方形波が出力されます。

周波数は次のようになります。

- ・周波数 = $1/2t(N+1)$
(N : 00H-FFH)

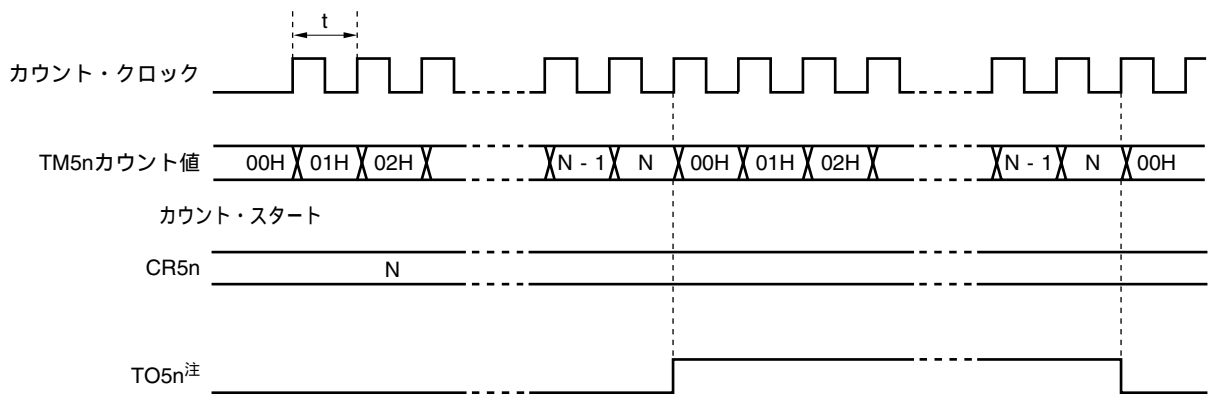
- 注** 8ビット・タイマ/イベント・カウンタ50 : P11, PM11 (78K0/KB2-Aの場合)
P34, PM34 (78K0/KC2-Aの場合)
- 8ビット・タイマ/イベント・カウンタ51 : P10, PM10 (78K0/KB2-Aの場合)
P33, PM33 (78K0/KC2-Aの場合)

注意 動作中にCR5nに異なる値を書き込まないでください。

備考1. INTTM5n信号の割り込み許可については、第18章 割り込み機能を参照してください。

2. n = 0, 1

図7 - 13 方形波出力動作のタイミング



注 TO5n出力の初期値は、8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット2, 3 (LVR5n, LVS5n) で設定できます。

7.4.4 PWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット6 (TMC5n6) を“1” に設定することにより、PWM出力として動作します。

8ビット・タイマ・コンペア・レジスタ5n (CR5n) に設定した値で決まるデューティのパルスを、TO5nから出力します。

PWMパルスのアクティブ・レベルの幅は、CR5nに設定してください。また、アクティブ・レベルは、TMC5nのビット1 (TMC5n1) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) で選択できます。

TMC5nのビット0 (TOE5n) により、PWM出力の許可/禁止が選択できます。

注意 PWMモード時は、CR5nの書き換え間隔をカウント・クロック (TCL5nで選択したクロック) の3カウント・クロック以上にしてください。

備考 n = 0, 1

(1) PWM出力の基本動作

設定方法

各レジスタの設定を行います。

- ・ポートの出カラッチ (P10, P11, P33, P34)[※], ポート・モード・レジスタ (PM10, PM11, PM33, PM34)[※]に“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, PWMモード選択, タイマ出力F/F変化なし

TMC5n1	アクティブ・レベルの選択
0	ハイ・アクティブ
1	ロウ・アクティブ

タイマ出力許可

(TMC5n = 01000001Bまたは01000011B)

TCE5n = 1に設定すると, カウント動作を開始します。

カウント動作を停止するときは, TCE5nに“0”を設定してください。

- 注** 8ビット・タイマ/イベント・カウンタ50 : P11, PM11 (78K0/KB2-Aの場合)
P34, PM34 (78K0/KC2-Aの場合)
- 8ビット・タイマ/イベント・カウンタ51 : P10, PM10 (78K0/KB2-Aの場合)
P33, PM33 (78K0/KC2-Aの場合)

PWM出力の動作

PWM出力 (TO5n出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると, アクティブ・レベルを出力します。アクティブ・レベルは, CR5nと8ビット・タイマ・カウンタ5n (TM5n) のカウント値が一致するまで出力されます。

CR5nとカウント値が一致すると, インアクティブ・レベルを出力し, 再度オーバフローが発生するまでインアクティブ・レベルを出力します。

以後, カウント動作が停止されるまで, を繰り返します。

TCE5n = 0によりカウント動作を停止すると, PWM出力はインアクティブ・レベルになります。

詳細なタイミングについては, 図7-14, 7-15を参照してください。

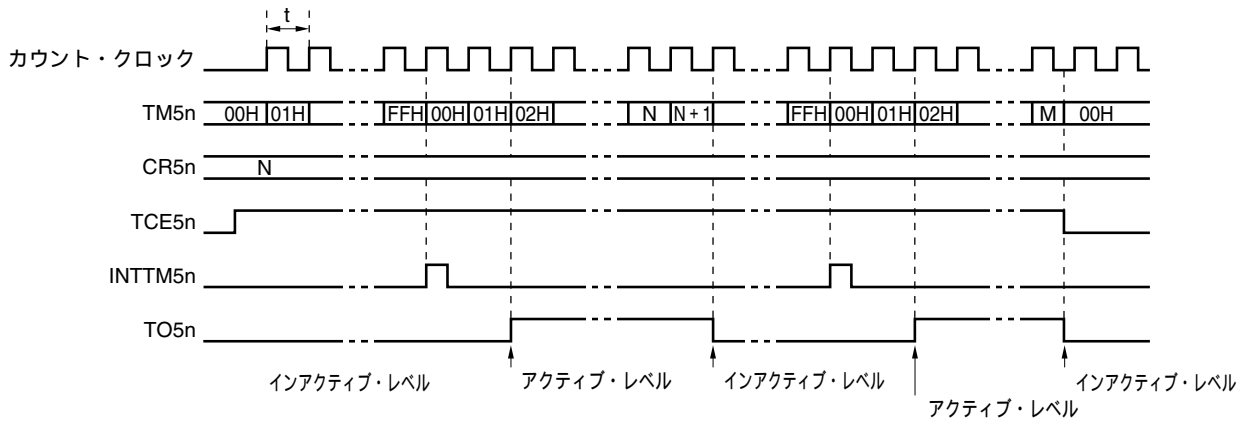
周期, アクティブ・レベル幅, デューティは次のようになります。

- ・周期 = $2^8 t$
 - ・アクティブ・レベル幅 = Nt
 - ・デューティ = $N/2^8$
- (N = 00H-FFH)

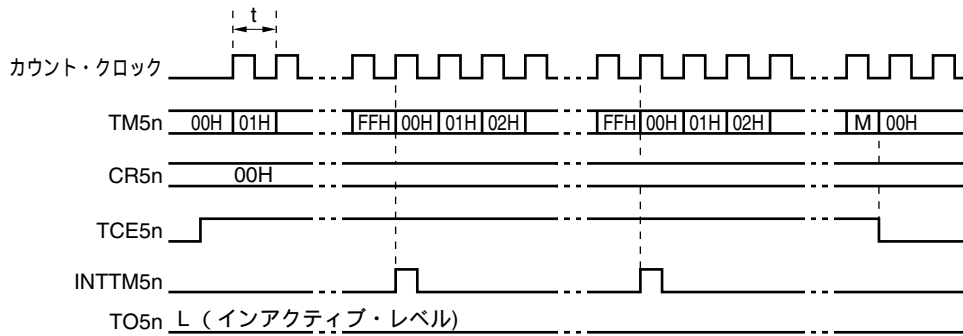
備考 n = 0, 1

図7 - 14 PWM出力動作のタイミング

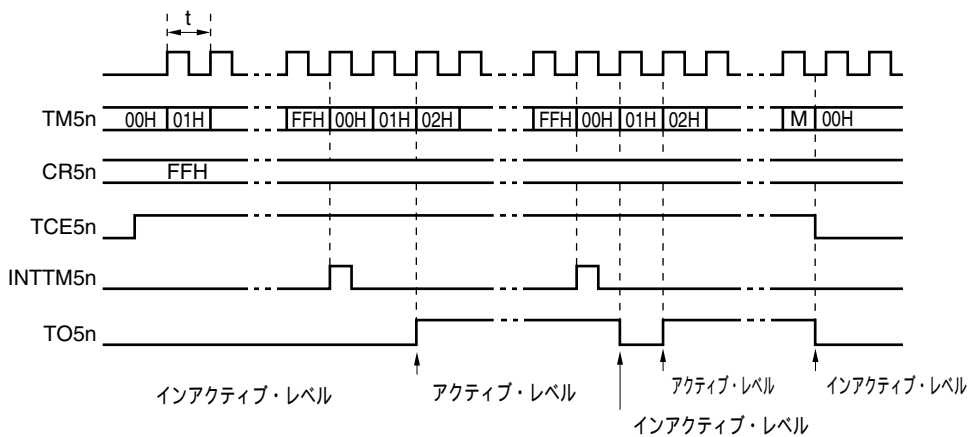
(a) 基本動作 (アクティブ・レベル = Hのとき)



(b) CR5n = 00Hの場合



(c) CR5n = FFHの場合



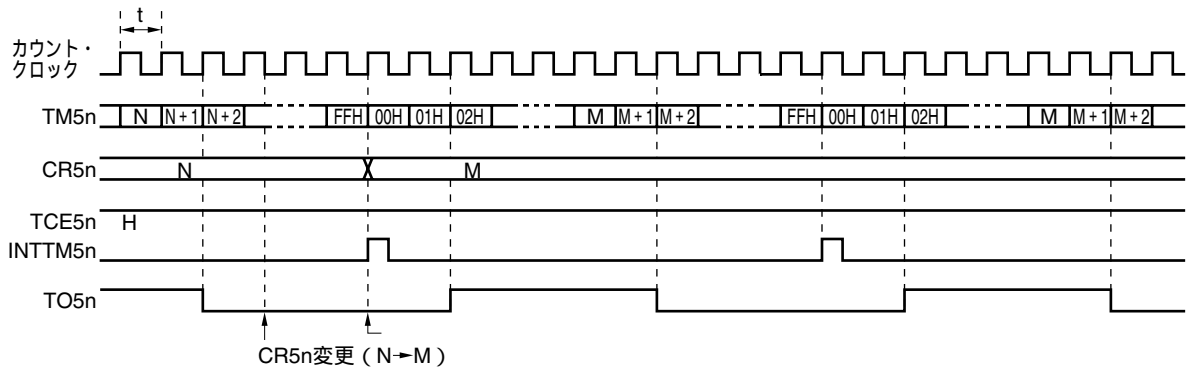
備考1. 図7 - 14(a)と(c)の - , は、7.4.4(1) PWM出力の基本動作 PWM出力の動作 の - , と対応しています。

2. n = 0, 1

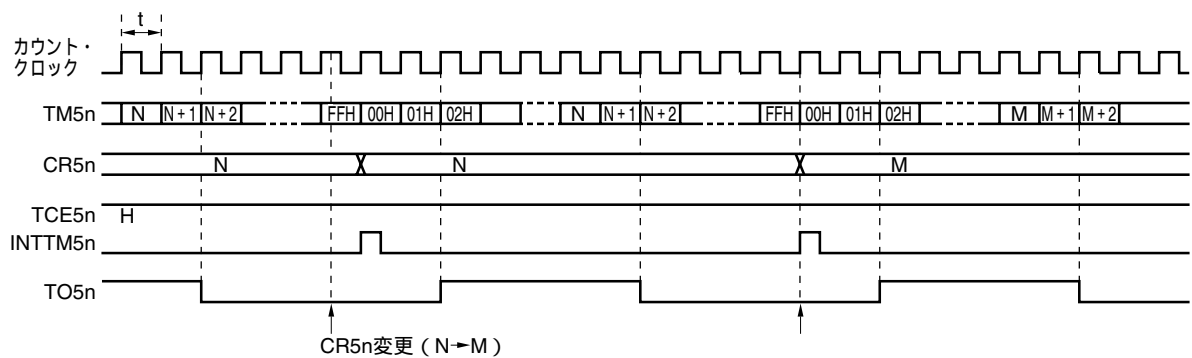
(2) CR5n変更による動作

図7 - 15 CR5n変更による動作のタイミング

(a) CR5nの値をFFHのクロック立ち上がりエッジよりも手前にN Mに変更した場合
直後のオーバーフローでCR5nに値が転送されます



(b) CR5nの値をFFHのクロック立ち上がりエッジよりも後にN Mに変更した場合
2回目のオーバーフローでCR5nに値が転送されます



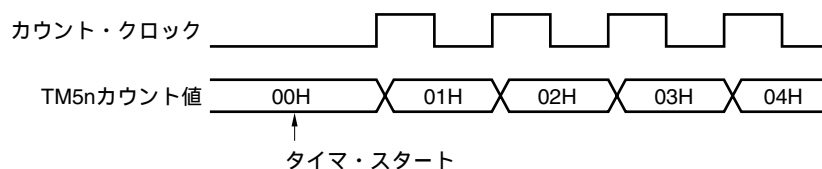
注意 図7 - 15の から の間でCR5nからリードする場合、実際に動作する値と異なります(リード値: M, 実際のCR5nの値: N)。

7.5 8ビット・タイマ/イベント・カウンタ50, 51の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・クロックに対して8ビット・タイマ・カウンタ50, 51 (TM50, TM51) が非同期でスタートするためです。

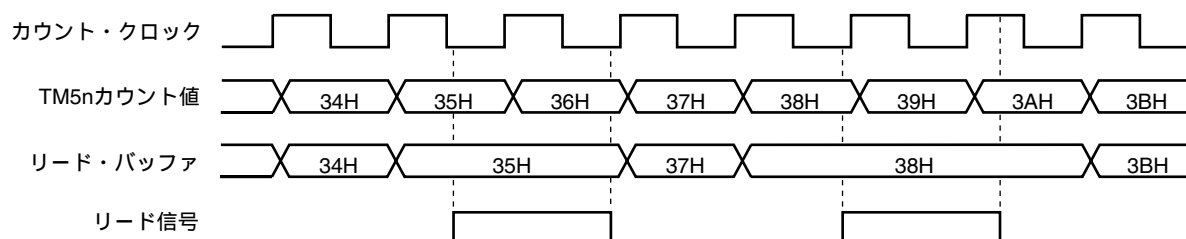
図7-16 8ビット・タイマ・カウンタ5n (TM5n) のスタート・タイミング



(2) 8ビット・タイマ・カウンタ5n (TM5n) のリードについて

TM5nは、バッファに取り込まれたカウント値を固定してリードするため、実際のカウンタを停止せずにリードすることができます。ただし、バッファはカウンタのカウント・アップのタイミングで更新されるため、カウント・アップの直前にリードした場合、バッファが更新されない場合があります。

図7-17 8ビット・タイマ・カウンタ5n (TM5n) のリード・タイミング



備考 n = 0, 1

第8章 8ビット・タイマH0, H1

8.1 8ビット・タイマH0, H1の機能

8ビット・タイマH0, H1は、78K0/Kx2-Aマイクロコントローラの全製品に搭載されています。

8ビット・タイマH0, H1には、次のような機能があります。

- ・インターバル・タイマ
- ・方形波出力
- ・PWM出力
- ・キャリア・ジェネレータ (8ビット・タイマH1のみ)

8.2 8ビット・タイマH0, H1の構成

8ビット・タイマH0, H1は、次のハードウェアで構成されています。

表8 - 1 8ビット・タイマH0, H1の構成

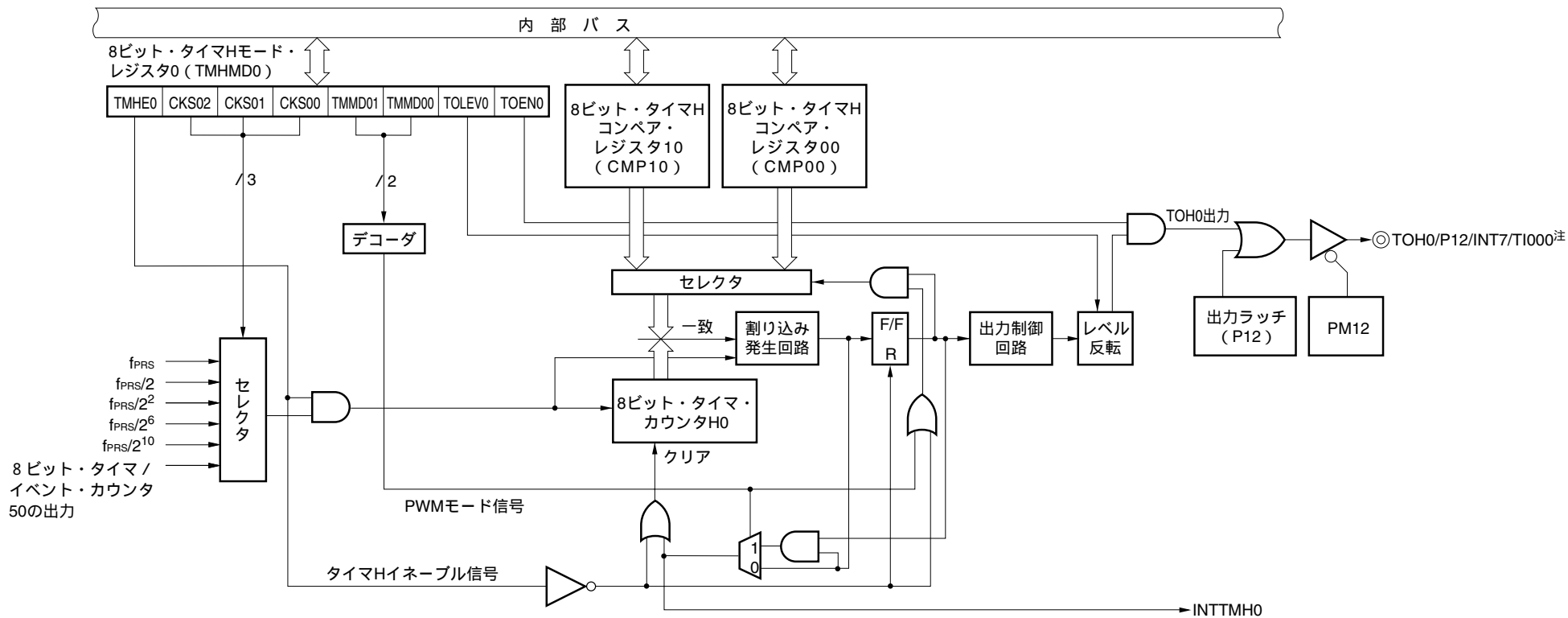
項目	構成
タイマ・レジスタ	8ビット・タイマ・カウンタHn
レジスタ	8ビット・タイマHコンペア・レジスタ0n (CMP0n) 8ビット・タイマHコンペア・レジスタ1n (CMP1n)
タイマ出力	TOHn, 出力制御回路
制御レジスタ	8ビット・タイマHモード・レジスタn (TMHMDn) 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) 注 ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

注 8ビット・タイマH1のみ。

備考 n = 0, 1

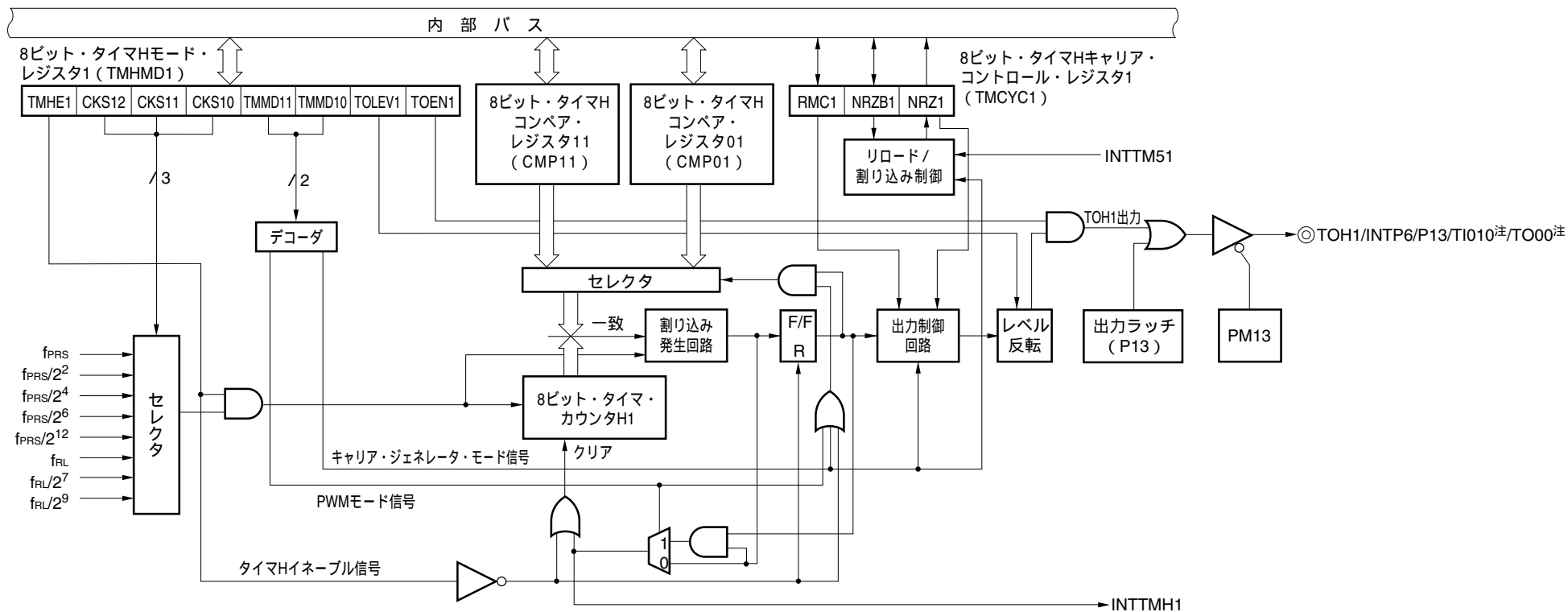
図8 - 1と図8 - 2にブロック図を示します。

図8-1 8ビット・タイマH0のブロック図



注 μ PD78F0590, 78F0591 (30ピン製品) のみ。

図8-2 8ビット・タイマH1のブロック図



注 78K0/KB2-Aのみ

(1) 8ビット・タイマHコンペア・レジスタ0n (CMP0n)

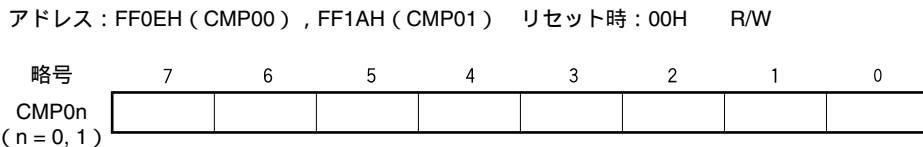
8ビット・メモリ操作命令でリード/ライト可能なレジスタです。すべてのタイマ動作モードで使用します。

CMP0nに設定した値と8ビット・タイマ・カウンタHnのカウント値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMHn) を発生し、TOHnの出力レベルを反転させます。

CMP0nは、タイマ停止中 (TMHEn = 0) に書き換えを行ってください。

リセット信号の発生により、00Hになります。

図8-3 8ビット・タイマHコンペア・レジスタ0n (CMP0n) のフォーマット



注意 CMP0nは、タイマ・カウント動作中に値を書き換えしないでください。ただし、タイマ・カウント動作中にリフレッシュ (同値書き込み) することは可能です。

(2) 8ビット・タイマHコンペア・レジスタ1n (CMP1n)

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。PWM出力モードとキャリア・ジェネレータ・モードで使用します。

PWM出力モードでは、CMP1nに設定した値と、8ビット・タイマ・カウンタHnのカウント値を常に比較し、その2つの値が一致したときに、TOHnの出力レベルを反転させます。割り込み要求信号は発生されません。

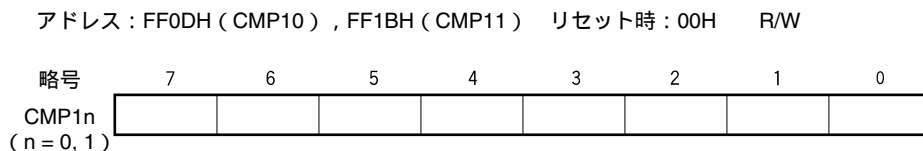
キャリア・ジェネレータ・モードでは、CMP1nに設定した値と、8ビット・タイマ・カウンタHnのカウント値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMHn) を発生します。同じタイミングで、カウント値はクリアされます。

CMP1nは、タイマ・カウント動作中にリフレッシュ (同値書き込み) および値の書き換えが可能です。

タイマ動作中にCMP1nの値を書き換える場合、その値はラッチされ、カウント値と変更前のCMP1nの値が一致するタイミングでCMP1nに転送され、CMP1nの値が変更されます。カウント値とCMP1n値の一致するタイミングとCMP1nへの値の書き込みが競合した場合、CMP1n値は変更されません。

リセット信号の発生により、00Hになります。

図8-4 8ビット・タイマHコンペア・レジスタ1n (CMP1n) のフォーマット



注意 PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止 (TMHEn = 0) 設定後、タイマ・カウント動作を開始する (TMHEn = 1) 場合、必ずCMP1nを設定してください (CMP1nへの設定値が同値の場合でも、必ず再設定してください)。

備考 n = 0, 1

8.3 8ビット・タイマH0, H1を制御するレジスタ

8ビット・タイマH0, H1を制御するレジスタには、次の4種類があります。

- ・8ビット・タイマHモード・レジスタ n (TMHMD n)
- ・8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1)^注
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

注 8ビット・タイマH1のみ。

(1) 8ビット・タイマHモード・レジスタ n (TMHMD n)

タイマHのモードを制御するレジスタです。

TMHMD n は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 $n = 0, 1$

図8-5 8ビット・タイマHモード・レジスタ0 (TMHMD0) のフォーマット

アドレス : FF69H リセット時 : 00H R/W

略号	[7]	6	5	4	3	2	[1]	[0]
TMHMD0	TMHE0	CKS02	CKS01	CKS00	TMMD01	TMMD00	TOLEV0	TOEN0

TMHE0	タイマ動作許可
0	タイマ・カウント動作停止 (カウンタは0にクリア)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKS02	CKS01	CKS00	カウント・クロックの選択 ^{注1}				
			fPRS = 2 MHz	fPRS = 5 MHz	fPRS = 10 MHz	fPRS = 20 MHz	
0	0	0	fPRS ^{注2}	2 MHz	5 MHz	10 MHz	20 MHz ^{注3}
0	0	1	fPRS/2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	1	0	fPRS/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	1	1	fPRS/2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
1	0	0	fPRS/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.54 kHz
1	0	1	TM50の出力 ^{注4}				
上記以外			設定禁止				

TMMD01	TMMD00	タイマ動作モード
0	0	インターバル・タイマ・モード
1	0	PWM出力モード
上記以外		設定禁止

TOLEV0	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN0	タイマ出力制御
0	出力禁止
1	出力許可

注1. 周辺ハードウェア・クロック (fPRS) は、電源電圧により、使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック (fPRS) の使用周波数範囲
2.7 V VDD 5.5 V	fPRS 20 MHz
1.8 V VDD < 2.7 V	fPRS 5 MHz

(上述の表は、fPRS = fXH (XSEL = 1) の場合です)

- 注2.** 1.8 V $V_{DD} < 2.7$ Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している ($XSEL = 0$) 場合、 $CKS02 = CKS01 = CKS00 = 0$ (カウント・クロック : f_{PRS}) は設定禁止です。
3. 4.0 V $V_{DD} \leq 5.5$ Vの場合のみ設定可能です。
4. TM50の出力をカウント・クロックとして選択する場合、次の内容に注意してください。
- ・ TM50とCR50の一致でクリア&スタート・モード ($TMC506 = 0$)
タイマF/Fの反転動作を許可 ($TMC501 = 1$) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
 - ・ PWMモード ($TMC506 = 1$)
デューティ 50 %のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
- どちらのモードの場合でも、TO50出力を許可 ($TOE50 = 1$) する必要はありません。

- 注意1.** $TMHE0 = 1$ のとき、 $TMHMD0$ の他のビットを設定することは禁止です。ただし、リフレッシュ (同値書き込み) することは可能です。
2. PWM出力モードでは、タイマ・カウント動作停止 ($TMHE0 = 0$) 設定後、タイマ・カウント動作を開始する ($TMHE0 = 1$) 場合、必ず8ビット・タイマHコンペア・レジスタ10 ($CMP10$) を設定してください ($CMP10$ への設定値が同値の場合でも、必ず再設定してください)。
3. 実際のP12/INTP7/TOH0/TI000[※]端子の出力は、TOH0出力のほかにPM12とP12によって決まります。

注 78K0/KB2-Aの場合のみ

- 備考1.** f_{PRS} : 周辺ハードウェア・クロック周波数
2. $TMC506$: 8ビット・タイマ・モード・コントロール・レジスタ50 ($TMC50$) のビット6
3. $TMC501$: $TMC50$ のビット1

図8-6 8ビット・タイマHモード・レジスタ1 (TMHMD1) のフォーマット

アドレス : FF6CH リセット時 : 00H R/W

略号	[7]	6	5	4	3	2	[1]	[0]
TMHMD1	TMHE1	CKS12	CKS11	CKS10	TMMD11	TMMD10	TOLEV1	TOEN1

TMHE1	タイマ動作許可
0	タイマ・カウント動作停止 (カウンタは0にクリア)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKS12	CKS11	CKS10	カウント・クロックの選択 ^{注1}				
			fPRS = 2 MHz	fPRS = 5 MHz	fPRS = 10 MHz	fPRS = 20 MHz	
0	0	0	fPRS ^{注2}	2 MHz	5 MHz	10 MHz	20 MHz ^{注3}
0	0	1	fPRS/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	1	0	fPRS/2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	1	fPRS/2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
1	0	0	fPRS/2 ¹²	0.49 kHz	1.22 kHz	2.44 kHz	4.88 kHz
1	0	1	fRL/2 ⁷	1.88 kHz (TYP.)			
1	1	0	fRL/2 ⁹	0.47 kHz (TYP.)			
1	1	1	fRL	240 kHz (TYP.)			

TMMD11	TMMD10	タイマ動作モード
0	0	インターバル・タイマ・モード
0	1	キャリア・ジェネレータ・モード
1	0	PWM出力モード
1	1	設定禁止

TOLEV1	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN1	タイマ出力制御
0	出力禁止
1	出力許可

注1. 周辺ハードウェア・クロック (fPRS) は、電源電圧により、使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック (fPRS) の使用周波数範囲
2.7 V VDD 5.5 V	fPRS 20 MHz
1.8 V VDD < 2.7 V	fPRS 5 MHz

(上述の表は、fPRS = fXH (XSEL = 1) の場合です)

- 1.8 V VDD < 2.7 Vで、周辺ハードウェア・クロック (fPRS) が高速内蔵発振クロック (fRH) で動作している (XSEL = 0) 場合、CKS12 = CKS11 = CKS10 = 0 (カウント・クロック : fPRS) は設定禁止です。
- 4.0 V VDD 5.5 Vの場合のみ設定可能です。

- 注意1. TMHE1 = 1のとき, TMHMD1の他のビットを設定することは禁止です。ただし, リフレッシュ (同値書き込み) することは可能です。
2. PWM出力モードおよびキャリア・ジェネレータ・モードでは, タイマ・カウント動作停止 (TMHE1 = 0) 設定後, タイマ・カウント動作を開始する (TMHE1 = 1) 場合, 必ず8ビット・タイマHコンペア・レジスタ11 (CMP11) を設定してください (CMP11への設定値が同値の場合でも, 必ず再設定してください)。
 3. キャリア・ジェネレータ・モードを使用する場合, TMH1のカウント・クロック周波数をTM51のカウント・クロック周波数の6倍以上になるように設定してください。
 4. 実際のP13/TOH1/INTP6/TI010[※]/TO00[※]端子の出力は, TOH1出力のほかにPM13とP13によって決まります。

注 78K0/KB2-Aの場合のみ

- 備考1. fPRS : 周辺ハードウェア・クロック周波数
 2. fRL : 低速内蔵発振クロック周波数

(2) 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1)

8ビット・タイマH1のリモコン出力およびキャリア・パルス出力の状態を制御するレジスタです。TMCYC1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により, 00Hになります。

図8 - 7 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) のフォーマット

アドレス: FF6DH リセット時: 00H R/W[※]

略号	7	6	5	4	3	2	1	0
TMCYC1	0	0	0	0	0	RMC1	NRZB1	NRZ1

RMC1	NRZB1	リモコン出力
0	0	ロウ・レベル出力
0	1	INTTM51信号入力の立ち上がりエッジでハイ・レベル出力
1	0	ロウ・レベル出力
1	1	INTTM51信号入力の立ち上がりエッジでキャリア・パルス出力

NRZ1	キャリア・パルス出力状態フラグ
0	キャリア出力禁止状態 (ロウ・レベル状態)
1	キャリア出力許可状態 (RMC1 = 1 : キャリア・パルス出力, RMC1 = 0 : ハイ・レベル状態)

注 ビット0はRead Onlyです。

注意 TMHE1 = 1のとき, RMC1を書き換えしないでください。ただし, TMCYC1にリフレッシュ (同値書き込み) することは可能です。

(3) ポート・モード・レジスタ1 (PM1)

ポート1の入力/出力を1ビット単位で設定するレジスタです。

P12/TOH0/INTP7/TI000[※], P13/TOH1/INTP6/TI010[※]/TO00[※]端子をタイマ出力として使用するとき, PM12, PM13およびP12, P13の出力ラッチに0を設定してください。

PM1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

注 78K0/KB2-Aのみ

図8 - 8 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	1	1	1	1	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

8.4 8ビット・タイマH0, H1の動作

8.4.1 インターバル・タイマ/方形波出力としての動作

8ビット・タイマ・カウンタHnとコンペア・レジスタ0n (CMP0n) が一致した場合、割り込み要求信号 (INTTMHn) が発生し、8ビット・タイマ・カウンタHnを00Hにクリアします。

インターバル・タイマ・モードでコンペア・レジスタ1n (CMP1n) は使用しません。CMP1nレジスタを設定しても、8ビット・タイマ・カウンタHnとCMP1nレジスタの一致検出をしないため、タイマ出力に影響しません。

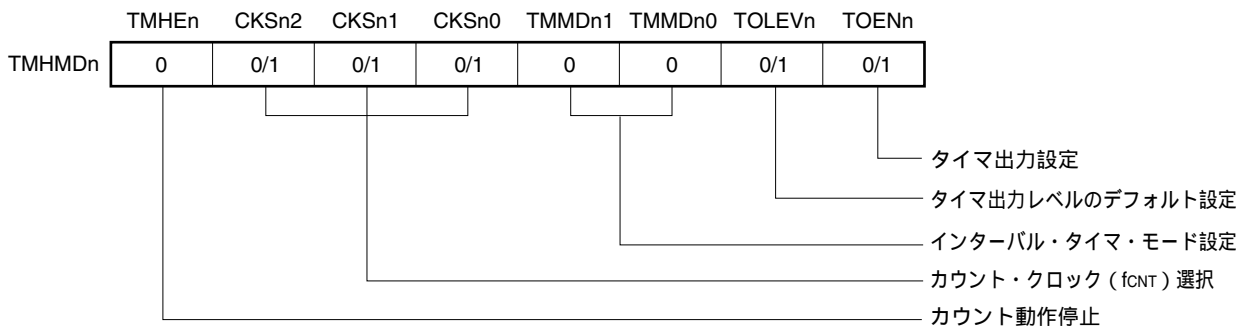
また、タイマHモード・レジスタn (TMHMDn) のビット0 (TOENn) に1を設定することにより、TOHnより任意の周波数の方形波出力 (デューティ= 50 %) が出力されます。

設定方法

各レジスタの設定を行います。

図8-9 インターバル・タイマ/方形波出力動作時のレジスタの設定

(i) タイマHモード・レジスタn (TMHMDn) の設定



(ii) CMP0nレジスタの設定

コンペア値にNを設定した場合、インターバル時間は次のようになります。

$$\cdot \text{インターバル時間} = (N + 1) / f_{CNT}$$

TMHEn = 1によりカウント動作を開始します。

8ビット・タイマ・カウンタHnとCMP0nレジスタの値が一致すると、INTTMHn信号が発生し、8ビット・タイマ・カウンタHnは00Hにクリアされます。

以後、同一間隔でINTTMHn信号が発生します。カウント動作を停止するときは、TMHEn = 0にします。

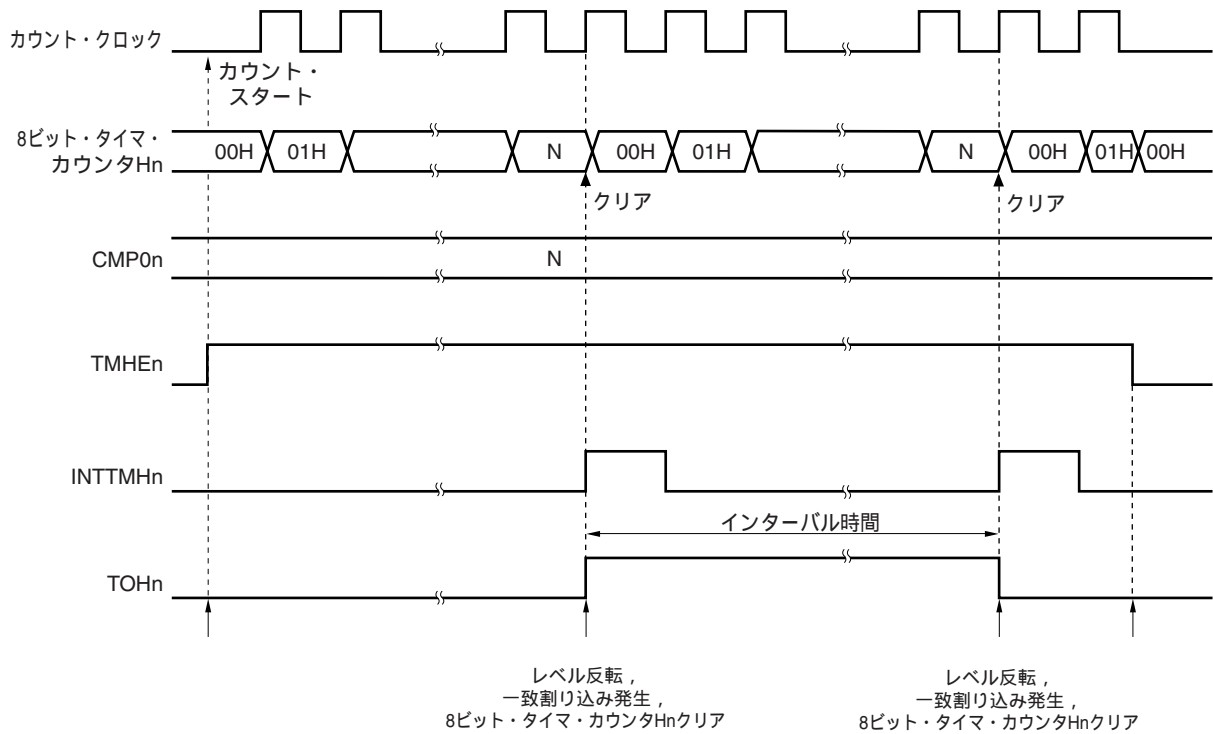
備考1. 出力端子の設定については8.3(3) **ポート・モード・レジスタ1 (PM1)** を参照してください。

2. INTTMHn信号の割り込み許可については、**第18章 割り込み機能**を参照してください。

3. n = 0, 1

図8 - 10 インターバル・タイマ / 方形波出力動作のタイミング (1/2)

(a) 基本動作 (01H CMP0n FEH時の動作)



TMHEnビットを0から1にすることにより、カウント動作許可状態になります。カウント・クロックは、動作許可後、最大1クロック遅れてスタートします。

8ビット・タイマ・カウンタHnの値とCMP0nレジスタの値が一致すると、8ビット・タイマ・カウンタHnの値をクリアし、TOHn出力のレベルが反転します。またカウント・クロックの立ち上がりタイミングでINTTMHn信号を出力します。

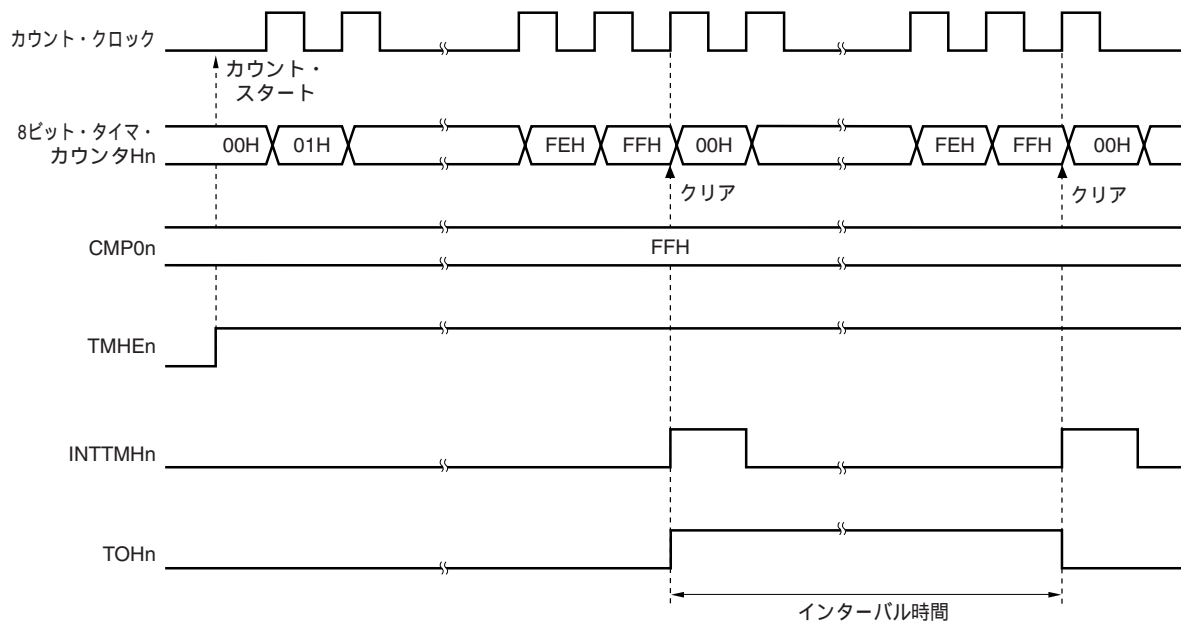
タイマH動作中にTMHEnビットを0にすると、INTTMHn信号およびTOHn出力はデフォルト状態になります。TMHEnビットを0にする前から、デフォルトと同じ状態の場合はレベルを保持します。

備考 n = 0, 1

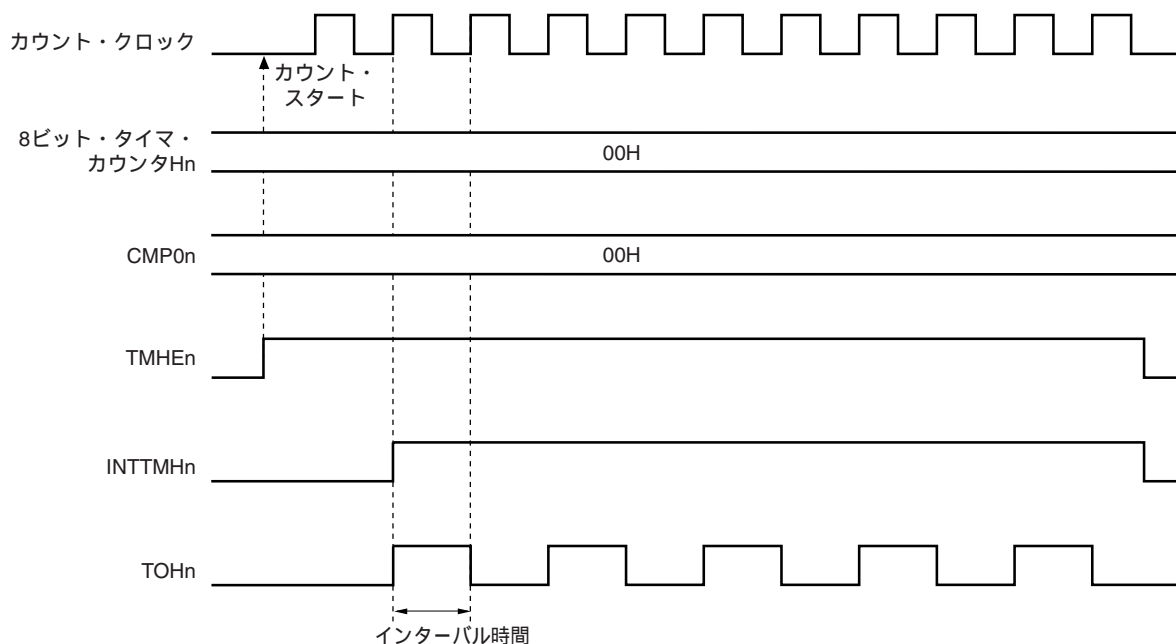
01H N FEH

図8 - 10 インターバル・タイマ / 方形波出力動作のタイミング (2/2)

(b) CMP0n = FFH時の動作



(c) CMP0n = 00H時の動作



備考 n = 0, 1

8.4.2 PWM出力としての動作

PWM出力モードでは、任意のデューティおよび周期が可能なパルスを出力できます。

8ビット・タイマ・コンペア・レジスタ0n (CMP0n) はタイマ出力 (TOHn) の周期を制御します。タイマ動作中のCMP0nレジスタに対する書き換えは禁止です。

8ビット・タイマ・コンペア・レジスタ1n (CMP1n) はタイマ出力 (TOHn) のデューティを制御するレジスタです。タイマ動作中のCMP1nレジスタに対する書き換えが可能です。

PWM出力モードでの動作は次のようになります。

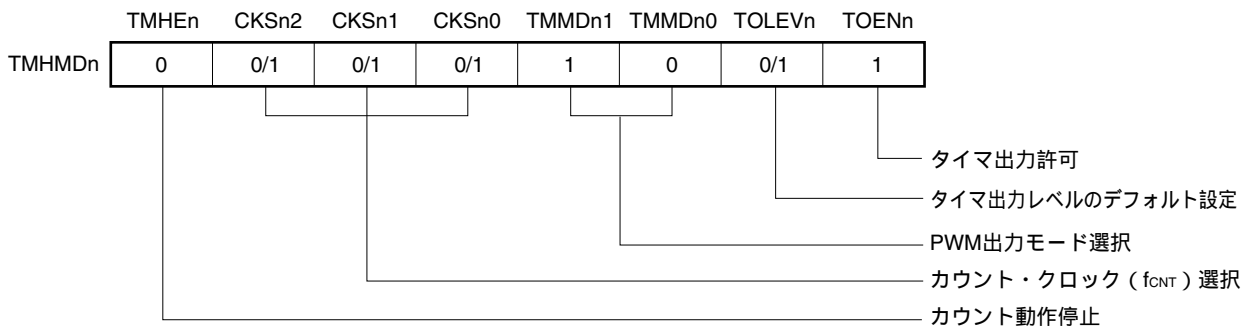
タイマ・カウント・スタート後、8ビット・タイマ・カウンタHnとCMP0nレジスタが一致すると、PWM出力 (TOHn出力) はアクティブ・レベルを出力し、8ビット・タイマ・カウンタHnは0にクリアされます。また8ビット・タイマ・カウンタHnとCMP1nレジスタが一致すると、PWM出力 (TOHn出力) はインアクティブ・レベルを出力します。

設定方法

各レジスタの設定を行います。

図8 - 11 PWM出力モード時のレジスタの設定

(i) タイマHモード・レジスタn (TMHMDn) の設定



(ii) CMP0nレジスタの設定

- ・コンペア値 (N) : 周期の設定

(iii) CMP1nレジスタの設定

- ・コンペア値 (M) : デューティの設定

備考1 . n = 0, 1

$$2.00H \quad CMP1n(M) < CMP0n(N) \quad FFH$$

TMHEn = 1によりカウント動作を開始します。

カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMP0nレジスタです。8ビット・タイマ・カウンタHnとCMP0nレジスタの値が一致すると、8ビット・タイマ・カウンタHnはクリアされ、割り込み要求信号 (INTTMHn) が発生し、アクティブ・レベルを出力します。同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMP0nレジスタからCMP1nレジスタへ切り替えます。

8ビット・タイマ・カウンタHnとCMP1nレジスタが一致すると、インアクティブ・レベルを出力します。同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMP1nレジスタからCMP0nレジスタへ切り替えます。このとき8ビット・タイマ・カウンタHnはクリアされず、INTTMHn信号も発生しません。

以上 と を繰り返し、任意のデューティのパルスを得ることができます。

カウント動作を停止するときは、TMHEn = 0にします。

CMP0nレジスタの設定値を (N)、CMP1nレジスタを (M)、カウント・クロックの周波数を f_{CNT} とすると、PWMパルス出力周期およびデューティは次のとおりになります。

- ・PWMパルス出力周期 = $(N + 1) / f_{CNT}$

- ・デューティ = $(M + 1) / (N + 1)$

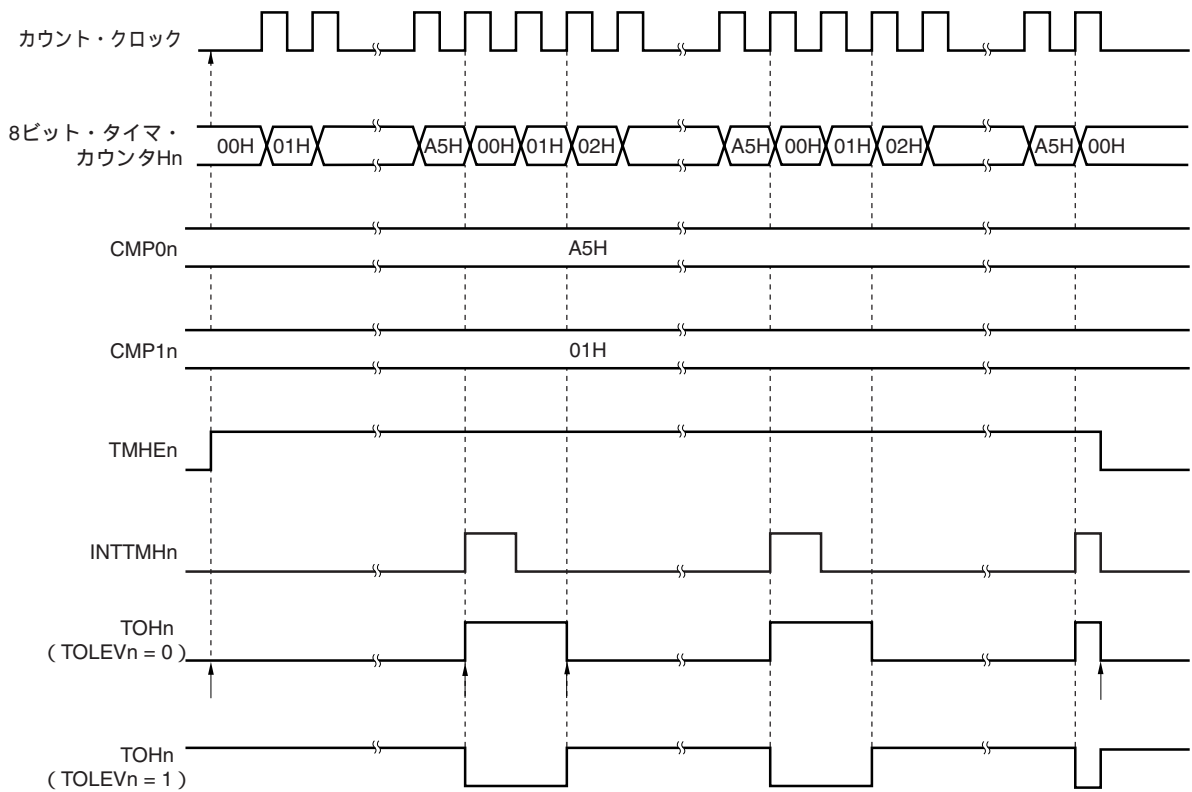
- 注意1.** タイマ・カウント動作中に、CMP1nレジスタの設定値を変更することができます。ただし、CMP1nレジスタの値を変更してからレジスタに値が転送されるまでに、動作クロック (TMHMDnレジスタのCKSn2-CKSn0ビットで選択された信号)の3クロック分以上かかります。
- 2.** タイマ・カウント動作停止 (TMHEn = 0) 設定後、タイマ・カウント動作を開始する (TMHEn = 1) 場合、必ずCMP1nレジスタを設定してください (CMP1nレジスタへの設定値が同値の場合でも、必ず再設定してください)。
- 3.** CMP1nレジスタの設定値 (M)、CMP0nレジスタの設定値 (N) は、必ず次の範囲内にしてください。

$$00H \leq \text{CMP1n (M)} < \text{CMP0n (N)} \leq \text{FFH}$$

- 備考1.** 出力端子の設定については8.3(3) ポート・モード・レジスタ1 (PM1) を参照してください。
2. INTTMHn信号の割り込み許可については、第18章 割り込み機能を参照してください。
 3. n = 0, 1

図8 - 12 PWM出力動作のタイミング (1/4)

(a) 基本動作



TMHEn = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・タイマ・カウンタHnをスタートさせ、カウント・アップします。そのときPWM出力はインアクティブ・レベルを出力します。

8ビット・タイマ・カウンタHnの値がCMP0nレジスタの値と一致すると、アクティブ・レベルを出力します。そのとき、8ビット・タイマ・カウンタHnをクリアし、INTTMHn信号を出力します。

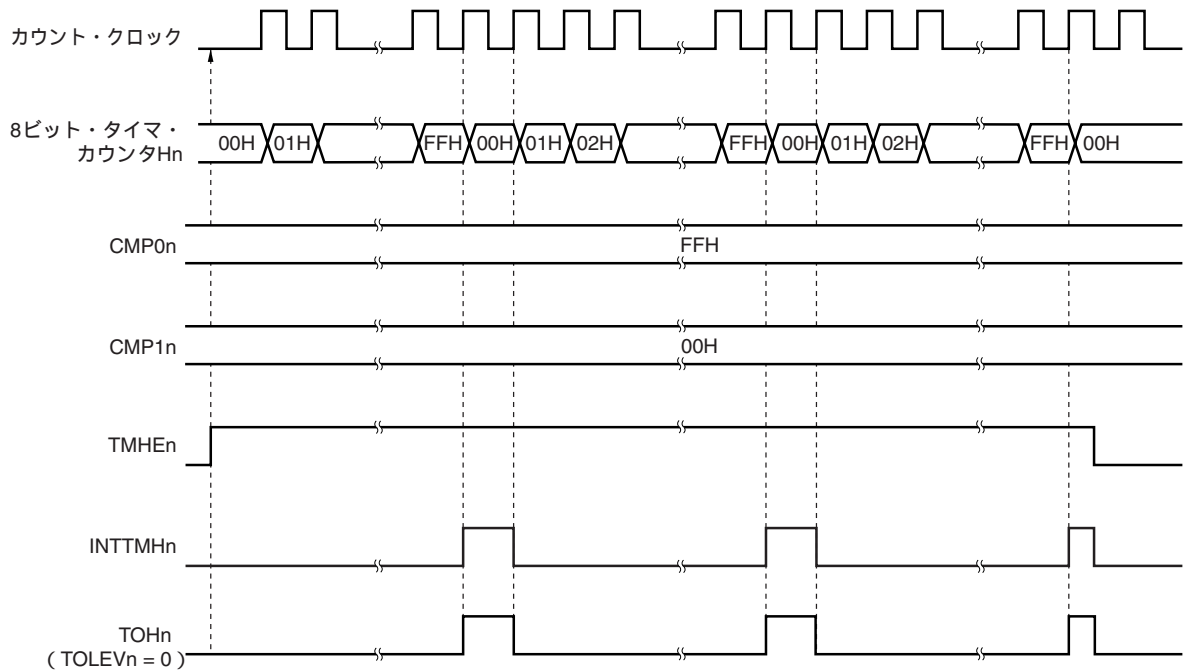
8ビット・タイマ・カウンタHnの値がCMP1nレジスタの値と一致すると、インアクティブ・レベルを出力します。そのとき、8ビット・カウンタの値はクリアされず、INTTMHn信号は出力しません。

タイマHn動作中にTMHEnビットを0にすることで、INTTMHn信号がデフォルトに、PWM出力はインアクティブ・レベルになります。

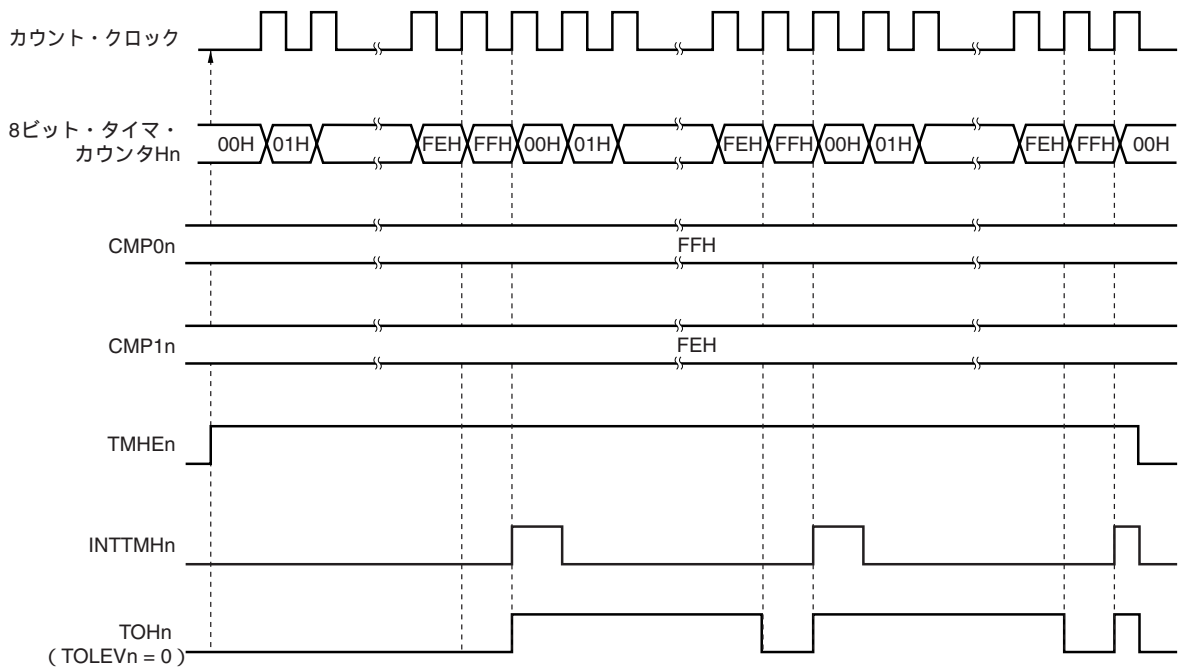
備考 n = 0, 1

図8 - 12 PWM出力動作のタイミング (2/4)

(b) CMP0n = FFH, CMP1n = 00H時の動作



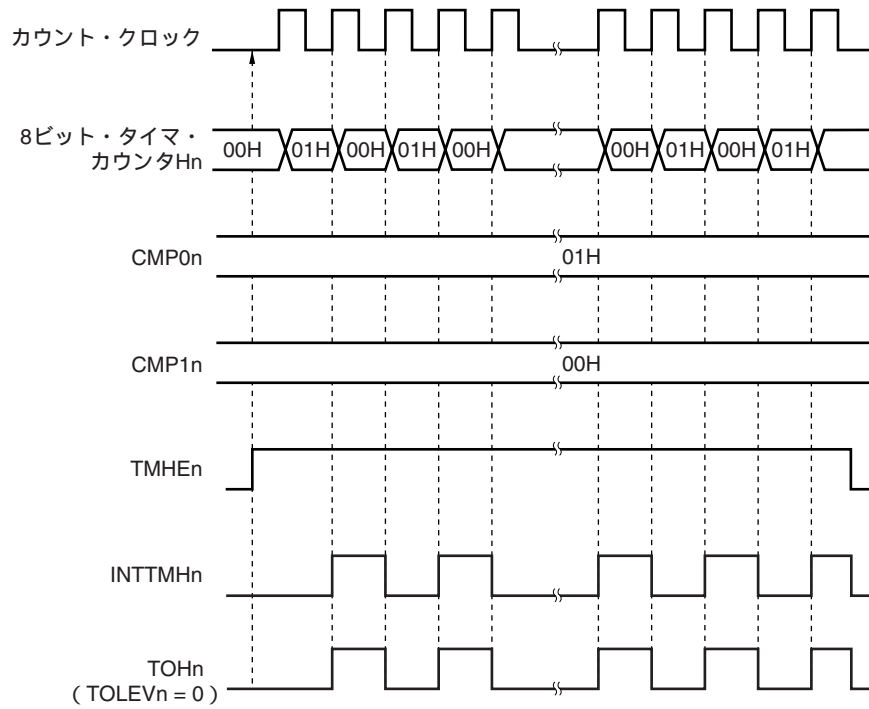
(c) CMP0n = FFH, CMP1n = FEH時の動作



備考 n = 0, 1

図8 - 12 PWM出力動作のタイミング (3/4)

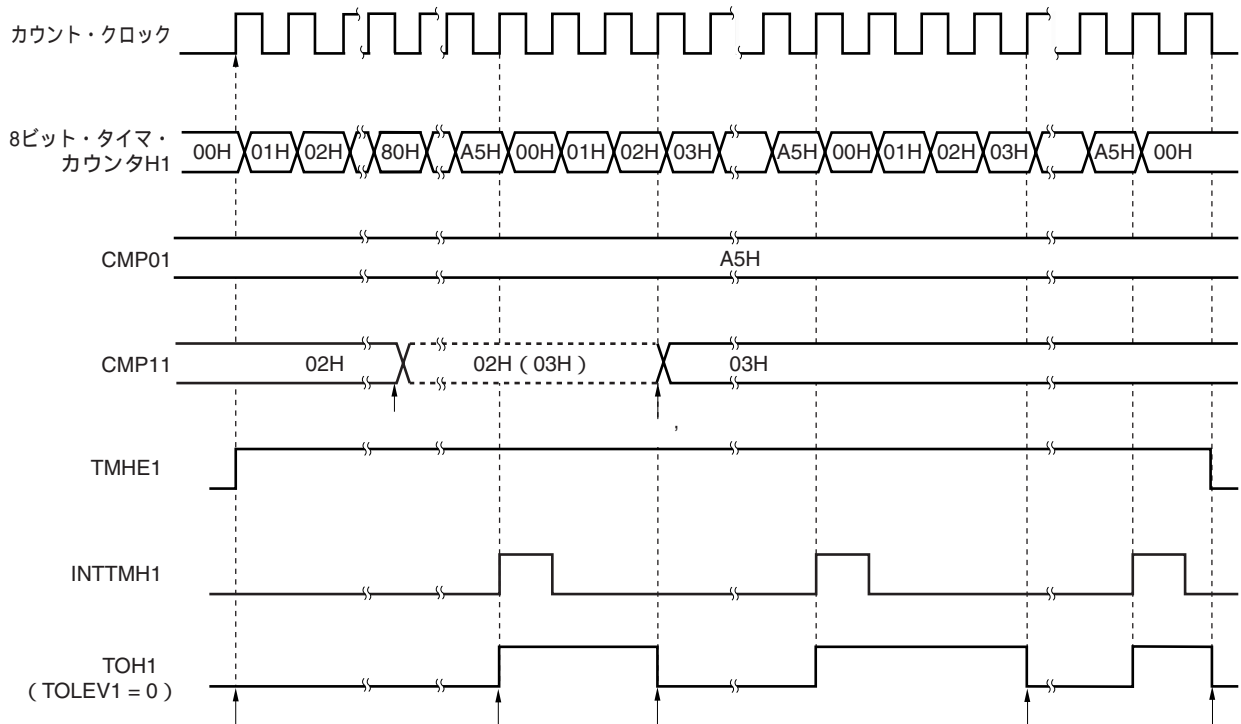
(d) CMP0n = 01H, CMP1n = 00H時の動作



備考 n = 0, 1

図8 - 12 PWM出力動作のタイミング (4/4)

(e) CMP1n変更による動作 (CMP1n = 02H 03H, CMP0n = A5H)



TMHE_n = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・カウンタをスタートさせ、カウント・アップします。そのとき、PWM出力はインアクティブ・レベルを出力します。

タイマ・カウンタ動作中にCMP1_nレジスタの設定値を変更することが可能です。この動作はカウント・クロックとは非同期です。

8ビット・タイマ・カウンタH_nの値がCMP0_nレジスタの値と一致すると、8ビット・タイマ・カウンタH_nはクリアされ、アクティブ・レベルを出力し、INTTMH_n信号が発生します。

CMP1_nレジスタの値を変更しても、その値はラッチされ、レジスタには転送されません。8ビット・タイマ・カウンタH_nとCMP1_nレジスタの変更前の値が一致すると、CMP1_nレジスタに転送されCMP1_nレジスタの値が変更されます（'）。

ただし、CMP1_nレジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。

8ビット・タイマ・カウンタH_nの値が変更後のCMP1_nレジスタの値と一致すると、インアクティブ・レベルを出力します。8ビット・タイマ・カウンタH_nはクリアされず、INTTMH_n信号も発生しません。

タイマH_n動作中にTMHE_nビットを0にすることで、INTTMH_n信号がデフォルトに、PWM出力はインアクティブ・レベルになります。

備考 n = 0, 1

8.4.3 キャリア・ジェネレータとしての動作（8ビット・タイマH1のみ）

キャリア・ジェネレータ・モードでは、8ビット・タイマH1を赤外線リモコンのキャリア信号生成用に使用し、8ビット・タイマ/イベント・カウンタ51を赤外線リモコン信号の生成（時間カウント）に使用します。

8ビット・タイマH1で生成されるキャリア・クロックは、8ビット・タイマ/イベント・カウンタ51で設定した周期で出力されます。

キャリア・ジェネレータ・モードでは、8ビット・タイマ/イベント・カウンタ51で8ビット・タイマH1のキャリア・パルスをどの程度出力するか制御し、TOH1出力からキャリア・パルスを出します。

（1）キャリアの生成

キャリア・ジェネレータ・モードのとき、8ビット・タイマHコンペア・レジスタ01（CMP01）はキャリア・パルスのロウ・レベル幅の波形を生成し、8ビット・タイマHコンペア・レジスタ11（CMP11）はキャリア・パルスのハイ・レベル幅の波形を生成します。

8ビット・タイマH1動作中に、CMP11レジスタを書き換えることはできますが、CMP01レジスタを書き換えることは禁止です。

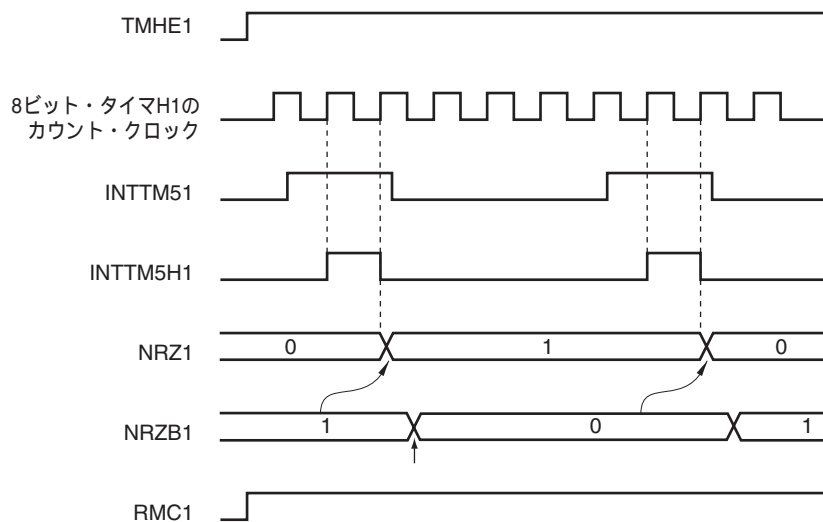
（2）キャリアの出力制御

キャリアの出力制御は8ビット・タイマ/イベント・カウンタ51の割り込み要求信号（INTTM51）と8ビット・タイマHキャリア・コントロール・レジスタ（TMCYC1）のNRZB1ビット、RMC1ビットにより行われます。出力の関係を次に示します。

RMC1ビット	NRZB1ビット	出力
0	0	ロウ・レベル出力
0	1	INTTM51信号入力の立ち上がりエッジでハイ・レベル出力
1	0	ロウ・レベル出力
1	1	INTTM51信号入力の立ち上がりエッジでキャリア・パルス出力

キャリア・パルス出力をカウント動作中に制御するために、TMCYC1レジスタのNRZ1ビットとNRZB1ビットは、マスタとスレーブのビット構成になっています。NRZ1ビットはリードのみですが、NRZB1ビットはリード/ライト可能です。INTTM51信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。INTTM5H1信号がNRZ1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。NRZB1ビットからNRZ1ビットへの転送タイミングは、次のとおりです。

図8 - 13 転送タイミング



INTTM51信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。

INTTM5H1信号の立ち上がりから2クロック目で、NRZB1ビットの値がNRZ1ビットに転送されます。

INTTM5H1割り込みにより起動された割り込み処理プログラミングの中で、または割り込み要求フラグをポーリングしてタイミングを確認後に、NRZB1ビットに次の値を書き込みます。またCR51レジスタに次の時間をカウントするためのデータを書き込みます。

- 注意1.** NRZB1ビットの値を書き換えてから2クロック目までに、再びNRZB1ビットの値を書き換えしないでください。書き換えた場合のNRZB1ビットからNRZ1ビットへの転送動作の保証はできません。
- 2.** 8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合、のタイミングで割り込みが発生します。8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モード以外で使用する場合は、割り込み発生タイミングが異なります。

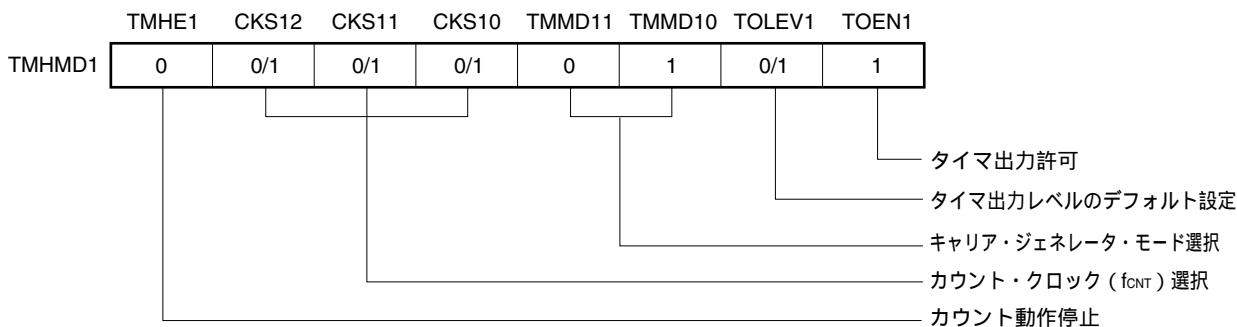
備考 INTTM5H1は内部信号で、割り込み要因ではありません。

設定方法

各レジスタの設定を行います。

図8 - 14 キャリア・ジェネレータ・モード時のレジスタの設定

(i) 8ビット・タイマHモード・レジスタ1 (TMHMD1) の設定



(ii) CMP01レジスタの設定

- ・コンペア値

(iii) CMP11レジスタの設定

- ・コンペア値

(iv) TMCYC1レジスタの設定

- ・RMC1 = 1 ... リモコン出力許可ビット
- ・NRZB1 = 0/1 ... キャリア出力許可ビット

(v) TCL51, TMC51レジスタの設定

- ・7.3 8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ参照

TMHE1 = 1を設定すると、8ビット・タイマH1のカウント動作を開始します。

8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のTCE51 = 1を設定すると、8ビット・タイマ/イベント・カウンタ51のカウント動作を開始します。

カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMP01レジスタです。8ビット・タイマ・カウンタH1のカウント値とCMP01レジスタの値が一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1はクリアされます。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタへ切り替わります。

8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタが一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1はクリアされます。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタへ切り替わります。

以上 と の繰り返しによって、キャリア・クロックが生成されます。

INTTM51信号が8ビット・タイマH1のカウンタ・クロックで同期化され、INTTM5H1信号として出力されます。その信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されません。

INTTM5H1割り込みにより起動された割り込み処理プログラミングの中で、または割り込み要求フラグをポーリングしてタイミングを確認後に、NRZB1ビットに次の値を書き込みます。またCR51レジスタに次の時間をカウンタするためのデータを書き込みます。

NRZ1ビットがハイ・レベルのとき、TOH1出力よりキャリア・クロックを出力します。

以上を繰り返し、任意のキャリア・クロックを得ることができます。カウンタ動作を停止するときはTMHE1 = 0にします。

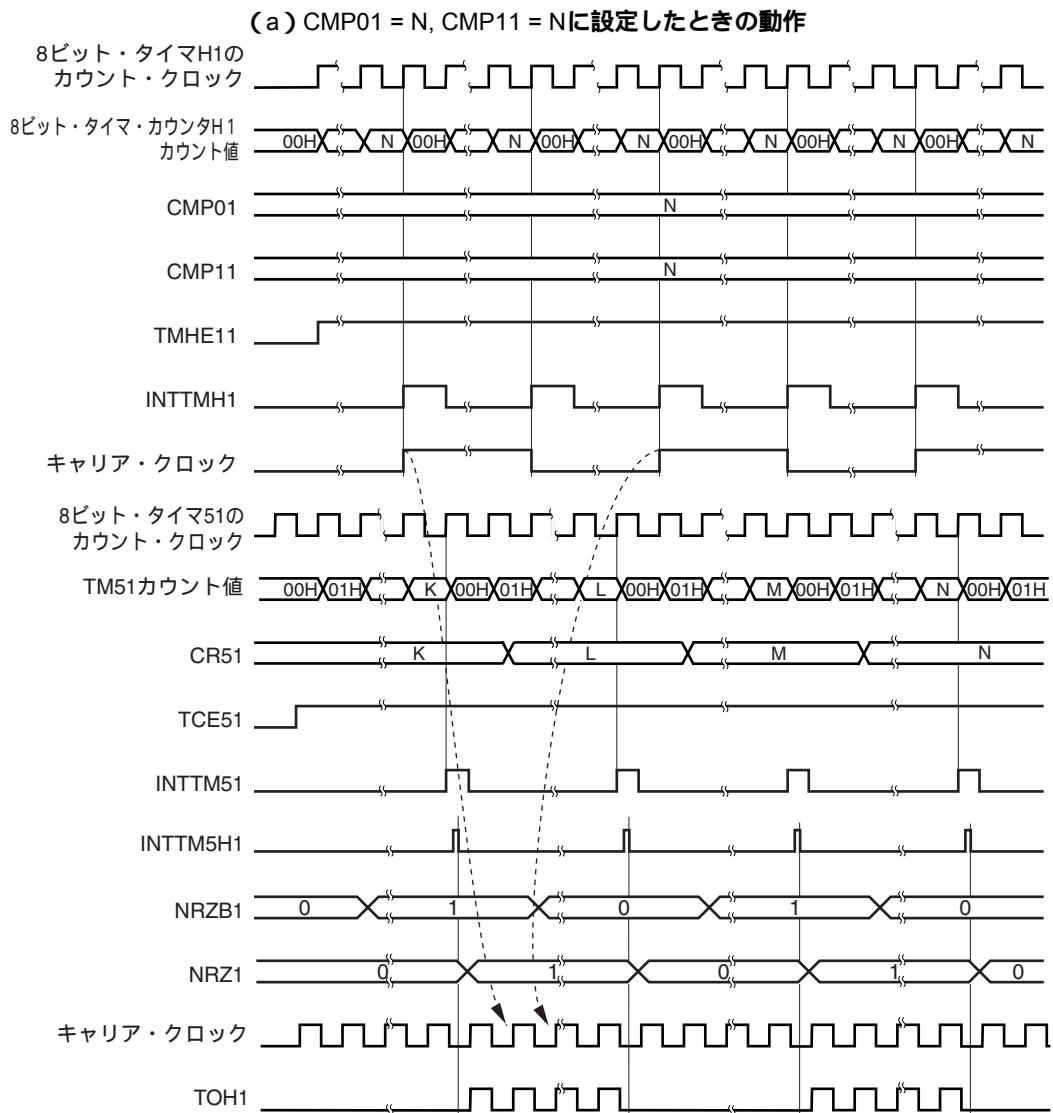
CMP01レジスタの設定値を(N)、CMP11レジスタの設定値を(M)、カウンタ・クロックの周波数を f_{CNT} とすると、キャリア・クロック出力周期およびデューティは次のとおりになります。

- ・キャリア・クロック出力周期 = $(N + M + 2) / f_{CNT}$
- ・デューティ = ハイ・レベル幅 / キャリア・クロック出力幅 = $(M + 1) / (N + M + 2)$

- 注意1.** タイマ・カウンタ動作停止(TMHE1 = 0)設定後、タイマ・カウンタ動作を開始する(TMHE1 = 1)場合、必ずCMP11レジスタを設定してください(CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください)。
2. TMH1のカウンタ・クロック周波数をTM51のカウンタ・クロック周波数の6倍以上になるように設定してください。
 3. CMP01, CMP11レジスタの値は、01H-FFHの範囲で設定してください。
 4. タイマ・カウンタ動作中に、CMP11レジスタの設定値を変更することができます。ただし、CMP11の値を変更してからレジスタに値が転送されるまでに、動作クロック(TMHMD1レジスタのCKS12-CKS10ビットで選択された信号)の3クロック分以上かかります。
 5. RMC1ビットの設定はカウンタ動作開始前に必ず設定してください。

- 備考1.** 出力端子の設定については8.3(3)ポート・モード・レジスタ1(PM1)を参照してください。
2. INTTMH1信号の割り込み許可については、第18章 割り込み機能を参照してください。

図8 - 15 キャリア・ジェネレータ・モード動作のタイミング (1/3)



TMHE1 = 0およびTCE51 = 0のとき、8ビット・タイマ・カウンタH1の動作は停止状態です。

TMHE1 = 1を設定すると、8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。

8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタの値と一致したときに、最初のINTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに、INTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

とを繰り返し、デューティ50%固定のキャリア・クロックを生成します。

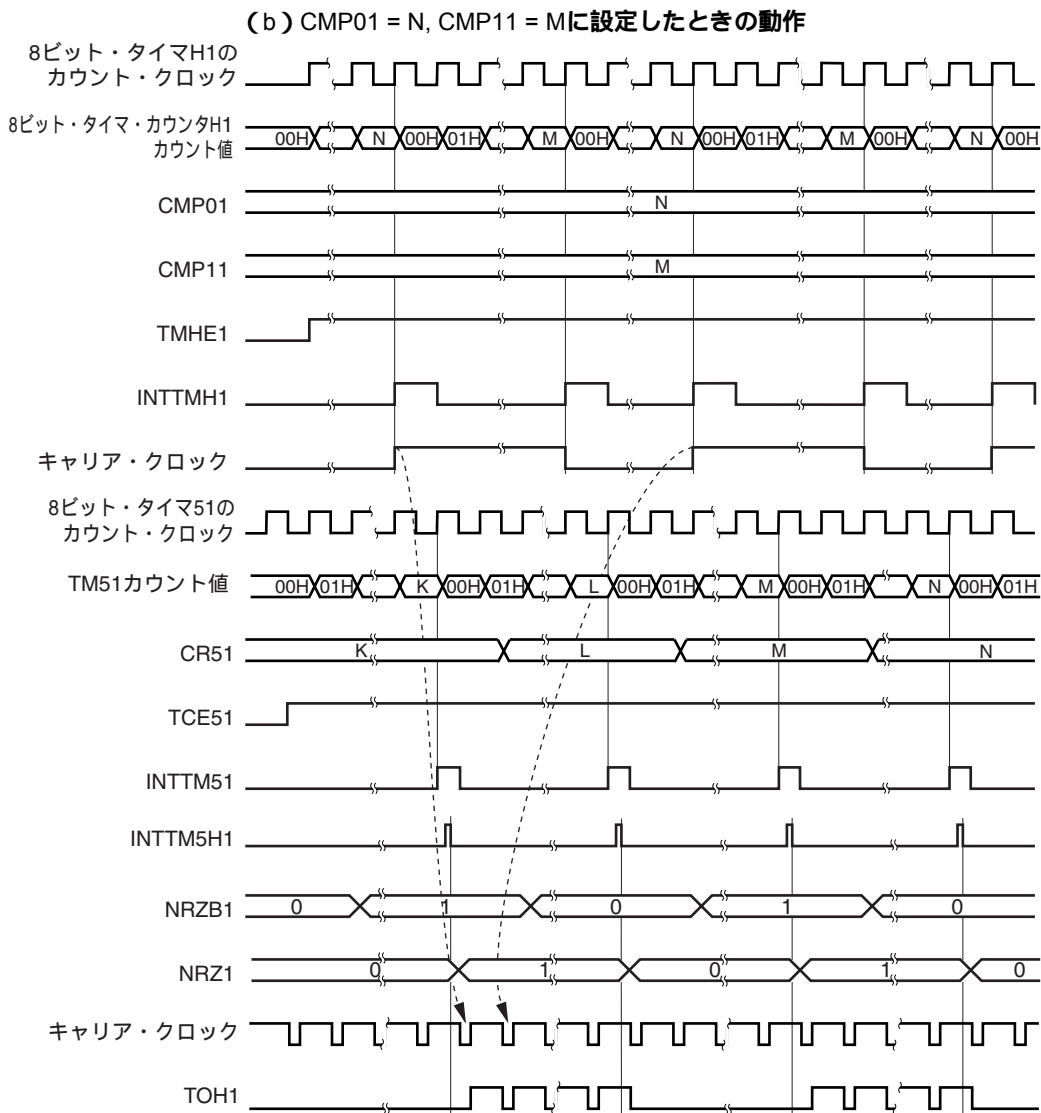
INTTM51信号が発生すると、その信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。

INTTM5H1信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。

NRZ1 = 0により、TOH1出力はロウ・レベルになります。

備考 INTTM5H1は内部信号で、割り込み要因ではありません。

図8 - 15 キャリア・ジェネレータ・モード動作のタイミング (2/3)



TMHE1 = 0およびTCE51 = 0のとき、8ビット・タイマ・カウンタH1の動作は停止状態です。

TMHE1 = 1を設定すると、8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。

8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタと一致したときに、最初のINTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに、INTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

とを繰り返し、デューティ固定（50%以外）のキャリア・クロックを生成します。

INTTM51信号を発生します。その信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。

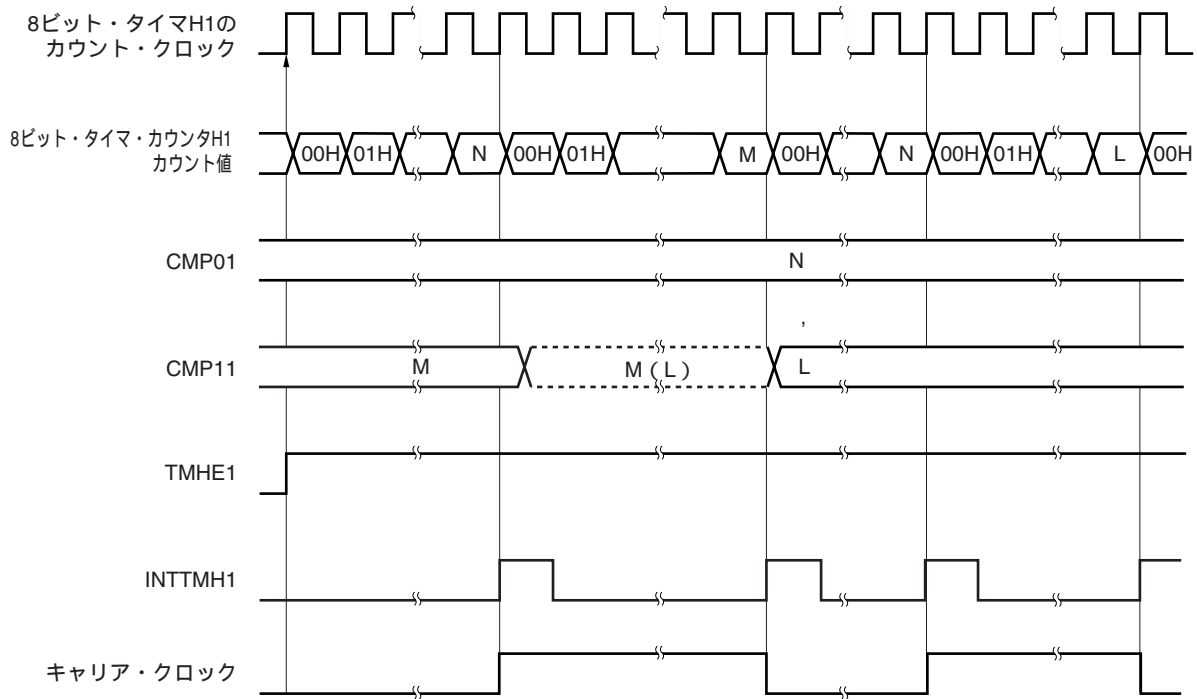
NRZ1 = 1により、最初のキャリア・クロックの立ち上がりから、キャリアを出力します。

NRZ1 = 0により、キャリア・クロックのハイ・レベル期間は、TOH1出力もハイ・レベルを保持しロウ・レベルに変化しません（、よりキャリア波形のハイ・レベル幅が保証できます）。

備考 INTTM5H1は内部信号で、割り込み要因ではありません。

図8 - 15 キャリア・ジェネレータ・モード動作のタイミング (3/3)

(c) CMP11変更による動作



TMHE1 = 1を設定すると、カウンタ動作を開始します。そのときキャリア・クロックはデフォルトを保持します。

8ビット・タイマ・カウンタH1のカウンタ値がCMP01レジスタと一致すると、INTTMH1信号を出力し、キャリア信号を反転させ、8ビット・タイマ・カウンタH1を00Hにクリアします。同時に8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタは、CMP01レジスタからCMP11レジスタへ切り替わります。

CMP11レジスタはカウンタ・クロックとは非同期で、8ビット・タイマH1動作中に値を書き換えることができますが、変更した値(L)はラッチされます。8ビット・タイマ・カウンタH1のカウンタ値とCMP11レジスタの変更前の値(M)が一致したタイミングで、CMP11レジスタが変更されます()。

ただし、CMP11レジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。

8ビット・タイマ・カウンタH1のカウンタ値と変更前のCMP11レジスタの値(M)が一致すると、INTTMH1信号を出力し、キャリア信号を反転させ、8ビット・タイマ・カウンタH1を00Hにクリアします。同時に8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタは、CMP11レジスタからCMP01レジスタへ切り替わります。

再度8ビット・タイマ・カウンタH1のカウンタ値とCMP11レジスタが一致するタイミングは変更後の値(L)です。

第9章 リアルタイム・カウンタ

項目	78K0/KB2-A	78K0/KC2-A
	30ピン	48ピン
リアルタイム・カウンタ	-	(RTC出力：2本)

：搭載， - ：非搭載

9.1 リアルタイム・カウンタの機能

リアルタイム・カウンタには、次のような機能があります。

- ・年，月，曜日，日，時，分，秒のカウンタを持ち，最長99年までカウント可能
- ・定周期割り込み機能（周期：1ヶ月～0.5秒）
- ・アラーム割り込み機能（アラーム：曜日・時・分）
- ・インターバル割り込み機能
- ・1 Hzの端子出力機能
- ・512 Hz, 16.384 kHz, 32.768 kHzのいずれかの端子出力機能

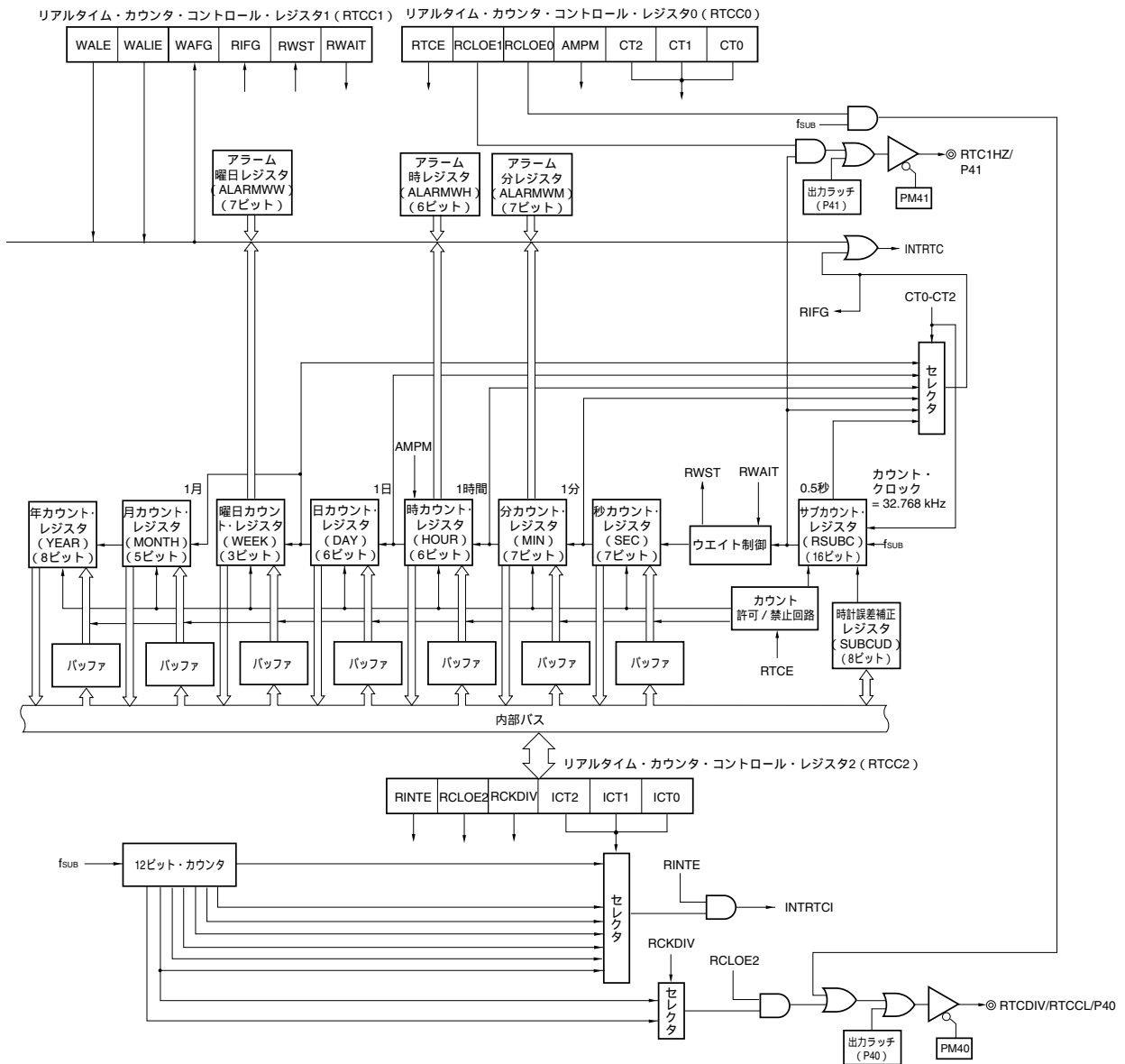
9.2 リアルタイム・カウンタの構成

リアルタイム・カウンタは、次のハードウェアで構成されています。

表9 - 1 リアルタイム・カウンタの構成

項 目	構 成
制御レジスタ	リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)
	リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)
	リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)
	サブカウント・レジスタ (RSUBC)
	秒カウント・レジスタ (SEC)
	分カウント・レジスタ (MIN)
	時カウント・レジスタ (HOUR)
	日カウント・レジスタ (DAY)
	曜日カウント・レジスタ (WEEK)
	月カウント・レジスタ (MONTH)
	年カウント・レジスタ (YEAR)
	時計誤差補正レジスタ (SUBCUD)
	アラーム分レジスタ (ALARMWM)
	アラーム時レジスタ (ALARMWH)
	アラーム曜日レジスタ (ALARMWW)

図9-1 リアルタイム・カウンタのブロック図



9.3 リアルタイム・カウンタを制御するレジスタ

リアルタイム・カウンタは、次の16種類のレジスタで制御します。

(1) リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)

リアルタイム・カウンタ動作の開始 / 停止, RTCCL端子 / RTC1HZ端子の制御, 12/24時間制, 定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図9 - 2 リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のフォーマット

アドレス : FF7DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	RCLOE0	AMPM	CT2	CT1	CT0

RTCE	リアルタイム・カウンタの動作制御
0	カウンタ動作停止
1	カウンタ動作開始

RCLOE1	RTC1HZ端子の出力制御
0	RTC1HZ端子の出力 (1 Hz) 禁止
1	RTC1HZ端子の出力 (1 Hz) 許可

RCLOE0 ^注	RTCCL端子の出力制御
0	RTCCL端子の出力 (32.768 kHz) 禁止
1	RTCCL端子の出力 (32.768 kHz) 許可

AMPM	12時間制 / 24時間制の選択
0	12時間制 (午前 / 午後を表示)
1	24時間制

・ AMPMの値を変更する場合は, RWAIT (RTCC1のビット0) = 1にしてから書き換え, 時カウンタ・レジスタ (HOUR) を再設定してください。

・ 時間桁表示表を表9 - 2に示します。

CT2	CT1	CT0	定周期割り込み (INTRTC) の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度 (秒カウントアップに同期)
0	1	0	1秒に1度 (秒カウントアップと同時)
0	1	1	1分に1度 (毎分00秒)
1	0	0	1時間に1度 (毎時00分00秒)
1	0	1	1日に1度 (毎日00時00分00秒)
1	1	x	1月に1度 (毎月1日午前00時00分00秒)

CT2-CT0の値を変更する場合は, INTRTCを禁止してから行ってください。また, 書き換え後はWAFGフラグ, RIFGフラグ, RTCIFフラグをクリアしてからINTRTCを許可してください。

注 RCLOE0とRCLOE2は, 同時許可禁止です。

注意 RTCE = 1のときにRCLOE0, RCLOE1を変更すると, 32.768 kHz, 1 Hzの出力にグリッチが生じる場合があります。

備考 x : don't care

(2) リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)

アラーム割り込み機能，カウンタのウェイトを制御する8ビットのレジスタです。
 RTCC1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により，00Hになります。

図9 - 3 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマット (1/2)

アドレス：FF7EH リセット時：00H R/W

略号	[7]	[6]	5	[4]	[3]	2	[1]	[0]
RTCC1	WALE ^注	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE ^注	アラームの動作制御
0	一致動作無効
1	一致動作有効
アラームの各レジスタ (RTCC1のWALIEフラグ，ALARMWWMレジスタ，ALARMWHレジスタ，ALARMWWレジスタ) を設定する場合，WALEをディセーブル“0”にしてください。	

WALIE	アラーム割り込み (INTRTC) 機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出
アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり，アラーム一致検出し，1クロック (32.768 kHz) 後に“1”となります。 “0”を書き込むことでクリアされ，“1”の書き込みは無効となります。	

注 WALEビットの書き換えは，INTRTCを禁止してから行ってください。また，書き換え後はWAFGフラグ，RIFGフラグ，RTCIFフラグをクリアしてからINTRTCを許可してください。

図9-3 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマット (2/2)

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり

定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。
“0”を書き込むことでクリアされ，“1”の書き込みは無効となります。

RWST	リアルタイム・カウンタのウェイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し、書き込みモード中

RWAITの設定が有効であることを示すステータスです。
カウンタ値の読み出し、書き込みは、このレジスタの値が1になっていることを確認したあとに行ってください。

RWAIT	リアルタイム・カウンタのウェイト制御
0	カウンタ動作設定
1	SEC～YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。
RSUBCは動作を継続しますので、1秒以内に読み出し書き込みを完了後、0に戻してください。
RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能となるまで最大1クロック (32.768 kHz) の時間がかかります。RSUBCのオーパフローがRWAIT = 1のときに起きた場合は、RWAIT = 0になったあとにカウントアップします。ただし、秒カウント・レジスタへの書き込みを行った場合は、RSUBCがクリアされるためカウントアップしません。

注意 RTCC1レジスタに1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに書き込みが無効となる“1”を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き変わっても問題ない場合は、RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

(3) リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)

インターバル割り込み機能，RTCDIV端子を制御する8ビットのレジスタです。
 RTCC2は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により，00Hになります。

図9 - 4 リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) のフォーマット

アドレス：FF7FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTCC2	RINTE	RCLOE2	RCKDIV	0	0	ICT2	ICT1	ICT0

RINTE	ICT2	ICT1	ICT0	インターバル割り込み (INTRTCI) の選択
0	x	x	x	インターバル割り込みを発生しない。
1	0	0	0	$2^6/f_{SUB}$ (1.953125 ms)
1	0	0	1	$2^7/f_{SUB}$ (3.90625 ms)
1	0	1	0	$2^8/f_{SUB}$ (7.8125 ms)
1	0	1	1	$2^9/f_{SUB}$ (15.625 ms)
1	1	0	0	$2^{10}/f_{SUB}$ (31.25 ms)
1	1	0	1	$2^{11}/f_{SUB}$ (62.5 ms)
1	1	1	x	$2^{12}/f_{SUB}$ (125 ms)

RCLOE2 ^注	RTCDIV端子の出力制御
0	RTCDIV端子の出力禁止
1	RTCDIV端子の出力許可

RCKDIV	RTCDIV端子の出力周波数の選択
0	RTCDIV端子から512 Hzを出力 (1.95 ms)
1	RTCDIV端子から16.384 kHzを出力 (0.061 ms)

注 RCLOE0とRCLOE2は，同時許可禁止です。

- 注意1. ICT2, ICT1, ICT0の変更は，RINTE = 0のときに行ってください。
2. RTCDIV端子の出力を停止した場合， f_{SUB} の最大2クロック後まで出力を行い，ロウ・レベルとなります。512 Hzを出力している場合でハイ・レベルになった直後に出力を停止すると，最小で f_{SUB} の1クロック幅のパルスが発生することがあります。

備考 f_{SUB} : サブシステム・クロック周波数

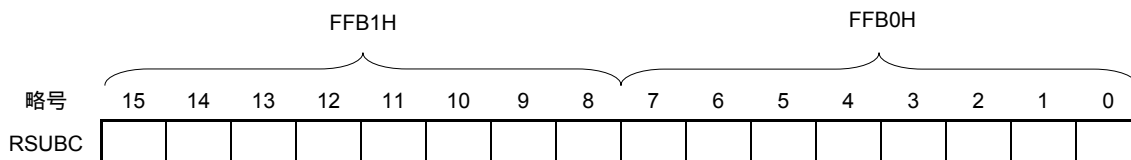
(4) サブカウント・レジスタ (RSUBC)

リアルタイム・カウンタの1秒の基準時間をカウントする16ビットのレジスタです。
 0000H-7FFFHまでの値をとり、32.768 kHzのクロックで1秒をカウントします。
 RSUBCは、16ビット・メモリ操作命令で設定します。
 リセット信号の発生により、0000Hになります。

- 注意1. SUBCUDレジスタにより補正を行う場合は、8000H以上の値になる場合があります。
 2. このレジスタは、秒カウント・レジスタへのライトによってもクリアされます。
 3. このレジスタの読み出し値は 動作中に読み出しを行った場合 変化中の値を読み出すため、
 値は保証されません。

図9 - 5 サブカウント・レジスタ (RSUBC) のフォーマット

アドレス : FF70H, FF71H リセット時 : 0000H R

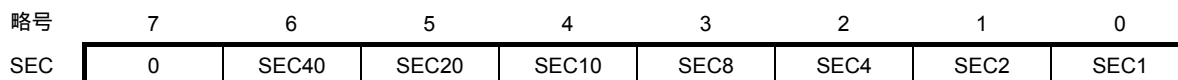


(5) 秒カウント・レジスタ (SEC)

0-59 (10進) までの値を取り、秒のカウント値を示す8ビットのレジスタです。
 サブカウンタからのオーバーフローによりカウント・アップします。
 書き込みを行った場合は、バッファに書き込まれ、最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。範囲外の値を設定した場合は、1周期後に正常値に戻ります。
 SECは、8ビット・メモリ操作命令で設定します。
 リセット信号の発生により、00Hになります。

図9 - 6 秒カウント・レジスタ (SEC) のフォーマット

アドレス : FF72H リセット時 : 00H R/W



(6) 分カウント・レジスタ (MIN)

0-59 (10進) までの値を取り, 分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後に, カウンタへ書き込まれます。また設定する値は, 10進の00-59をBCDコードで設定してください。範囲外の値を設定した場合は, 1周期後に正常値に戻ります。

MINは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図9-7 分カウント・レジスタ (MIN) のフォーマット

アドレス : FF73H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

(7) 時カウント・レジスタ (HOUR)

00-23または01-12, 21-32 (10進) までの値を取り, 時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は, 10進の00-23または01-12, 21-32をBCDコードで設定してください。範囲外の値を設定した場合は, 1周期後に正常値に戻ります。

HOURは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 12Hになります。

ただし, リセット後に, AMPMビットに1をセットした場合は00Hとなります。

図9-8 時カウント・レジスタ (HOUR) のフォーマット

アドレス : FF74H リセット時 : 12H R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意 HOURのビット5 (HOUR20) は, AMPM = 0 (12時間制) を選択した場合, AM (0) / PM (1) を示します。

表9 - 2 時間桁表示表

24時間表示 (AMPMビット = 1)		12時間表示 (AMPMビット = 0)	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00H	AM0時	12H
1時	01H	AM1時	01H
2時	02H	AM2時	02H
3時	03H	AM3時	03H
4時	04H	AM4時	04H
5時	05H	AM5時	05H
6時	06H	AM6時	06H
7時	07H	AM7時	07H
8時	08H	AM8時	08H
9時	09H	AM9時	09H
10時	10H	AM10時	10H
11時	11H	AM11時	11H
12時	12H	PM0時	32H
13時	13H	PM1時	21H
14時	14H	PM2時	22H
15時	15H	PM3時	23H
16時	16H	PM4時	24H
17時	17H	PM5時	25H
18時	18H	PM6時	26H
19時	19H	PM7時	27H
20時	20H	PM8時	28H
21時	21H	PM9時	29H
22時	22H	PM10時	30H
23時	23H	PM11時	31H

HOURレジスタ値は、AMPMビットが“0”のときに12時間表示，“1”のときに24時間表示となります。
12時間表示の場合は、HOURレジスタの5ビット目で午前/午後を表示し、午前（AM）のときに0に、午後（PM）のときに1となります。

(8) 日カウント・レジスタ (DAY)

1-31 (10進) までの値を取り、日のカウント値を示す8ビットのレジスタです。
時カウンタからのオーバフローによりカウント・アップします。
カウンタは、次に示すようにカウントします。

- ・ 01-31 (1, 3, 5, 7, 8, 10, 12月)
- ・ 01-30 (4, 6, 9, 11月)
- ・ 01-29 (2月 うるう年)
- ・ 01-28 (2月 通常年)

書き込みを行った場合は、バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は、10進の01-31をBCDコードで設定してください。範囲外の値を設定した場合は1周期後に正常値に戻ります。

DAYは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図9 - 9 日カウント・レジスタ (DAY) のフォーマット

アドレス : FF76H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

(9) 曜日カウント・レジスタ (WEEK)

0-6 (10進) までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大の2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。範囲外の値を設定した場合は1周期後に正常値に戻ります。

WEEKは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9 - 10 曜日カウント・レジスタ (WEEK) のフォーマット

アドレス : FF75H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意 曜日カウント・レジスタには、月カウント・レジスタおよび日カウント・レジスタに対応した値が自動的に格納されるわけではありません。

リセット解除後、次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

(10) 月カウント・レジスタ (MONTH)

MONTHレジスタは1-12 (10進) までの値を取り, 月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は, 10進の01-12をBCDコードで設定してください。範囲外の値を設定した場合は1周期後に正常値に戻ります。

MONTHは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図9 - 11 月カウント・レジスタ (MONTH) のフォーマット

アドレス : FF77H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

(11) 年カウント・レジスタ (YEAR)

0-99 (10進) までの値を取り, 年のカウント値を示す8ビットのレジスタです。

月カウンタからのオーバーフローによりカウント・アップします。

00, 04, 08, ..., 92, 96がうるう年となります。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は, 10進の00-99をBCDコードで設定してください。範囲外の値を設定した場合は, 1周期後に正常値に戻ります。

YEARは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図9 - 12 年カウント・レジスタ (YEAR) のフォーマット

アドレス : FF78H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

(12) 時計誤差補正レジスタ (SUBCUD)

サブカウント・レジスタ (RSUBC) から秒カウンタ・レジスタへオーバーフローする値 (基準値: 7FFFH) を変化させることにより, 時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図9 - 13 時計誤差補正レジスタ (SUBCUD) のフォーマット

アドレス: FF79H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40時 (20秒ごと) に時計誤差補正
1	秒桁が00時のみ (60秒ごと) に時計誤差補正

F6	時計誤差補正值の設定
0	{ (F5, F4, F3, F2, F1, F0) - 1 } × 2だけ増加
1	{ (F5, F4, F3, F2, F1, F0) + 1 } × 2だけ減少
(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは, 時計誤差補正を行いません。*は0または1です。 F5 ~ F0は, ビット反転した値 (111100のときは000011) となります。 補正值の範囲: (F6=0のとき) 2, 4, 6, 8, ... 120, 122, 124 (F6=1のとき) -2, -4, -6, -8, ... -120, -122, -124	

次に, 時計誤差補正レジスタ (SUBCUD) による補正可能範囲を示します。

	DEV = 0 (20秒ごとの補正)	DEV = 1 (60秒ごとの補正)
補正可能範囲	- 189.2 ppm ~ 189.2 ppm	- 63.1 ppm ~ 63.1 ppm
最大量子化誤差	± 1.53 ppm	± 0.51 ppm
最小分解能	± 3.05 ppm	± 1.02 ppm

備考 補正範囲が, - 63.1 ppm以下または63.1 ppm以上のときは, DEV = 0を設定してください。

注意 SUBCUDレジスタの書き換えは, INTRTCを禁止してから行ってください。また, 書き換え後は WAFGフラグ, RIFGフラグ, RTCIFフラグをクリアしてからINTRTCを許可してください。

(13) アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。
ALARMWMは、8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

注意 設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図9 - 14 アラーム分レジスタ (ALARMWM) のフォーマット

アドレス：FF7AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

(14) アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。
ALARMWHは、8ビット・メモリ操作命令で設定します。
リセット信号の発生により、12Hになります。
ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

注意 設定する値は、10進の00～23または、01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図9 - 15 アラーム時レジスタ (ALARMWH) のフォーマット

アドレス：FF7BH リセット時：12H R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意 ALARMWHのビット5 (WH20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。

(15) アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。
ALARMWWは、8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図9 - 16 アラーム曜日レジスタ (ALARMWW) のフォーマット

アドレス：FF7CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日	月	火	水	木	金	土	10時	1時	10分	1分	10時	1時	10分	1分
	W	W	W	W	W	W	W								
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

(16) ポート・モード・レジスタ4 (PM4)

ポート4の入力 / 出力を1ビット単位で設定するレジスタです。

P40/RTCDIV/RTCCL端子をリアルタイム・カウンタ・クロック出力, P41/RTC1HZ端子をリアルタイム・カウンタ補正クロック出力として使用するとき, PM40, PM41およびP40, P41の出力ラッチに0を設定してください。

PM4は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図9 - 17 ポート・モード・レジスタ4 (PM4) のフォーマット

アドレス : FF24H リセット時 : FFH R/W

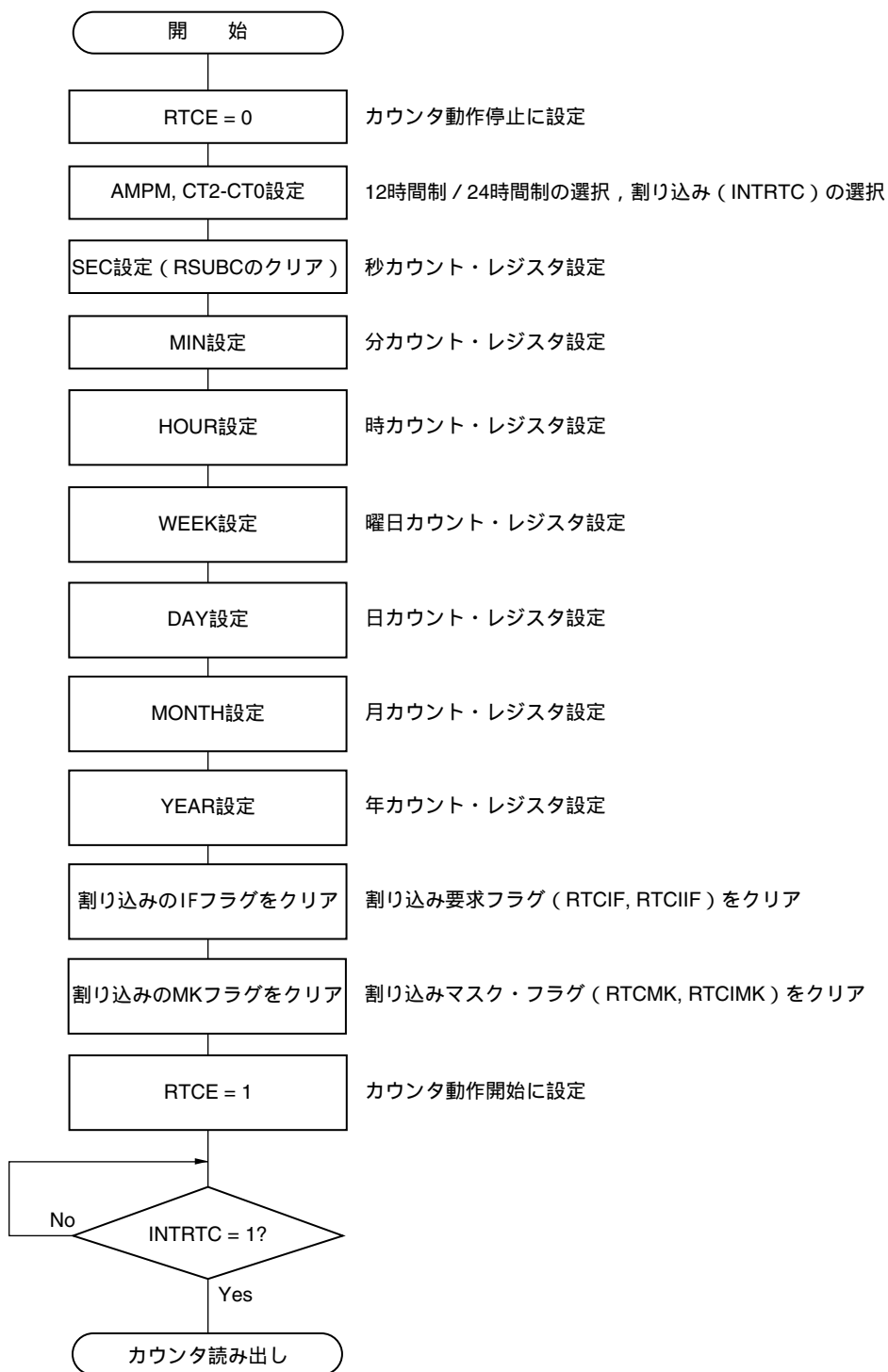
略号	7	6	5	4	3	2	1	0
PM4	1	1	1	1	1	PM42	PM41	PM40

PM4n	P4n端子の入出力モードの選択 (n = 0-2)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

9.4 リアルタイム・カウンタの動作

9.4.1 リアルタイム・カウンタの動作開始

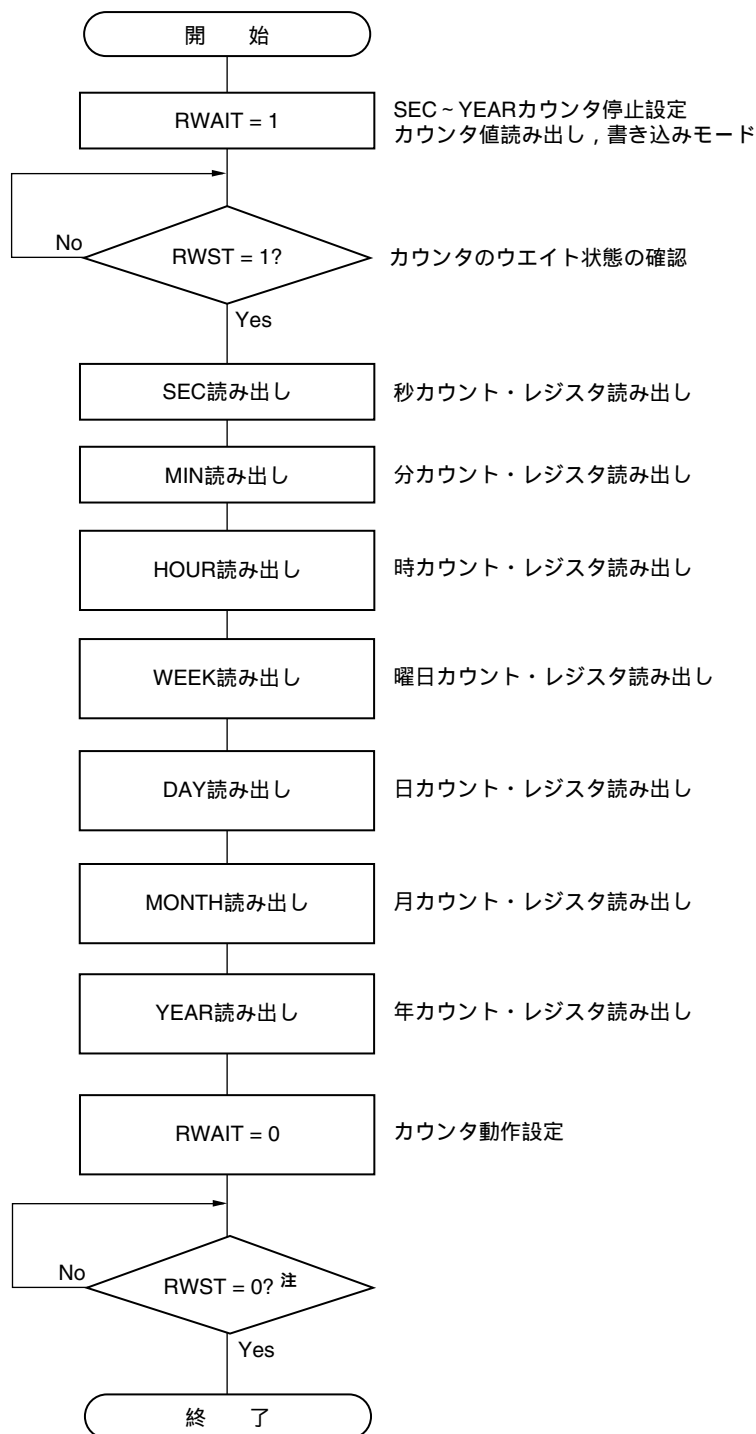
図9-18 リアルタイム・カウンタの動作開始手順



9.4.2 リアルタイム・カウンタのカウンタ読み出し / 書き込み

カウンタの読み出し / 書き込みは、最初にRWAIT = 1にしてから行ってください。

図9 - 19 リアルタイム・カウンタの読み出し手順

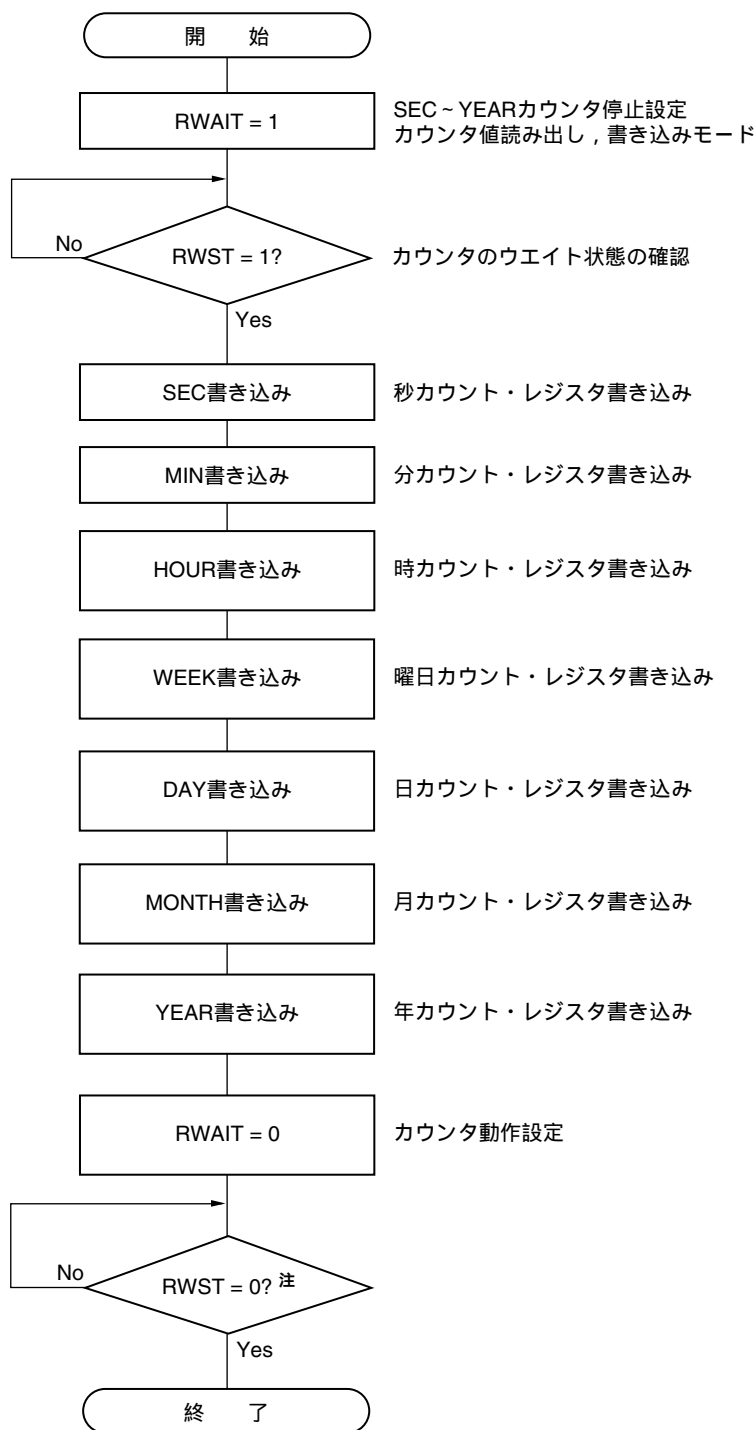


注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意 RWAIT = 1 からRWAIT = 0とするまで1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの読み出しの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを読み出しても構いません。

図9 - 20 リアルタイム・カウンタの書き込み手順



注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

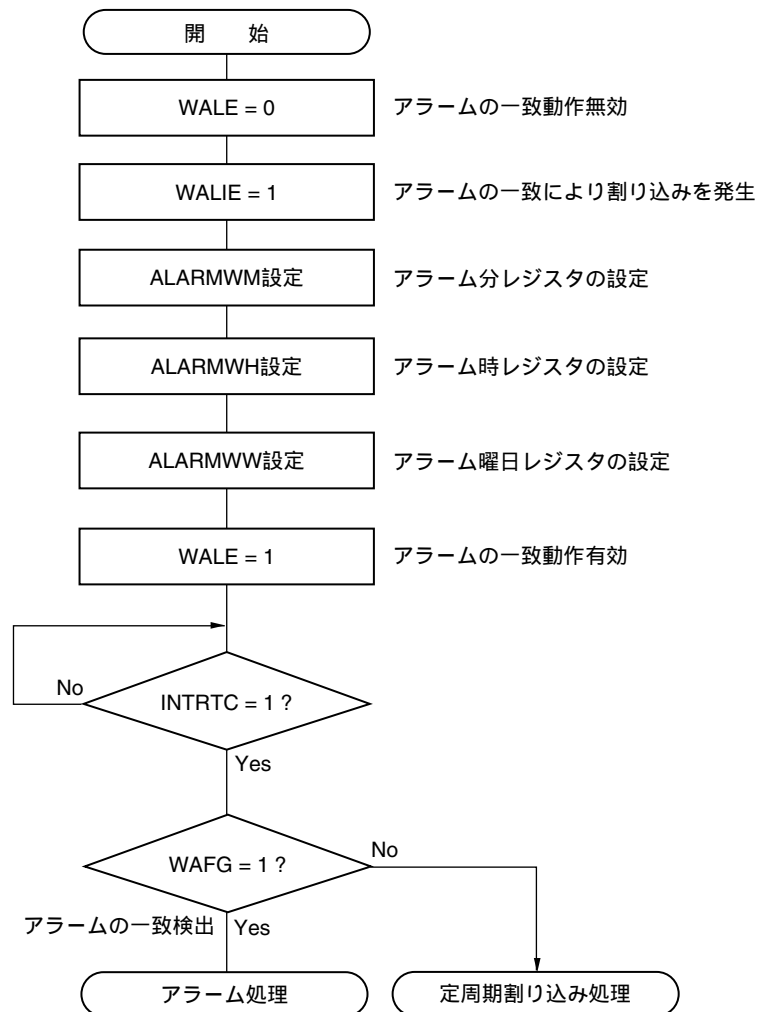
注意 RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの書き込みの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えても構いません。

9.4.3 リアルタイム・カウンタのアラーム設定

アラーム時刻設定は、最初にWALE = 0にしてから行ってください。

図9 - 21 アラーム設定手順



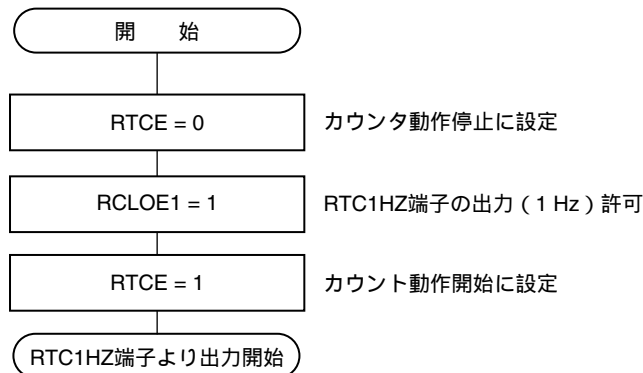
備考1. ALARMWM, ALARMWH, ALARMWWの書き込みの順番に制限はありません。

2. 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

9.4.4 リアルタイム・カウンタの1 Hz出力

1 Hz出力の設定は、最初にRTCE = 0にしてから行ってください。

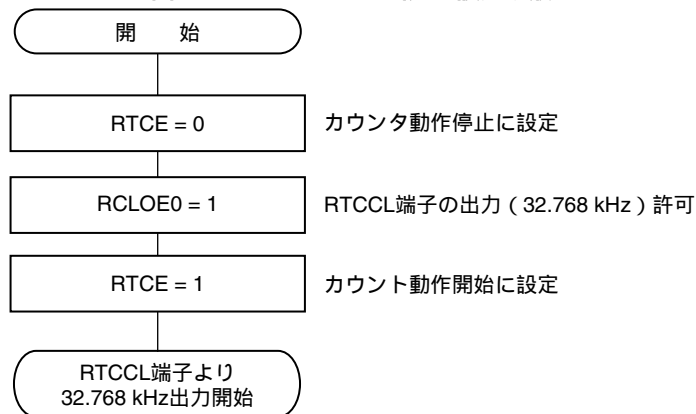
図9 - 22 1 Hz出力の設定手順



9.4.5 リアルタイム・カウンタの32.768 kHz出力

32.768 kHz出力の設定は、最初にRTCE = 0にしてから行ってください。

図9 - 23 32.768 kHz出力の設定手順



9.4.6 リアルタイム・カウンタの512 Hz, 16.384 kHz出力

512 Hz, 16.384 kHz出力の設定は、最初にRTCE = 0にしてから行ってください。

図9 - 24 512 Hz, 16.384 kHz出力の設定手順



9.4.7 リアルタイム・カウンタの時計誤差補正例

時計誤差補正レジスタに値を設定することにより、時計の進みや遅れをより高精度に補正できます。

補正値の算出方法例

サブカウント・レジスタ (RSUBC) のカウント値を補正する際の補正値は、次の式で算出できます。
補正範囲が、- 63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

(DEV = 0の場合)

$$\text{補正値}^{\text{注}} = 1\text{分間の補正カウント数} \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3$$

(DEV = 1の場合)

$$\text{補正値}^{\text{注}} = 1\text{分間の補正カウント数} = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60$$

注 補正値とは、時計誤差補正レジスタ (SUBCUD) のビット6-0の値により求められる時計誤差補正値です。

$$(\text{F6}=0\text{の場合}) \text{補正値} = \{ (\text{F5}, \text{F4}, \text{F3}, \text{F2}, \text{F1}, \text{F0}) - 1 \} \times 2$$

$$(\text{F6}=1\text{の場合}) \text{補正値} = - \{ (\text{F5}, \text{F4}, \text{F3}, \text{F2}, \text{F1}, \text{F0}) + 1 \} \times 2$$

(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは、時計誤差補正を行いません。*は0または1です。

/F5 ~ /F0は、ビット反転した値 (111100のときは000011) となります。

- 備考1.** 補正値は、2, 4, 6, 8, . . . 120, 122, 124, または - 2, - 4, - 6, - 8 . . . - 120, - 122, - 124です。
2. 発振周波数とは、サブシステム・クロック (f_{SUB}) の値です。
RTCCL端子からの32 kHz出力周波数、または時計誤差補正レジスタが初期値 (00H) 時のRTC1HZ端子の出力周波数 × 32768で求めることができます。
3. ターゲット周波数とは、時計誤差補正レジスタを使用した補正後の周波数です。

補正例

32772.3 Hzから32768 Hz (32772.3 Hz - 131.2 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数はRTCCL端子から約32 kHzを出力するか、時計誤差補正レジスタが初期値(00H)時にRTC1Hz端子から約1 Hzを出力して測定します。

注 RTC1Hz出力の設定手順は、9. 4. 4 **リアルタイム・カウンタの1Hz出力**を、RTCCL端子から約32 kHzの出力の設定手順は、9. 4. 5 **リアルタイム・カウンタの32.768 kHz出力**をを参照してください。

【補正値の算出】

(RTCCL端子からの出力周波数が32772.3 Hzの場合)

ターゲット周波数を32768 Hz (32772.3 Hz - 131.2 ppm) とすると、- 131.2 ppmは補正範囲が - 63.1 ppm以下なので、DEV = 0とします。

DEV = 0の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} &= 1分間の補正カウント数 \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3 \\ &= (32772.3 \div 32768 - 1) \times 32768 \times 60 \div 3 \\ &= 86 \end{aligned}$$

【(F6 ~ F0) への設定値の算出】

(補正値 = 86の場合)

補正値が0以上 (遅くする場合) では、F6 = 0とします。

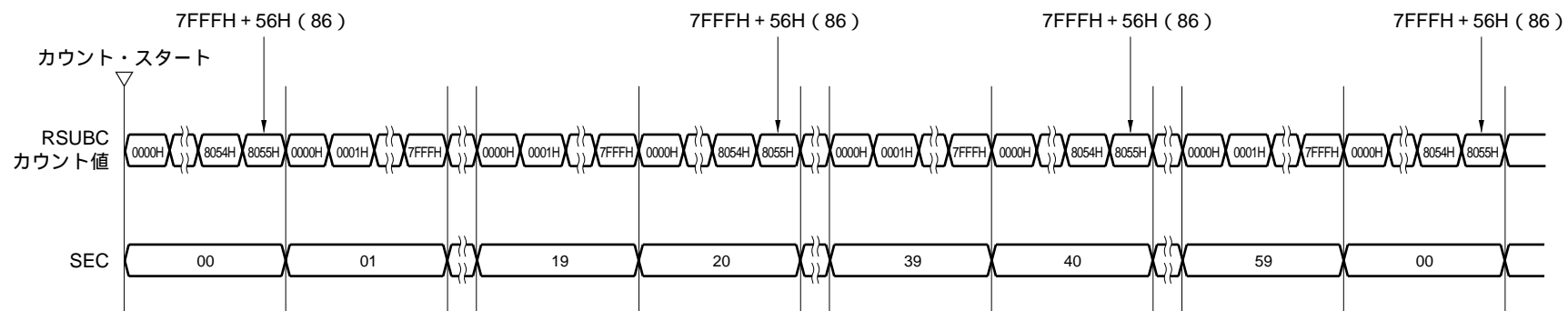
(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

$$\begin{aligned} \{ (F5, F4, F3, F2, F1, F0) - 1 \} \times 2 &= 86 \\ (F5, F4, F3, F2, F1, F0) &= 44 \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 0, 0) \end{aligned}$$

したがって、32772.3 Hzから32768 Hz (32772.3 Hz - 131.2 ppm) への補正の場合、DEV = 0、補正値 = 86 (SUBCUDのビット6-0 : 0101100) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の動作を図9 - 25に示します。

図9 - 25 (DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の動作



補正例

32767.4 Hzから32768 Hz (32767.4 Hz + 18.3 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数はRTCCL端子から約32 kHzを出力するか、時計誤差補正レジスタが初期値(00H)時にRTC1Hz端子から約1 Hzを出力して測定します。

注 RTC1Hz出力の設定手順は、9. 4. 4 **リアルタイム・カウンタの1Hz出力**を、RTCCL端子から約32 kHzの出力の設定手順は、9. 4. 5 **リアルタイム・カウンタの32.768 kHz出力**を参照してください。

【補正値の算出】

(RTC1Hz端子からの出力周波数が0.9999817 Hzの場合)

$$\text{発振周波数} = 32768 \times 0.9999817 \quad 32767.4 \text{ Hz}$$

ターゲット周波数を32768 Hz (32767.4 Hz + 18.3 ppm) とし、DEV = 1とします。

DEV = 1の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} = 1\text{分間の補正カウント数} &= (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \\ &= (32767.4 \div 32768 - 1) \times 32768 \times 60 \\ &= -36 \end{aligned}$$

【(F6 ~ F0) への設定値の算出】

(補正値 = -36の場合)

補正値が0以下(速くする場合)では、F6 = 1とします。

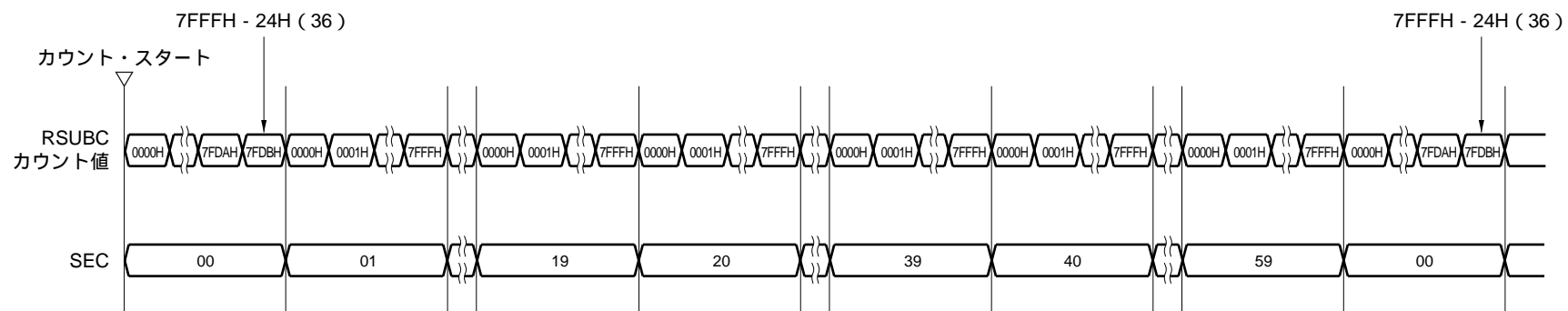
(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

$$\begin{aligned} - \{ (/F5, /F4, /F3, /F2, /F1, /F0) + 1 \} \times 2 &= -36 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= 17 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= (0, 1, 0, 0, 0, 1) \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 1, 0) \end{aligned}$$

したがって、32767.4 Hzから32768 Hz (32767.4Hz + 18.3 ppm) への補正の場合、DEV = 1、補正値 = -36 (SUBCUDのビット6-0 : 1101110) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の動作を図9 - 26に示します。

図9 - 26 (DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の動作



第10章 ウォッチドッグ・タイマ

10.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、78K0/Kx2-Aマイクロコントローラの全製品に搭載されています。

ウォッチドッグ・タイマは低速内蔵発振クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEにデータを書き込んだ場合
- ・命令のフェッチにて、IMSレジスタで設定していない領域からフェッチした場合
(CPU暴走時の無効チェック検出)
- ・CPUのリード/ライト命令にて、IMSレジスタで設定していない領域(ただしFB00H-FFCFH, FFE0H-FFFFHは除く)にアクセスした場合
(CPU暴走時の異常アクセス検出)

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFの詳細については第21章 **リセット機能**を参照してください。

10.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表10-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

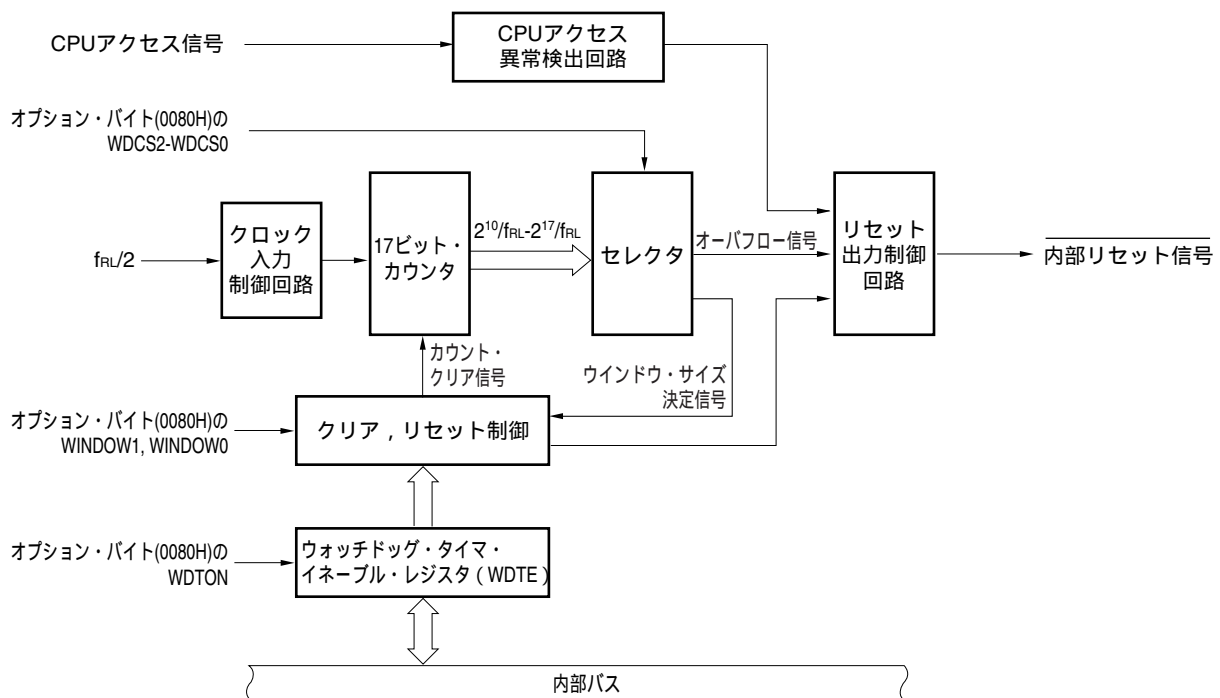
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定を行います。

表10-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (0080H)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)

備考 オプション・バイトについては、第24章 オプション・バイトを参照してください。

図10-1 ウォッチドッグ・タイマのブロック図



10.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) で制御します。

(1) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH^注になります。

図10-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FF99H リセット時 : 9AH / 1AH^注 R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEのリセット値は、オプション・バイト (0080H) のWDTONの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONに1を設定してください。

WDTONの設定値	WDTEのリセット値
0(ウォッチドッグ・タイマのカウント動作禁止)	1AH
1(ウォッチドッグ・タイマのカウント動作許可)	9AH

- 注意1. WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。
2. WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。
3. WDTEのリード値は、“9AH / 1AH” (書き込んだ値 (“ACH”)とは異なる値) になります。

10.4 ウォッチドッグ・タイマの動作

10.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト（0080H）で次の内容を設定します。

・オプション・バイト（0080H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウンタ動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、第24章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ / 不正アクセス検出の動作制御
0	カウンタ動作禁止（リセット解除後、カウンタ停止）、不正アクセス検出動作禁止
1	カウンタ動作許可（リセット解除後、カウンタ開始）、不正アクセス検出動作許可

・オプション・バイト（0080H）のビット3-1（WDCS2-WDCS0）で、オーバフロー時間を設定してください（詳細は、10.4.2および第24章を参照）。

・オプション・バイト（0080H）のビット6, 5（WINDOW1, WINDOW0）で、ウインドウ・オープン期間を設定してください（詳細は、10.4.3および第24章を参照）。

2. リセット解除後、ウォッチドッグ・タイマはカウンタ動作を開始します。
3. カウンタ動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
5. WDTEに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。

また、次の場合も、内部リセット信号を発生します。

- ・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・命令のフェッチにて、IMSレジスタで設定していない領域からフェッチした場合
（CPU暴走時の無効チェック検出）
- ・CPUのリード/ライト命令にて、IMSレジスタで設定していない領域（ただしFB00H-FFCFH, FFE0H-FFFFHは除く）にアクセスした場合
（CPU暴走時の異常アクセス検出）

- 注意1.** リセット解除後1回目のWDTEへの書き込みは、オーバフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
2. WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大 $2/f_{RL}$ 秒の誤差が生じる場合があります。
 3. ウォッチドッグ・タイマのクリアは、カウンタ値がオーバフロー直前（FFFFH）まで有効です。

注意4. オプション・バイトのビット0 (LSROSC) の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります。

	LSROSC = 0 (低速内蔵発振器はソフトウェアにより停止可能)	LSROSC = 1 (低速内蔵発振器は停止不可)
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		

LSROSC = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウンタを再開します。このとき、カウンタはクリア (0) されず、停止前の値からカウント開始します。

また、LSROSC = 0設定時に、LSRSTOP (内蔵発振モード・レジスタ (RCM) のビット1) = 1を設定して低速内蔵発振器の発振を停止した場合も、ウォッチドッグ・タイマの動作は停止します。このときもカウンタはクリア (0) されません。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROM[®]エミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウィンドウ・サイズを設定してください。

10.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト (0080H) のビット3-1 (WDOS2-WDOS0) で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウィンドウ・オープン期間中にWDTEに“ACH”を書き込むことにより、カウンタはクリアされ、再度カウント動作を開始します。

設定するオーバフロー時間を次に示します。

表10-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDOS2	WDOS1	WDOS0	ウォッチドッグ・タイマのオーバフロー時間
0	0	0	$2^{10}/f_{RL}$ (3.88 ms)
0	0	1	$2^{11}/f_{RL}$ (7.76 ms)
0	1	0	$2^{12}/f_{RL}$ (15.52 ms)
0	1	1	$2^{13}/f_{RL}$ (31.03 ms)
1	0	0	$2^{14}/f_{RL}$ (62.06 ms)
1	0	1	$2^{15}/f_{RL}$ (124.12 ms)
1	1	0	$2^{16}/f_{RL}$ (248.24 ms)
1	1	1	$2^{17}/f_{RL}$ (496.48 ms)

注意1. WDOS2 = WDOS1 = WDOS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウィンドウ・サイズを設定してください。

備考1. f_{RL} : 低速内蔵発振クロック周波数

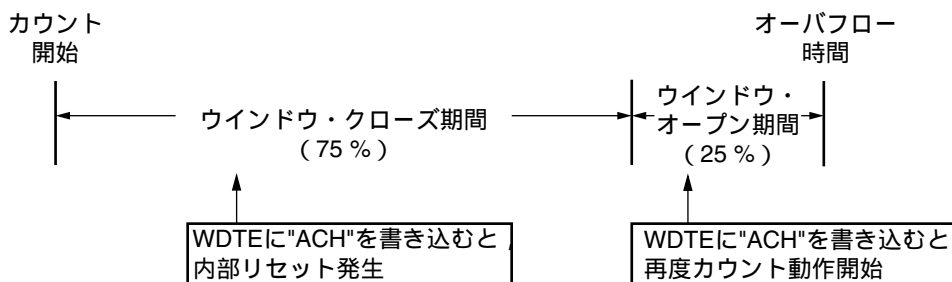
- () 内は $f_{RL} = 264 \text{ kHz (MAX.)}$ の場合

10.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト(0080H)のビット6, 5(WINDOW1, WINDOW0)で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、WDTEに“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTEに“ACH”を書き込んでも、異常検出され、内部リセットを発生します。

例 ウインドウ・オープン期間が25%の場合



注意 リセット解除後1回目のWDTEへの書き込みは、オーバーフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定するウインドウ・オープン期間を次に示します。

表10-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

- 注意1.** WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。
- 1.8 V $V_{DD} < 2.7$ Vで使用する場合、WINDOW1 = WINDOW0 = 0は設定禁止です。
 - フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバーフロー時間およびウインドウ・サイズを設定してください。

備考 オーバフロー時間を $2^{11}/f_{RL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

(2.7 V V_{DD} 5.5 Vの場合)

	ウインドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウインドウ・クローズ時間	0 ~ 7.11 ms	0 ~ 4.74 ms	0 ~ 2.37 ms	なし
ウインドウ・オープン時間	7.11 ~ 7.76 ms	4.74 ~ 7.76 ms	2.37 ~ 7.76 ms	0 ~ 7.76 ms

<ウインドウ・オープン期間25 %のとき>

・ オーバフロー時間 :

$$2^{11}/f_{RL} (\text{MAX.}) = 2^{11}/264 \text{ kHz} (\text{MAX.}) = 7.76 \text{ ms}$$

・ ウインドウ・クローズ時間 :

$$0 \sim 2^{11}/f_{RL} (\text{MIN.}) \times (1 - 0.25) = 0 \sim 2^{11}/216 \text{ kHz} (\text{MIN.}) \times 0.75 = 0 \sim 7.11 \text{ ms}$$

・ ウインドウ・オープン時間 :

$$2^{11}/f_{RL} (\text{MIN.}) \times (1 - 0.25) \sim 2^{11}/f_{RL} (\text{MAX.}) = 2^{11}/216 \text{ kHz} (\text{MIN.}) \times 0.75 \sim 2^{11}/264 \text{ kHz} (\text{MAX.}) \\ = 7.11 \sim 7.76 \text{ ms}$$

第11章 クロック出力制御回路

項目	78K0/KB2-A	78K0/KC2-A
		30ピン
クロック出力	-	

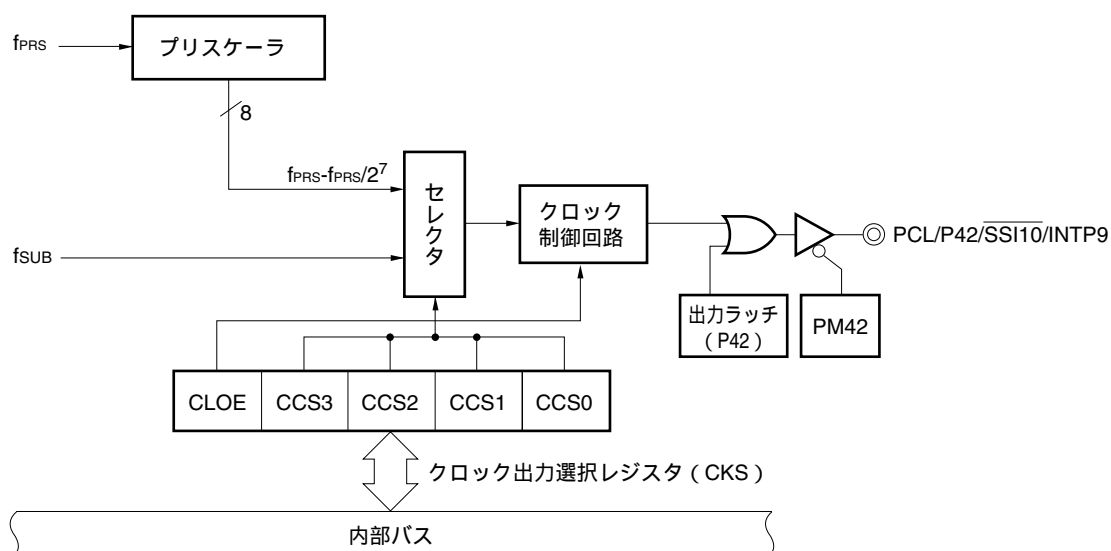
: 搭載, - : 非搭載

11.1 クロック出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺ICに供給するクロックを出力する機能です。クロック出力選択レジスタ（CKS）で選択したクロックを出力します。

図11 - 1にクロック出力制御回路のブロック図を示します。

図11 - 1 クロック出力制御回路のブロック図



11.2 クロック出力制御回路の構成

クロック出力制御回路は、次のハードウェアで構成されています。

表11-1 クロック出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタ (CKS) ポート・モード・レジスタ4 (PM4) ポート・レジスタ4 (P4)

11.3 クロック出力制御回路を制御するレジスタ

クロック出力制御回路は、次の2種類のレジスタで制御します。

- ・クロック出力選択レジスタ (CKS)
- ・ポート・モード・レジスタ4 (PM4)

(1) クロック出力選択レジスタ (CKS)

クロック出力 (PCL) の出力許可 / 禁止、および出力クロックを設定するレジスタです。

CKSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11 - 2 クロック出力選択レジスタ (CKS) のフォーマット

アドレス : FF40H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKS	0	0	0	CLOE	CCS3	CCS2	CCS1	CCS0

CLOE	PCLの出力許可 / 禁止の指定
0	クロック分周回路動作停止。PCL = ロウ・レベル固定。
1	クロック分周回路動作許可。PCL出力許可。

CCS3	CCS2	CCS1	CCS0	PCLの出力クロックの選択 ^{注1}			
				f _{SUB} = 32.768 kHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz	
0	0	0	0	f _{PRS} ^{注2}	-	10 MHz	設定禁止 ^{注3}
0	0	0	1	f _{PRS} /2	-	5 MHz	10 MHz
0	0	1	0	f _{PRS} /2 ²	-	2.5 MHz	5 MHz
0	0	1	1	f _{PRS} /2 ³	-	1.25 MHz	2.5 MHz
0	1	0	0	f _{PRS} /2 ⁴	-	625 kHz	1.25 MHz
0	1	0	1	f _{PRS} /2 ⁵	-	312.5 kHz	625 kHz
0	1	1	0	f _{PRS} /2 ⁶	-	156.25 kHz	312.5 kHz
0	1	1	1	f _{PRS} /2 ⁷	-	78.125 kHz	156.25 kHz
1	0	0	0	f _{SUB}	32.768 kHz	-	-
上記以外				設定禁止			

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧により、使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック (f _{PRS}) の使用周波数範囲
2.7 V V _{DD} 5.5 V	f _{PRS} 20 MHz
1.8 V V _{DD} < 2.7 V	f _{PRS} 5 MHz

(上述の表は、f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- 1.8 V V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロックで動作している (XSEL = 0) 場合、CCS3 = CCS2 = CCS1 = CCS0 = 0 (PCLの出力クロック : f_{PRS}) は設定禁止です。
- PCLの出力クロックは、10 MHzを越えると設定禁止です。

注意 CCS3-CCS0の設定は、クロック出力動作停止時 (CLOE = 0) に行ってください。

備考1. f_{PRS} : 周辺ハードウェア・クロック周波数

2. f_{SUB} : サブシステム・クロック周波数

(2) ポート・モード・レジスタ4 (PM4)

ポート4の入力 / 出力を1ビット単位で設定するレジスタです。

P42/PCL/SSI10/INTP9端子をクロック出力機能として使用するとき，PM42およびP42の出力ラッチに0を設定してください。

PM4は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図11 - 3 ポート・モード・レジスタ4 (PM4) のフォ - マット

アドレス：FF24H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	1	1	1	1	1	PM42	PM41	PM40

PM4n	P4n端子の入出力モードの選択 (n = 0-2)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

11.4 クロック出力制御回路の動作

11.4.1 クロック出力としての動作

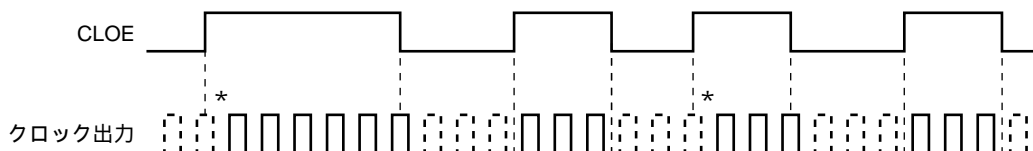
クロック・パルスは，次の手順で出力します。

クロック出力選択レジスタ (CKS) のビット0-3 (CCS0-CCS3) でクロック・パルスの出力周波数を選択する (クロック・パルスの出力は禁止の状態)。

CKSのビット4 (CLOE) に1を設定し，クロック出力を許可する。

備考 クロック出力制御回路は，クロック出力の出力許可 / 禁止を切り替えるときに，幅の狭いパルスは出力されないようになっています。図11 - 4に示すように，必ずクロックのロウ期間から出力を開始します (図中の * 印参照)。また，停止する場合には，クロックのハイ期間後に，出力を停止します。

図11 - 4 リモコン出力応用例



第12章 A/Dコンバータ

項目	78K0/KB2-A ^注	78K0/KC2-A
	30ピン	48ピン
A/Dコンバータ	10 ch (ANI0-ANI5, ANI8-ANI11)	12 ch (ANI0-ANI6, ANI8-ANI11, ANI15)

注 78K0/KB2-Aには、AV_{REFM}、AV_{REFP}端子はありませんので、AV_{REFP}端子をAV_{REF}端子と読み替えてください。

12.1 A/Dコンバータの機能

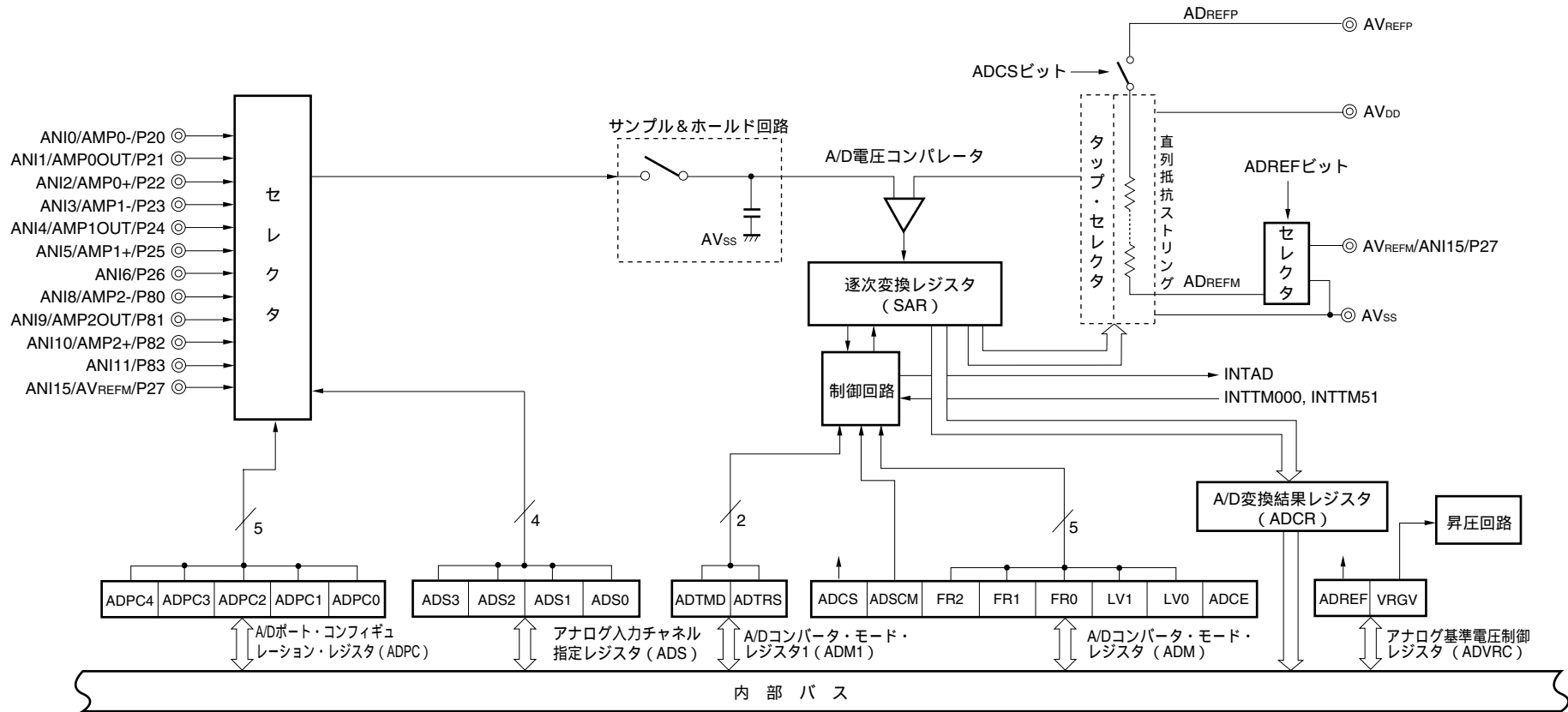
A/Dコンバータは、アナログ入力をデジタル値に変換する12ビット分解能のコンバータで、最大12チャンネルのA/Dコンバータ・アナログ入力 (ANI0-ANI6, ANI8-ANI11, ANI15) のアナログ入力を制御できる構成になっています。

ANI1, ANI4, ANI9はオペアンプ0, 1, 2出力 (AMP0OUT, AMP1OUT, AMP2OUT) と端子機能を兼用しています。これにより、オペアンプ出力をアナログ入力ソースとして使用することができます。

A/Dコンバータの動作モードには、次の4種類があります。

- ・ソフトウェア・トリガ・モード (連続変換モード)
- ・ソフトウェア・トリガ・モード (シングル変換モード)
- ・タイマ・トリガ・モード (連続変換モード)
- ・タイマ・トリガ・モード (シングル変換モード)

図12-1 A/Dコンバータのブロック図



備考 μ PD78F0590, 78F0591 (30ピン製品) : ANI0-ANI5, ANI8-ANI11
 μ PD78F0592, 78F0593 (48ピン製品) : ANI0-ANI6, ANI8-ANI11, ANI15

12.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI6, ANI8-ANI11, ANI15端子

A/Dコンバータのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

備考 78K0/KB2-A : ANI0-ANI5, ANI8-ANI11

78K0/KC2-A : ANI0-ANI6, ANI8-ANI11, ANI15

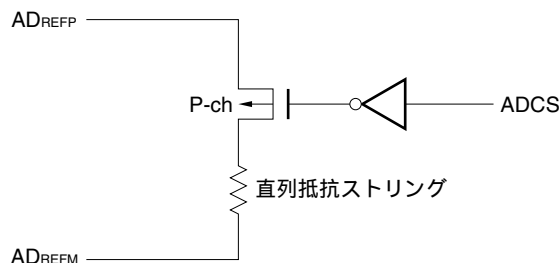
(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) 直列抵抗ストリング

直列抵抗ストリングはADREFP ~ ADREFM間^注に接続されており、サンプリングされた電圧値と比較する電圧を発生します。

図12-2 直列抵抗ストリングの回路構成



注 78K0/KB2-Aでは、直列抵抗ストリングはAVREF-AVSS間に接続されます。

(4) 電圧コンパレータ

電圧コンパレータは、サンプリングされた電圧値と直列抵抗ストリングの出力電圧を比較します。

(5) 逐次変換レジスタ (SAR)

電圧コンパレータで比較した結果を、最上位ビット (MSB) から変換するレジスタです。

最下位ビット (LSB) までデジタル値に変換すると (A/D変換終了)、SARレジスタの内容はA/D変換結果レジスタ (ADCR) に転送されます。

(6) 12ビットA/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を下位12ビットに保持します (上位4ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、INTADを発生します。

(9) AV_{DD}端子

A/Dコンバータの電源端子です。ポート2, 8のうち, 1本でもデジタル・ポートとして使用する場合は、V_{DD}と同電位にしてください。

(10) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}と同電位で使用してください。

また、78K0/KC2-Aでは、グランド電位 (AV_{SS}) をA/Dコンバータの基準電圧の - 側 (ADREFM) として使用することもできます。AV_{SS}をADREFMとして使用する場合は、ADVRCレジスタのADREFビットを0にクリアしてください。

(11) AV_{REFP}端子^{注1}

外部から基準電圧 (AV_{REFP}) を入力する端子です。

AV_{REFP}とAV_{REFM}間にかかる電圧^{注2}に基づいて、ANI0-ANI6, ANI8-ANI11, ANI15に入力されるアナログ信号をデジタル信号に変換します。

(12) AV_{REFM}端子^{注1}

外部から基準電圧 (AV_{REFM}) を入力する端子です。AV_{REFM}をA/Dコンバータの - 側の基準電圧 (ADREFM) として使用する場合は、ADVRCレジスタのADREFビットを1にセットしてください。

注1. 78K0/KB2-Aには、AV_{REFM}, AV_{REFP}端子はありませんので、AV_{REFP}端子をAV_{REF}端子と読み替えてください。

2. 78K0/KB2-Aでは、AV_{REF}-AV_{SS}間にかかる電圧になります。

備考 78K0/KB2-A : ANI0-ANI5, ANI8-ANI11

78K0/KC2-A : ANI0-ANI6, ANI8-ANI11, ANI15

12.3 A/Dコンバータで使用するレジスタ

A/Dコンバータは、次の8種類のレジスタを使用します。

- ・ A/Dコンバータ・モード・レジスタ (ADM)
- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ アナログ基準電圧制御レジスタ (ADVRC)
- ・ 12ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタ (ADCRH)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・ ポート・モード・レジスタ2, 8 (PM2, PM8)

(1) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット

アドレス：FF38H リセット時：00H R/W

略号	[7]	6	5	4	3	2	1	[0]
ADM	ADCS	ADSCM	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADSCM	A/D変換動作モードを指定
0	連続変換モード
1	シングル変換モード

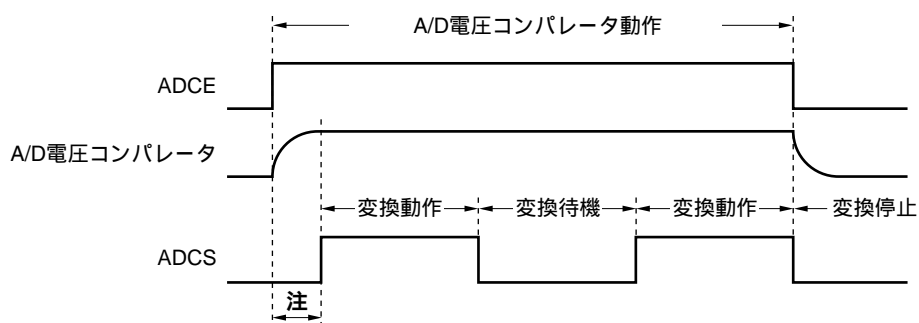
ADCE	A/D電圧コンパレータの動作制御 ^{注2}
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

- 注1. FR2-FR0, LV1, LV0およびA/D変換に関する詳細については、表12-2 A/D変換時間の選択を参照してください。
2. A/D電圧コンパレータはADCSとADCEで動作制御され、動作開始から安定するまでに、1 μ sかかります。このため、ADCEに1を設定してから1 μ s以上経過したあとに、ADCSに1を設定することで、最初の変換データより有効となります。1 μ s以上ウエイトしないでADCSに1を設定した場合は、最初の変換データを無視してください。

表12-1 ADCSとADCEの設定

ADCS	ADCE	A/D変換動作
0	0	停止状態 (DC電力消費パスは存在しません)
0	1	変換待機モード (A/D電圧コンパレータ動作, コンパレータのみ電力消費)
1	0	設定禁止
1	1	変換モード (A/D電圧コンパレータ動作)

図12-4 A/D電圧コンパレータ使用時のタイミング・チャート



注 ADCEの立ち上がりから、ADCSの立ち上がりまでの時間は、内部回路安定のため、 $1\mu\text{s}$ 以上必要です。

- 注意1. FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。
2. 標準モード2 (LV1 = 0, LV0 = 1) または低電圧モード (LV1 = 1, LV0 = 0) で使用する場合、A/Dコンバータ昇圧回路を動作開始 (VRGV = 1) してから、基準電圧安定待ち時間 ($10\mu\text{s}$) を経過したあとに、動作許可 (ADCE = 1) してください。また、A/D電圧コンパレータは、動作許可してから安定するまでに、 $1\mu\text{s}$ かかります。このため、A/D電圧コンパレータを動作許可してから $1\mu\text{s}$ 以上経過したあとに、変換動作許可 (ADCS = 1) することで、最初の変換データより有効となります。 $1\mu\text{s}$ 以上ウエイトしないで変換動作許可した場合は、最初の変換データを無視してください。

表12-2 A/D変換時間の選択

(1) 標準モード1: 2.7 V AV_{DD} 5.5 V (A/Dコンバータ昇圧回路動作停止) 注1

A/Dコンバータ・モード・レジスタ (ADM)					変換時間の選択				変換 クロック (f _{AD})	
FR2	FR1	FR0	LV1	LV0	f _{CPU} = 1 MHz	f _{CPU} = 8 MHz	f _{CPU} = 10 MHz	f _{CPU} = 20 MHz		
0	0	0	0	0	240/f _{CPU}	設定禁止	30 μs	24 μs	12 μs	f _{CPU} /12
0	0	1			160/f _{CPU}	20 μs	16 μs	8 μs	f _{CPU} /8	
0	1	0			120/f _{CPU}	15 μs	12 μs	6 μs	f _{CPU} /6	
0	1	1			100/f _{CPU}	12.5 μs	10 μs	5 μs	f _{CPU} /5	
1	0	0			80/f _{CPU}	10 μs	8 μs	設定禁止	f _{CPU} /4	
1	0	1			60/f _{CPU}	7.5 μs	6 μs		f _{CPU} /3	
1	1	0			40/f _{CPU}	40 μs	5 μs	設定禁止	f _{CPU} /2	
1	1	1			20/f _{CPU}	20 μs	設定禁止	f _{CPU}		

(2) 標準モード2: 2.3 V AV_{DD} 5.5 V (A/Dコンバータ昇圧回路動作) 注1, 2

A/Dコンバータ・モード・レジスタ (ADM)					変換時間の選択				変換 クロック (f _{AD})	
FR2	FR1	FR0	LV1	LV0	f _{CPU} = 1 MHz	f _{CPU} = 8 MHz	f _{CPU} = 10 MHz	f _{CPU} = 20 MHz		
0	0	0	0	1	240/f _{CPU}	設定禁止	30 μs	24 μs	12 μs	f _{CPU} /12
0	0	1			160/f _{CPU}	20 μs	16 μs	8 μs	f _{CPU} /8	
0	1	0			120/f _{CPU}	15 μs	12 μs	6 μs	f _{CPU} /6	
0	1	1			100/f _{CPU}	12.5 μs	10 μs	5 μs	f _{CPU} /5	
1	0	0			80/f _{CPU}	10 μs	8 μs	設定禁止	f _{CPU} /4	
1	0	1			60/f _{CPU}	7.5 μs	6 μs		f _{CPU} /3	
1	1	0			40/f _{CPU}	40 μs	5 μs	設定禁止	f _{CPU} /2	
1	1	1			20/f _{CPU}	20 μs	設定禁止	f _{CPU}		

(3) 低電圧モード: 1.8 V AV_{DD} 5.5 V (A/Dコンバータ昇圧回路動作) 注1, 2

A/Dコンバータ・モード・レジスタ (ADM)					変換時間の選択				変換 クロック (f _{AD})	
FR2	FR1	FR0	LV1	LV0	f _{CPU} = 1 MHz	f _{CPU} = 8 MHz	f _{CPU} = 10 MHz	f _{CPU} = 20 MHz		
0	0	0	1	0	276/f _{CPU}	設定禁止	34.5 μs	27.6 μs	13.8 μs	f _{CPU} /12
0	0	1			184/f _{CPU}	23 μs	18.4 μs	9.2 μs	f _{CPU} /8	
0	1	0			138/f _{CPU}	17.3 μs	13.8 μs	6.9 μs	f _{CPU} /6	
0	1	1			115/f _{CPU}	14.4 μs	11.5 μs	設定禁止	f _{CPU} /5	
1	0	0			92/f _{CPU}	11.5 μs	9.2 μs		f _{CPU} /4	
1	0	1			69/f _{CPU}	8.96 μs	6.9 μs	f _{CPU} /3		
1	1	0			46/f _{CPU}	46 μs	設定禁止	設定禁止	f _{CPU} /2	
1	1	1			23/f _{CPU}	23 μs	f _{CPU}			

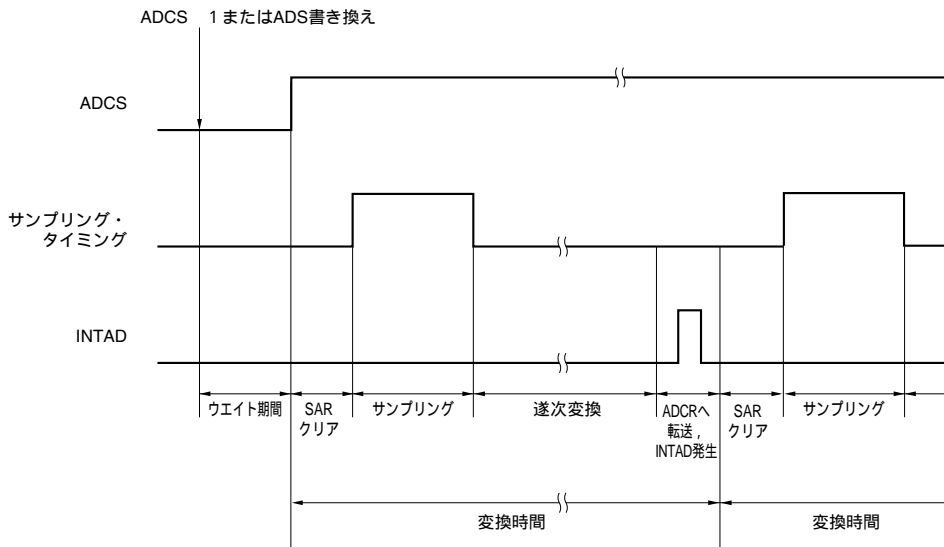
注1. 使用する電圧，モードにより，選択できる変換時間が異なります。詳細は，第28章 電気的特性を参照してください。

2. 標準モード2，低電圧モードでは，A/Dコンバータ昇圧回路を動作 (VRGV = 1) させてください。

注意 A/Dコンバータのクロックには，CPUクロック (f_{CPU}) が供給されますので，f_{CPU}を変更すると，A/Dコンバータの変換クロック (f_{AD}) も変更されます。したがって，f_{CPU}を変更 (PCCレジスタ，MCMレジスタの設定変更) する場合は，A/Dコンバータを動作停止 (ADCS = 0) してから行ってください。

備考 f_{CPU} : CPUクロック周波数

図12-5 A/DコンバータのサンプリングとA/D変換のタイミング



(2) A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換起動トリガを設定するレジスタです。

ADM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-6 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマット

アドレス：FF3AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD	0	0	0	0	0	0	ADTRS

ADTMD	A/Dトリガ・モードの選択
0	ソフトウェア・トリガ・モード
1	タイマ・トリガ・モード (ハードウェア・トリガ・モード)

ADTRS	タイマ・トリガ信号の選択
0	INTTM000
1	INTTM51

注意 A/D変換中にADM1を書き換えることは禁止です。変換動作停止時 (ADCS = 0) に書き換えてください。

(3) アナログ基準電圧制御レジスタ (ADVRC)

A/Dコンバータの - 側の基準電圧源の選択を制御するレジスタです。

A/Dコンバータ用入力ゲート昇圧回路の動作により、低電圧動作時でもA/Dコンバータの電気的特性を維持することができます。

ADVRCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-7 アナログ基準電圧制御レジスタ (ADVRC) のフォーマット

アドレス：FF2EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADVRC	ADREF ^{注1}	0	0	0	0	0	VRGV ^{注2}	0

ADREF ^{注1}	A/Dコンバータの - 側の基準電圧源の選択
0	AV _{SS}
1	AV _{REFM} (外部基準電圧入力)

VRGV ^{注2}	A/Dコンバータ昇圧回路の動作制御
0	動作停止
1	動作許可

注1. 78K0/KB2-Aには、AV_{REFM}端子はありませんので、ADREFを必ず0に設定してください。

- 標準モード2 (LV1 = 0, LV0 = 1) または低電圧モード (LV1 = 1, LV0 = 0) で使用する場合、A/Dコンバータ昇圧回路を動作開始 (VRGV = 1) してから、基準電圧安定待ち時間 (10 μs) を経過したあとに、動作許可 (ADCE = 1) してください。また、A/D電圧コンパレータは、動作許可してから安定するまでに、1 μsかかります。このため、A/D電圧コンパレータを動作許可してから1 μs以上経過したあとに、変換動作許可 (ADCS = 1) することで、最初の変換データより有効となります。1 μs以上ウエイトしないで変換動作許可した場合は、最初の変換データを無視してください。

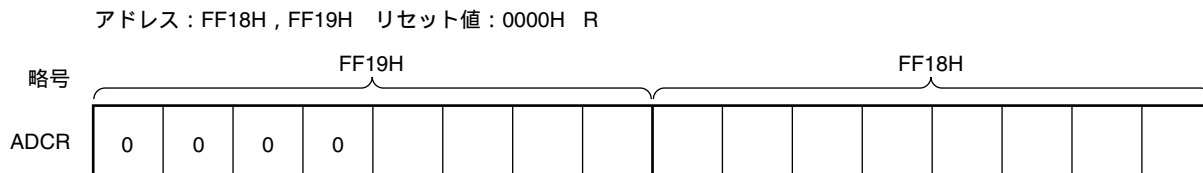
(4) 12ビットA/D変換結果レジスタ (ADCR)

A/D変換結果を保持する16ビットのレジスタです。上位4ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。変換結果の上位4ビットがFF19Hに、下位8ビットがFF18Hに格納されます。

ADCRは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図12 - 8 12ビットA/D変換結果レジスタ (ADCR) のフォーマット



注意 A/Dコンバータ・モード・レジスタ (ADM)，アナログ入力チャンネル指定レジスタ (ADS)，A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき，ADCRの内容は不定となることがあります。変換結果は、変換動作終了後，ADM, ADS, ADPC に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

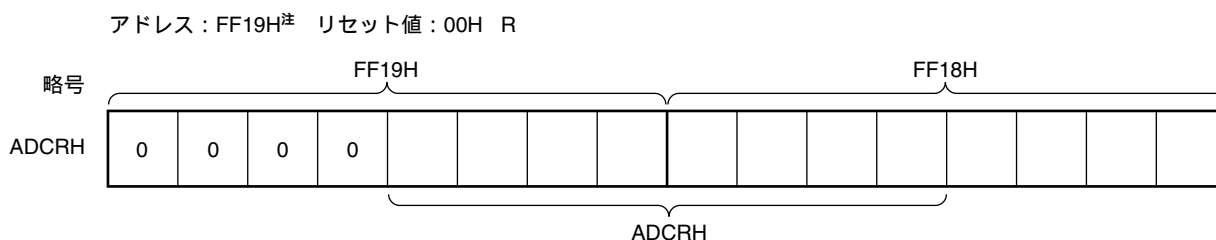
(5) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換結果を保持する8ビットのレジスタです。12ビット分解能の上位8ビットを格納します。

ADCRHは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図12 - 9 8ビットA/D変換結果レジスタ (ADCRH) のフォーマット



注 FF19H番地を読み出した場合，ADCRHのデータ (FF19Hの下位4ビット + FF18Hの上位4ビット) が読み出されます。

注意 A/Dコンバータ・モード・レジスタ (ADM)，アナログ入力チャンネル指定レジスタ (ADS)，A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき，ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後，ADM, ADS, ADPC に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(6) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

ADSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12 - 10 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

アドレス：FF39H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	ADS3	ADS2	ADS1	ADS0

注

注

ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネル
0	0	0	0	ANI0
0	0	0	1	ANI1
0	0	1	0	ANI2
0	0	1	1	ANI3
0	1	0	0	ANI4
0	1	0	1	ANI5
0	1	1	0	ANI6
0	1	1	1	設定禁止
1	0	0	0	ANI8
1	0	0	1	ANI9
1	0	1	0	ANI10
1	0	1	1	ANI11
1	1	1	1	ANI15
上記以外				設定禁止

注 78K0/KB2-Aでは、設定禁止です。

注意1. ビット4-7には必ず0を設定してください。

2. A/D変換で使用するチャンネルは、ポート・モード・レジスタ2, 8 (PM2, PM8) で入力モードに選択してください。
3. ADPCでデジタル入出力として設定する端子を、ADSで設定しないでください。
4. オペアンプ_n使用時は、オペアンプ_nの出力信号をアナログ入力として使用することができます。

備考 n = 0-2

(7) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI0/AMP0-/P20-ANI6/P26, ANI8/AMP2-/P80-ANI11/P83, ANI15/AV_{REFM}/P27端子を, アナログ入力 / ポートのデジタル入出力に切り替えるレジスタです。

ADPCは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 10Hになります。

備考 78K0/KB2-A : ANI0-ANI5, ANI8-ANI11

78K0/KC2-A : ANI0-ANI6, ANI8-ANI11, ANI15

図12 - 11 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス : FF2FH リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

注

注

ADP C4	ADP C3	ADP C2	ADP C1	ADP C0	アナログ入力 (A) / デジタル入出力 (D) の切り替え											
					ANI15 /AV _{REFM} /P27	ANI11 /P83	ANI10 /AMP2+ /P82	ANI9 /AMP2OUT /P81	ANI8 /AMP2- /P80	ANI6 /P26	ANI5 /AMP1+ /P25	ANI4 /AMP1OUT /P24	ANI3 /AMP1- /P23	ANI2 /AMP0+ /P22	ANI1 /AMP0OUT /P21	ANI0 /AMP0- /P20
					0	0	0	0	0	A	A	A	A	A	A	A
0	0	0	0	1	A	A	A	A	A	A	A	A	A	A	A	D
0	0	0	1	0	A	A	A	A	A	A	A	A	A	A	D	D
0	0	0	1	1	A	A	A	A	A	A	A	A	A	D	D	D
0	0	1	0	0	A	A	A	A	A	A	A	A	D	D	D	D
0	0	1	0	1	A	A	A	A	A	A	A	D	D	D	D	D
0	0	1	1	0	A	A	A	A	A	A	D	D	D	D	D	D
0	0	1	1	1	設定禁止											
0	1	0	0	0	A	A	A	A	A	D	D	D	D	D	D	D
0	1	0	0	1	A	A	A	A	D	D	D	D	D	D	D	D
0	1	0	1	0	A	A	A	D	D	D	D	D	D	D	D	D
0	1	0	1	1	A	A	D	D	D	D	D	D	D	D	D	D
0	1	1	1	1	A	D	D	D	D	D	D	D	D	D	D	D
1	0	0	0	0	D	D	D	D	D	D	D	D	D	D	D	D
上記以外					設定禁止											

注 78K0/KB2-Aでは, 設定禁止です。

注意1. A/D変換で使用するチャンネルは, ポート・モード・レジスタ2, 8 (PM2, PM8) で入力モードに選択してください。

2. ADPCでデジタル入出力として設定する端子を, ADSで設定しないでください。

(8) ポート・モード・レジスタ2, 8 (PM2, PM8)

ANI0/AMP0-/P20-ANI6/P26, ANI8/AMP2-/P80-ANI11/P83, ANI15/AV_{REFM}/P27端子をアナログ入力ポートとして使用するとき, PM20-PM27, PM80-PM83 にそれぞれ1を設定してください。このときP20-P27, P80-P83の出力ラッチは, 0または1のどちらでもかまいません。

PM20-PM27, PM80-PM83にそれぞれ0を設定した場合は, アナログ入力ポートとして使用することはできません。

PM2, PM8は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

注意 アナログ入力ポートとして設定した端子を読み出した場合は, 端子レベルではなく常に0が読み出されます。

備考 78K0/KB2-A : ANI0-ANI5, ANI8-ANI11

78K0/KC2-A : ANI0-ANI6, ANI8-ANI11, ANI15

図12 - 12 ポート・モード・レジスタ2, 8 (PM2, PM8) のフォーマット

78K0/KB2-A

アドレス : FF22H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20

アドレス : FF28H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM8	1	1	1	1	PM83	PM82	PM81	PM80

78K0/KC2-A

アドレス : FF22H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

アドレス : FF28H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM8	1	1	1	1	PM83	PM82	PM81	PM80

PMmn	Pmn端子の入出力モードの選択 (mn = 20-27, 80-83)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

ANI0/AMP0-/P20-ANI6/P26, ANI8/AMP2-/P80-ANI11/P83, ANI15/AV_{REFM}/P27端子の機能は, ADPCレジスタ, ADSレジスタ, PM2レジスタ, PM8レジスタ, OAENnビット, ADREFビットの設定で決定します。

表12 - 3 ANI0/AMP0-/P20, ANI2/AMP0+/P22, ANI3/AMP1-/P23, ANI5/AMP1+/P25, ANI8/AMP2-/P80, ANI10/AMP2+/P82端子機能の設定

ADPC レジスタ	PM2, PM8 レジスタ	OAENn ビット	ADSレジスタ	ANI0/AMP0-/P20, ANI2/AMP0+/P22, ANI3/AMP1-/P23, ANI5/AMP1+/P25, ANI8/AMP2-/P80, ANI10/AMP2+/P82端子
デジタル入 出力選択	入力モード	0	-	デジタル入力
		1	-	設定禁止
	出力モード	0	-	デジタル出力
		1	-	設定禁止
アナログ入 力選択	入力モード	0	ANI選択	アナログ入力 (A/D変換対象)
			ANI非選択	アナログ入力 (A/D変換非対象)
		1	ANI選択	設定禁止
			ANI非選択	オペアンプ入力
	出力モード	-	-	設定禁止

表12 - 4 ANI1/AMP0OUT/P21, ANI4/AMP1OUT/P24, ANI9/AMP2OUT/P81端子機能の設定

ADPC レジスタ	PM2, PM8 レジスタ	OAENn ビット	ADSレジスタ	ANI1/AMP0OUT/P21, ANI4/AMP1OUT/P24, ANI9/AMP2OUT/P81端子
デジタル入 出力選択	入力モード	0	-	デジタル入力
		1	-	設定禁止
	出力モード	0	-	デジタル出力
		1	-	設定禁止
アナログ入 力選択	入力モード	0	ANI選択	アナログ入力 (A/D変換対象)
			ANI非選択	アナログ入力 (A/D変換非対象)
		1	ANI選択	オペアンプ出力 (A/D変換対象)
			ANI非選択	オペアンプ出力 (A/D変換非対象)
	出力モード	-	-	設定禁止

注意 オペアンプ使用時には, AMPn+, AMPn-, AMPnOUT端子を使用するため, 端子に兼用するアナログ入力機能は使用できません。ただし, オペアンプ出力信号をアナログ入力として使用することはできません。

備考 n = 0-2

表12 - 5 ANI6/P26, ANI11/P83端子機能の設定

ADPCレジスタ	PM2, PM8レジスタ	ADSレジスタ	ANI6/P26, ANI11/P83端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (A/D変換対象)
		ANI非選択	アナログ入力 (A/D非変換対象)
	出力モード	-	設定禁止

備考 78K0/KB2-A : ANI11/P83のみ

78K0/KC2-A : ANI6/P26, ANI11/P83

表12 - 6 ANI15/AV_{REFM}/P27端子機能の設定 (78K0/KC2-Aのみ)

ADPCレジスタ	PM2レジスタ	ADREFビット	ADSレジスタ	ANI15/AV _{REFM} /P27端子
デジタル入出力選択	入力モード	0	-	デジタル入力
		1	-	設定禁止
	出力モード	0	-	デジタル出力
		1	-	設定禁止
アナログ入力選択	入力モード	0	ANI選択	アナログ入力 (A/D変換対象)
			ANI非選択	アナログ入力 (A/D非変換対象)
		1	-	A/Dコンバータの - 側の基準電圧入力
	出力モード	-	-	設定禁止

12.4 A/Dコンバータの動作

12.4.1 A/Dコンバータの基本動作

ADMのビット5-1 (FR2-FR0, LV1, LV0) でA/D変換時間を, ビット6 (ADSCM) で動作モードを設定してください。

アナログ基準電圧制御レジスタ (ADVRC) のビット7, 1 (ADREF, VRGV) でA/Dコンバータの基準電圧源とA/Dコンバータ昇圧回路の動作を設定してください。

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1) し, A/D電圧コンパレータの動作を開始してください。

A/D変換するチャンネルをA/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に, ポート・モード・レジスタ (PM2, PM8) で入力モードに設定してください。

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ (ADS) で選択してください。

A/Dコンバータ・モード・レジスタ1 (ADM1) でトリガ・モードを設定してください。

でソフトウェア・トリガ・モードを設定している場合は, ADMのビット7 (ADCS) をセット (1) することにより, A/D変換動作を開始します。

でタイマ・トリガ・モードを設定している場合は, タイマ・トリガ信号の検出により, A/D変換動作を開始します。

(から までハードウェアでの動作)

選択したアナログ入力チャンネルに入力している電圧を, サンプル&ホールド回路でサンプリングします。一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり, サンプリングされた電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット11をセットし, タップ・セレクタは直列抵抗ストリングの電圧タップを (1/2) AV_{REF} にします。

直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし, アナログ入力 (1/2) AV_{REF} よりも大きければ, SARのMSBをセットしたままです。また, (1/2) AV_{REF} よりも小さければ, MSBはリセットします。

次にSARのビット10が自動的にセットし, 次の比較に移ります。ここではすでに結果がセットしているビット11の値によって, 次に示すように直列抵抗ストリングの電圧タップを選択します。

・ビット11 = 1 : (3/4) AV_{REF}

・ビット11 = 0 : (1/4) AV_{REF}

この電圧タップとサンプリングされた電圧を比較し, その結果でSARのビット10を次のように操作します。

・サンプリングされた電圧 > 電圧タップ : ビット10 = 1

・サンプリングされた電圧 < 電圧タップ : ビット10 = 0

このような比較をSARのビット0まで続けます。

12ビットの比較が終了したとき, SARには有効なデジタルの結果が残り, その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され, ラッチします。

同時に, A/D変換終了割り込み要求 (INTAD) を発生させることができます。

でシングル変換モードを設定している場合は、1回のA/D変換終了後に、ADCSが自動的にクリアされ、待機状態になります。

で連続変換モードを設定している場合は、以降 から までの動作を繰り返します。A/Dコンバータを停止する場合は、ADCSを0にクリアしてください。

ADCE = 1の状態から、再度A/D変換する場合は、 から開始してください。ADCE = 0の状態から、再度A/D変換する場合は、ADCEをセット(1)し、1 μ s以上ウエイト後に、 を開始してください。また、A/D変換するチャンネルを変更する場合は、 を行ってください。

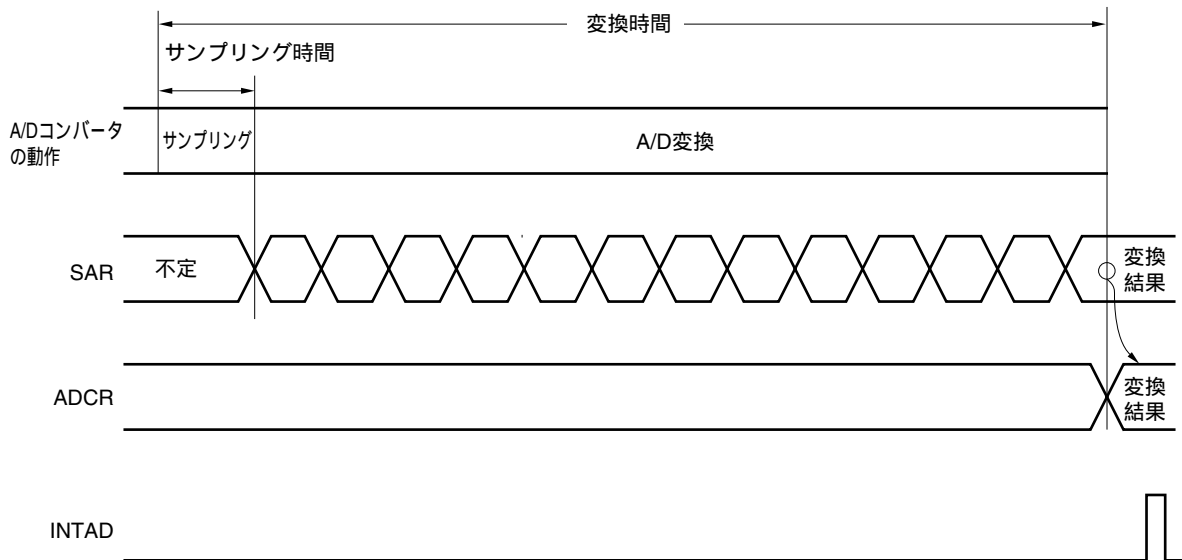
注意1. から までの間は1 μ s以上空けてください。

2. アナログ入力ソースとして使用する場合は、A/D変換動作設定前に、オペアンプの動作を開始してください(第13章 オペアンプを参照)。また、A/D変換動作中に、オペアンプの設定を変更しないでください。
3. 標準モード2 (LV1 = 0, LV0 = 1) または低電圧モード (LV1 = 1, LV0 = 0) で使用する場合は、A/Dコンバータ昇圧回路を動作開始 (VRGV = 1) してから、基準電圧安定待ち時間 (10 μ s) を経過したあとに、動作許可 (ADCE = 1) してください。また、A/D電圧コンパレータは、動作許可してから安定するまでに、1 μ sかかります。このため、A/D電圧コンパレータを動作許可してから1 μ s以上経過したあとに、変換動作許可 (ADCS = 1) することで、最初の変換データより有効となります。1 μ s以上ウエイトしないで変換動作許可した場合は、最初の変換データを無視してください。

備考 A/D変換結果レジスタは2種類あります。リセット信号の発生により0000Hまた00Hとなります。

- ・ ADCR (16ビット) : 12ビットのA/D変換値を格納します。
- ・ ADCRH (8ビット) : 8ビットのA/D変換値を格納します。

図12 - 13 A/Dコンバータの基本動作



12.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI6, ANI8-ANI11, ANI15) に入力されたアナログ入力電圧と理論上のA/D変換結果 (12ビットA/D変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$ADCR = \text{INT} \left(\frac{V_{AIN}}{AV_{REF}} \times 4096 + 0.5 \right)$$

または,

$$\left(ADCR - 0.5 \right) \times \frac{AV_{REF}}{4096} < V_{AIN} < \left(ADCR + 0.5 \right) \times \frac{AV_{REF}}{4096}$$

INT () : () 内の値の整数部を返す関数

V_{AIN} : アナログ入力電圧

AV_{REF} : A/Dコンバータの基準電圧

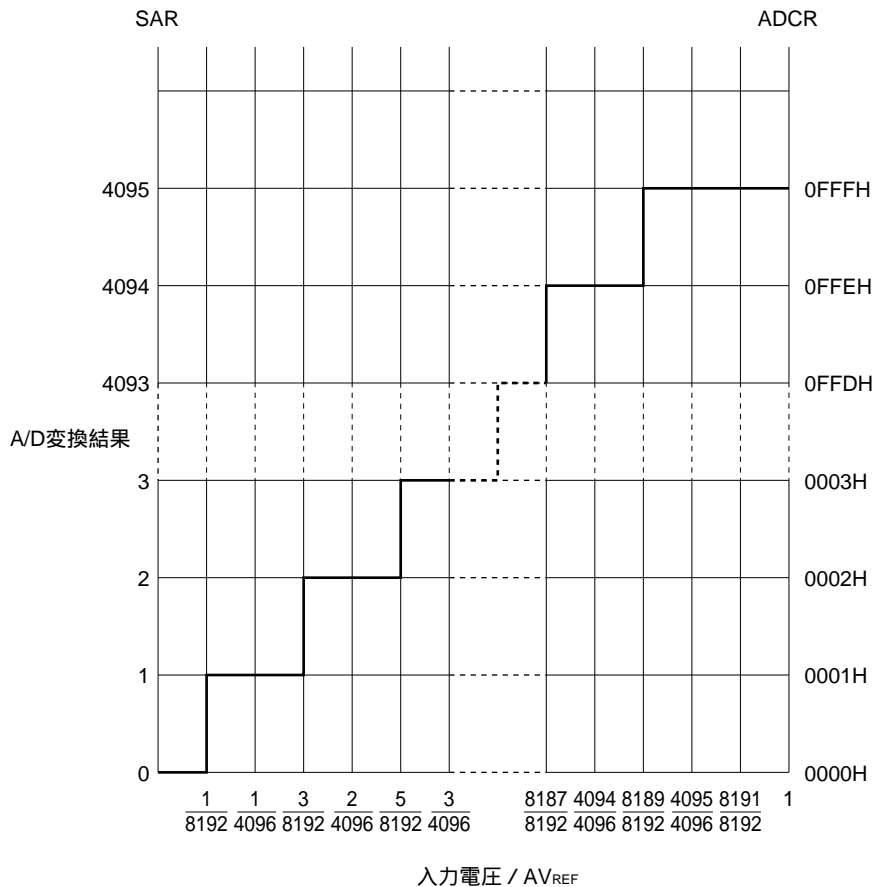
ADCR : 12ビットA/D変換結果レジスタ (ADCR) の値

備考 78K0/KB2-A : ANI0-ANI5, ANI8-ANI11

78K0/KC2-A : ANI0-ANI6, ANI8-ANI11, ANI15

図12 - 14にアナログ入力電圧とA/D変換結果の関係を示します。

図12 - 14 アナログ入力電圧とA/D変換結果の関係



12.4.3 A/Dコンバータの動作モード

A/Dコンバータの動作モードには、次の4種類があります。

- ・ソフトウェア・トリガ・モード（連続変換モード）
- ・ソフトウェア・トリガ・モード（シングル変換モード）
- ・タイマ・トリガ・モード（連続変換モード）
- ・タイマ・トリガ・モード（シングル変換モード）

(1) ソフトウェア・トリガ・モード（連続変換モード）

A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) に1を設定することにより、アナログ入力チャネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

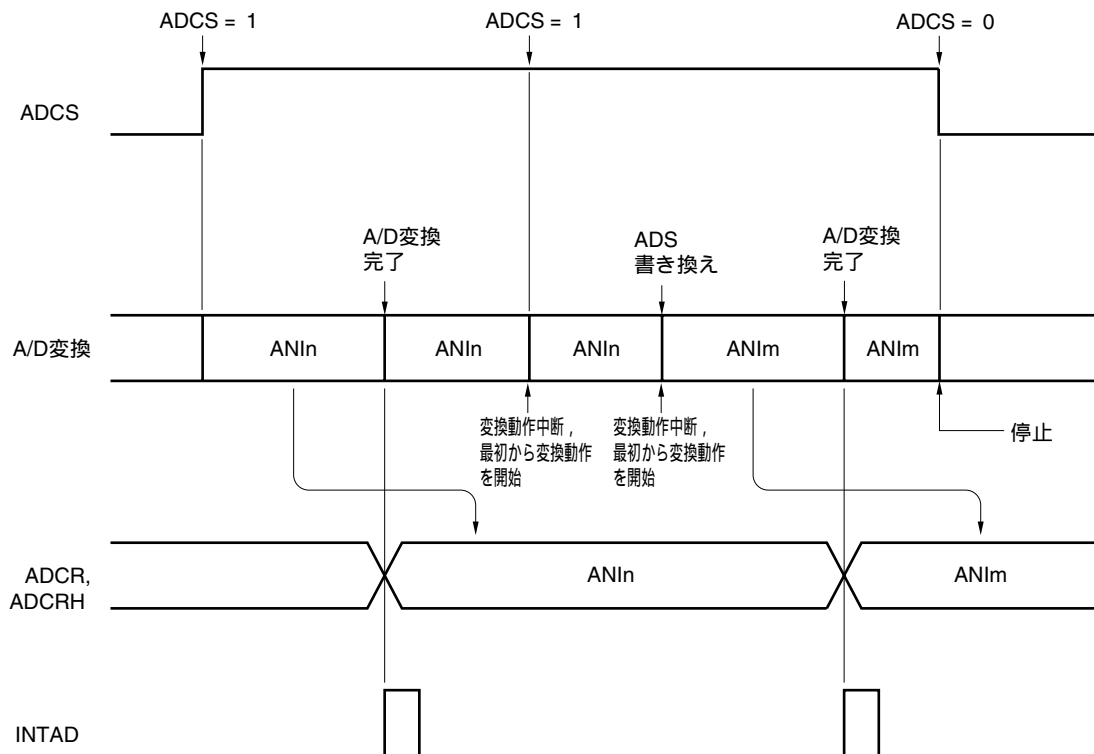
A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、割り込み要求信号 (INTAD) を発生します。1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。

A/D変換動作中に、ADCSに1を書き込むと、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。このとき直前の変換結果は保持されます。

A/D変換動作中に、ADSを書き換えると、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。このとき直前の変換結果は保持されます。

A/D変換動作中に、ADCSに0を書き込むと、ただちにA/D変換動作を停止します。このとき直前の変換結果は保持されます。

図12 - 15 ソフトウェア・トリガ・モード（連続変換モード）



備考 78K0/KB2-A : n = 0-5, 8-11, m = 0-5, 8-11

78K0/KC2-A : n = 0-6, 8-11, 15, m = 0-6, 8-11, 15

(2) ソフトウェア・トリガ・モード (シングル変換モード)

A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) に1を設定することにより、アナログ入力チャンネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

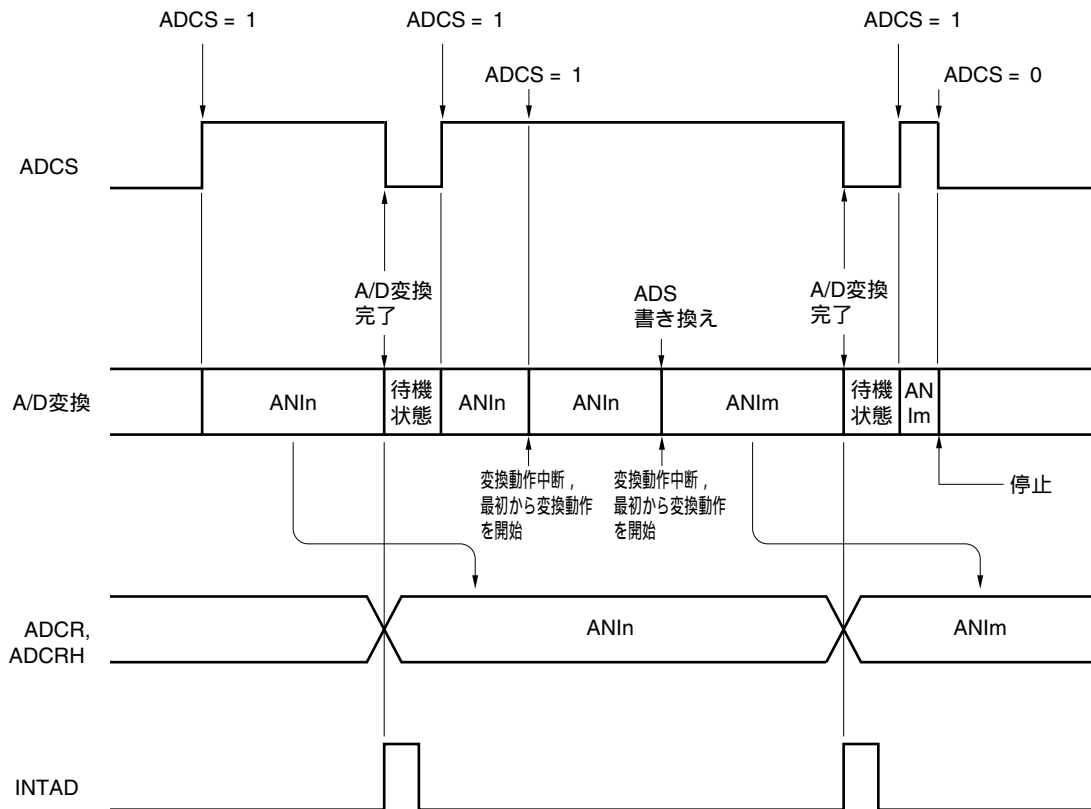
A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、割り込み要求信号 (INTAD) を発生します。1回のA/D変換が終了すると、ADCSが自動的にクリアされ、A/D変換待機状態になります。

A/D変換動作中に、ADCSに1を書き込むと、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。このとき直前の変換結果は保持されます。

A/D変換動作中に、ADSを書き換えると、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。このとき直前の変換結果は保持されます。

A/D変換動作中に、ADCSに0を書き込むと、ただちにA/D変換動作を停止します。このとき直前の変換結果は保持されます。

図12 - 16 ソフトウェア・トリガ・モード (シングル変換モード)



備考 78K0/KB2-A : n = 0-5, 8-11, m = 0-5, 8-11
 78K0/KC2-A : n = 0-6, 8-11, 15, m = 0-6, 8-11, 15

(3) タイマ・トリガ・モード (連続変換モード)

A/Dコンバータ・モード・レジスタ1 (ADM1) のビット7 (ADTMD) に1を設定することにより、タイマ・トリガ・モードになり、タイマ・トリガ待機状態となります。

タイマ・トリガ信号の検出により、A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) は自動的に1になり、アナログ入力チャンネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、割り込み要求信号 (INTAD) を発生します。1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。

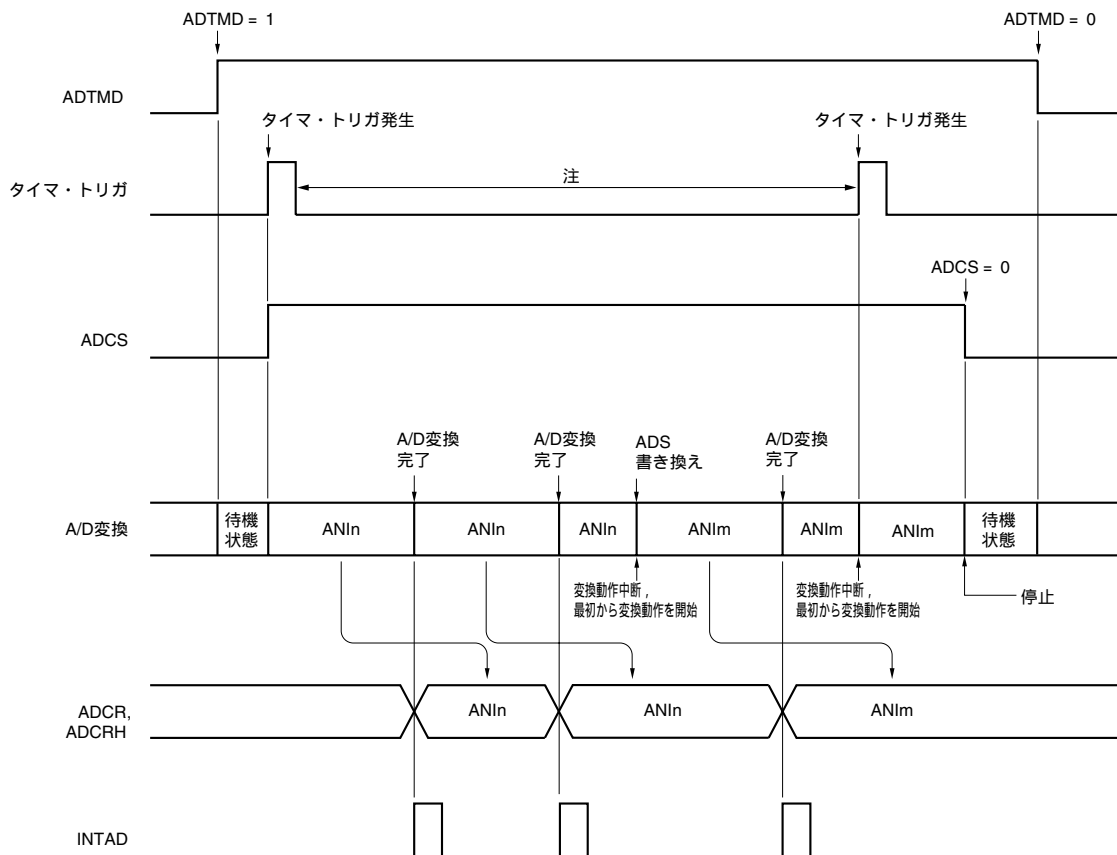
A/D変換動作中に、ADSを書き換えると、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。このとき直前の変換結果は保持されます。

A/D変換動作中に、タイマ・トリガ信号が発生した場合、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。このとき直前の変換結果は保持されます。

A/D変換動作中に、ADCSに0を書き込むと、ただちにA/D変換動作を停止し、タイマ・トリガ待機状態になります。このとき直前の変換結果は保持されます。

A/D変換動作停止時 (ADCS = 0) に、ADTMDに0を書き込むと、ソフトウェア・トリガ・モードになり、タイマ・トリガ信号が発生されても、A/D変換動作は開始されません。

図12 - 17 タイマ・トリガ・モード (連続変換モード)



注 タイマ・トリガの信号発生は、A/D変換時間以上の間隔を空けてください。

備考 78K0/KB2-A : n = 0-5, 8-11, m = 0-5, 8-11

78K0/KC2-A : n = 0-6, 8-11, 15, m = 0-6, 8-11, 15

(4) タイマ・トリガ・モード (シングル変換モード)

A/Dコンバータ・モード・レジスタ1 (ADM1) のビット7 (ADTMD) に1を設定することにより、タイマ・トリガ・モードになり、タイマ・トリガ待機状態となります。

タイマ・トリガ信号の検出により、A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) は自動的に1になり、アナログ入力チャンネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

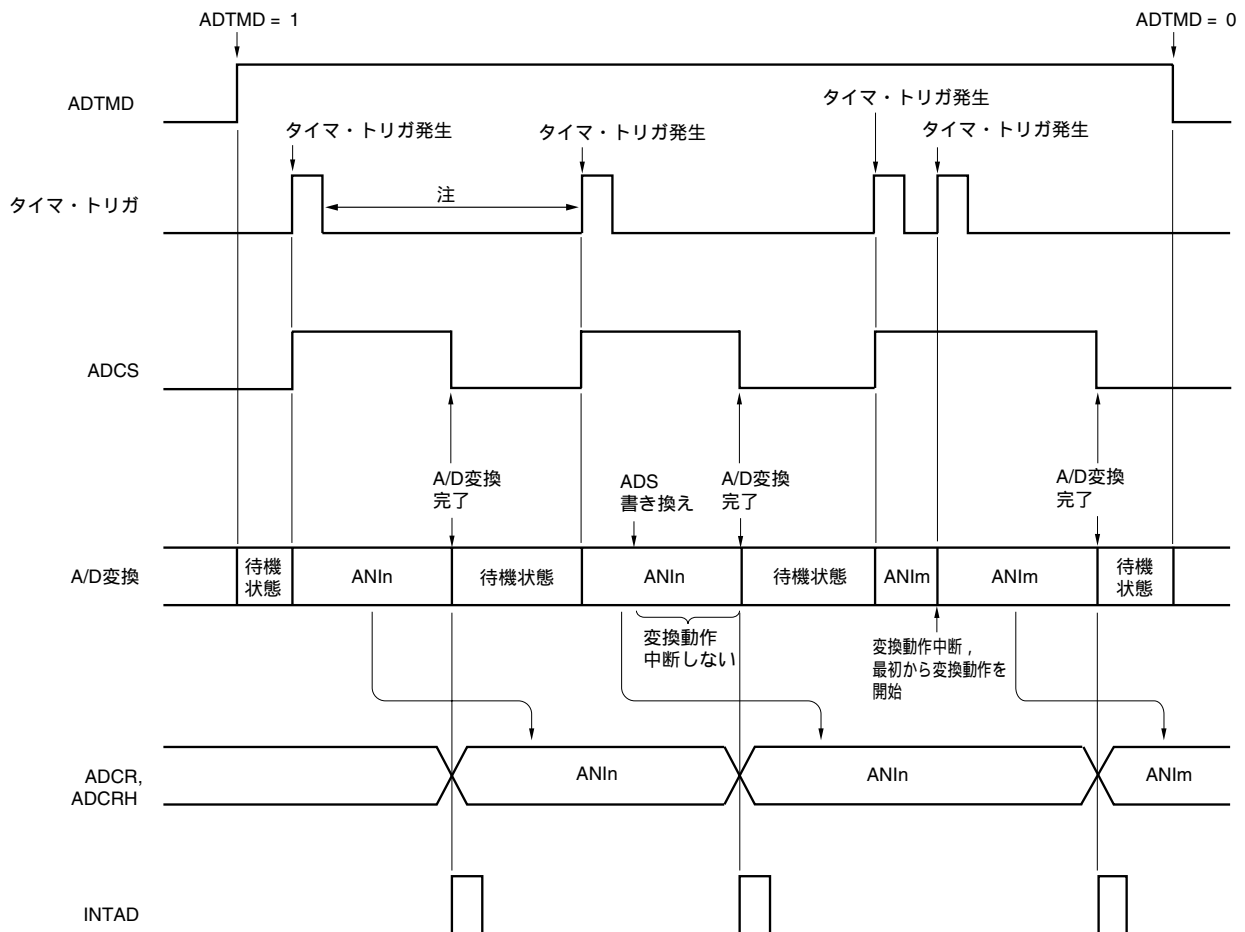
A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、割り込み要求信号 (INTAD) を発生します。1回のA/D変換が終了すると、ADCSが自動的にクリアされ、タイマ・トリガ待機状態となります。

A/D変換動作中に、ADSを書き換えても、そのとき行っていたA/D変換動作を継続します。チャンネルは、次のA/D変換動作開始時に切り替わります。

A/D変換動作中に、タイマ・トリガ信号が発生した場合、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。このとき直前の変換結果は保持されます。

A/D変換動作停止時 (ADCS = 0) に、ADTMDに0を書き込むと、ソフトウェア・トリガ・モードになり、タイマ・トリガ信号が発生されても、A/D変換動作は開始されません。

図12 - 18 タイマ・トリガ・モード (シングル変換モード)



注 タイマ・トリガの信号発生は、A/D変換時間以上の間隔を空けてください。

備考 78K0/KB2-A : n = 0-5, 8-11, m = 0-5, 8-11

78K0/KC2-A : n = 0-6, 8-11, 15, m = 0-6, 8-11, 15

次に設定方法を説明します。

ADMのビット5-1 (FR2-FR0, LV1, LV0) で変換時間を, ビット6 (ADSCM) で動作モードを選択

アナログ基準電圧制御レジスタ (ADVRC) のビット7, 1 (ADREF, VRGV) でA/Dコンバータの基準電圧源とA/Dコンバータ昇圧回路の動作を設定

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1)

A/Dポート・コンフィギュレーション・レジスタ (ADPC) のビット4-0 (ADPC4-ADPC0), ポート・モード・レジスタ2 (PM2) のビット7-0 (PM27-PM20), ポート・モード・レジスタ8 (PM8) のビット3-0 (PM83-PM80) で使用するチャンネルをアナログ入力に設定

アナログ入力チャンネル指定レジスタ (ADS) のビット3-0 (ADS3-ADS0) で使用するチャンネルを選択

A/Dコンバータ・モード・レジスタ1 (ADM1) のビット0, 7 (ADTRS, ADTMD) でトリガ・モードを設定

ソフトウェア・トリガ・モードの場合

ADMのビット7 (ADCS) をセット (1) し, A/D変換動作開始

タイマ・トリガ・モードの場合

タイマ・トリガ信号の発生により, ADCSは自動的にセット (1) され, A/D変換動作開始
1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

連続変換モードの場合

次のA/D変換動作を自動的に開始

シングル変換モードの場合

待機状態。A/D変換動作を開始する場合は, へ

<チャンネルを変更する>

ADSのビット3-0 (ADS3-ADS0) で, チャンネルを選択^注

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

<A/D変換を終了する>

ADCSをクリア (0)

ソフトウェア・トリガ・モードの場合

ADCEをクリア (0)

タイマ・トリガ・モードの場合

ADCEとADTMDをクリア (0)

注 タイマ・トリガ・モード (シングル変換モード) の場合は, A/D変換中にADSのビット3-0を設定しても, A/D変換動作を継続します。チャンネルは, 次のA/D変換動作開始時に変更されます。それ以外のモードの場合は, ADSのビット3-0設定後, A/D変換動作は中断され, チャンネル変更後に最初からA/D変換動作を開始します。

- 注意1. から までの間は $1\ \mu\text{s}$ 以上空けてください。
2. は, から までの間に行っても,問題ありません。
3. は省略可能です。ただし,この場合には のあと,最初の変換データは無視してください。
4. から までの時間は,ADMのビット5-1 (FR2-FR0, LV1, LV0) で設定した変換時間とは異なります。 から までの時間が,FR2-FR0, LV1, LV0で設定した変換時間となります。
5. アナログ入力ソースとして使用する場合は,A/D変換動作設定前に,オペアンプの動作を開始してください(第13章 オペアンプを参照)。また,A/D変換動作中に,オペアンプの設定を変更しないでください。
6. 標準モード2 (LV1 = 0, LV0 = 1) または低電圧モード (LV1 = 1, LV0 = 0) で使用する場合,A/Dコンバータ昇圧回路を動作開始 (VRGV = 1) してから,基準電圧安定待ち時間 ($10\ \mu\text{s}$) を経過したあとに,動作許可 (ADCE = 1) してください。また,A/D電圧コンパレータは,動作許可してから安定するまでに, $1\ \mu\text{s}$ かかります。このため,A/D電圧コンパレータを動作許可してから $1\ \mu\text{s}$ 以上経過したあとに,変換動作許可 (ADCS = 1) することで,最初の変換データより有効となります。 $1\ \mu\text{s}$ 以上ウエイトしないで変換動作許可した場合は,最初の変換データは無視してください。
7. タイマ・トリガの信号発生は,A/D変換時間以上の間隔を空けてください。

12.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧，つまり，デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能12ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{12} = 1/4096 \\ &= 0.00091 \text{ \%FSR} \end{aligned}$$

精度は分解能とは関係なく，総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき，必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは， $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は，同じデジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

図12 - 19 総合誤差

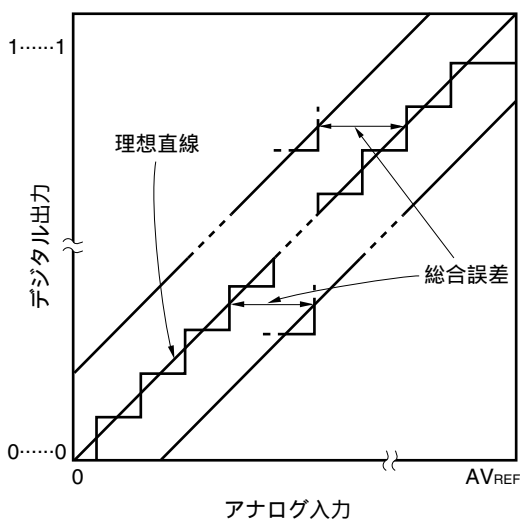
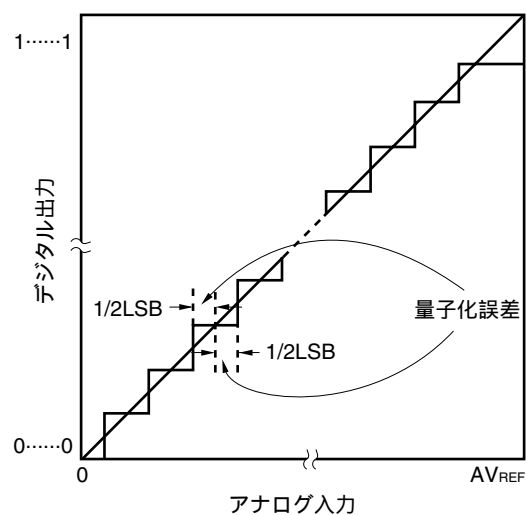


図12 - 20 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値(1/2 LSB)との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値(3/2 LSB)との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値(フルスケール - 3/2 LSB)との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図12 - 21 ゼロスケール誤差

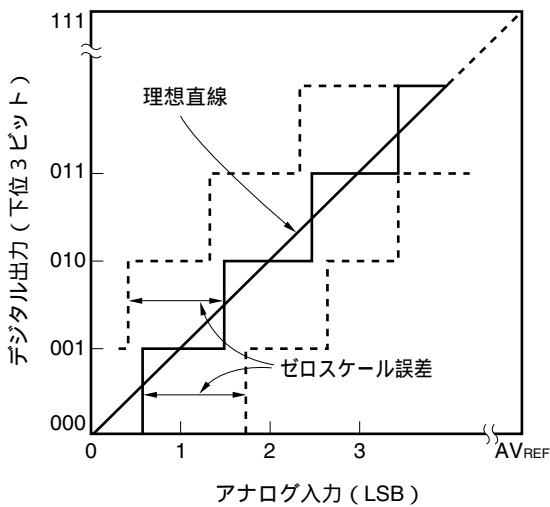


図12 - 22 フルスケール誤差

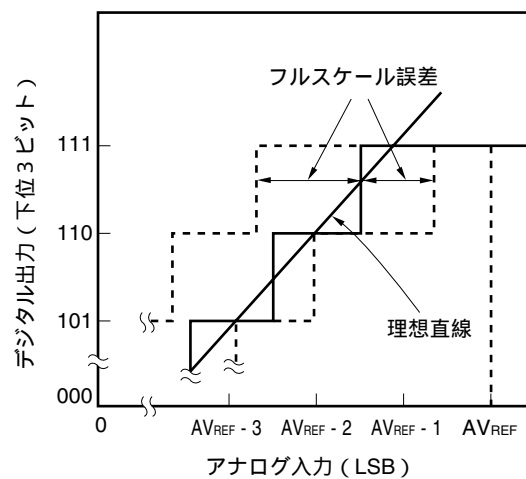


図12 - 23 積分直線性誤差

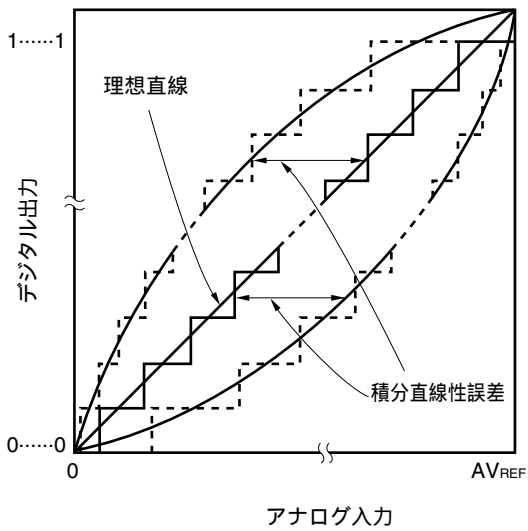
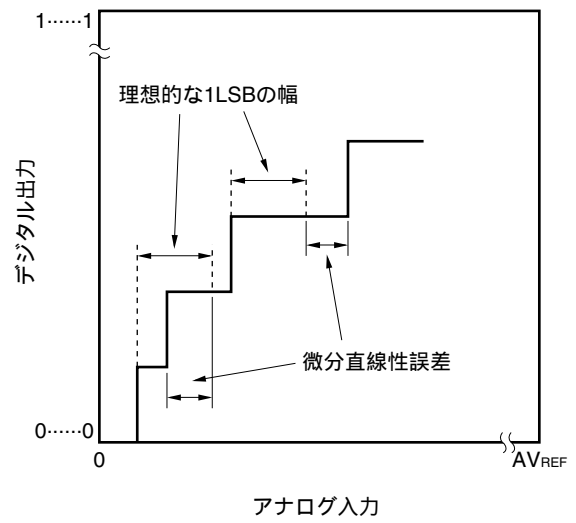


図12 - 24 微分直線性誤差

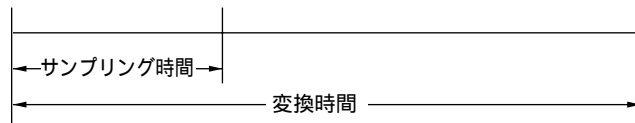


(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。
 特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



12.6 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止 (A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) を0) させてから移行してください。このときA/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) も0にすることにより、動作電流を低減させることができます。

標準モード2 (LV1 = 0, LV0 = 1) または低電圧モード (LV1 = 1, LV0 = 0) 使用時は、アナログ基準電圧制御レジスタ (ADVRC) のビット1 (VRGV) をクリア (0) してから、STOPモードに移行してください。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1L (IF1L) のビット0 (ADIF) をクリア (0) してから、動作開始してください。

(2) ANI0-ANI6, ANI8-ANI11, ANI15入力範囲について

ANI0-ANI6, ANI8-ANI11, ANI15入力電圧は規格の範囲内でご使用ください。特にAV_{DD}以上, AV_{SS}以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ (ADCR, ADCRH) ライトと命令によるADCR, ADCRHリードとの競合

ADCR, ADCRHリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHにライトされます。

変換終了時のADCR, ADCRHライトとA/Dコンバータ・モード・レジスタ (ADM) ライト, アナログ入力チャンネル指定レジスタ (ADS) またはA/Dポート・コンフィギュレーション・レジスタ (ADPC) ライトの競合

ADM, ADS, ADPCへのライトが優先されます。ADCR, ADCRHへのライトはされません。また、変換終了割り込み信号 (INTAD) も発生しません。

(4) ノイズ対策について

12ビット分解能を保つためには、AV_{REF}, ANI0-ANI6, ANI8-ANI11, ANI15端子へのノイズに注意する必要があります。

電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。

アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図12-25のようにCを外付けすることを推奨します。

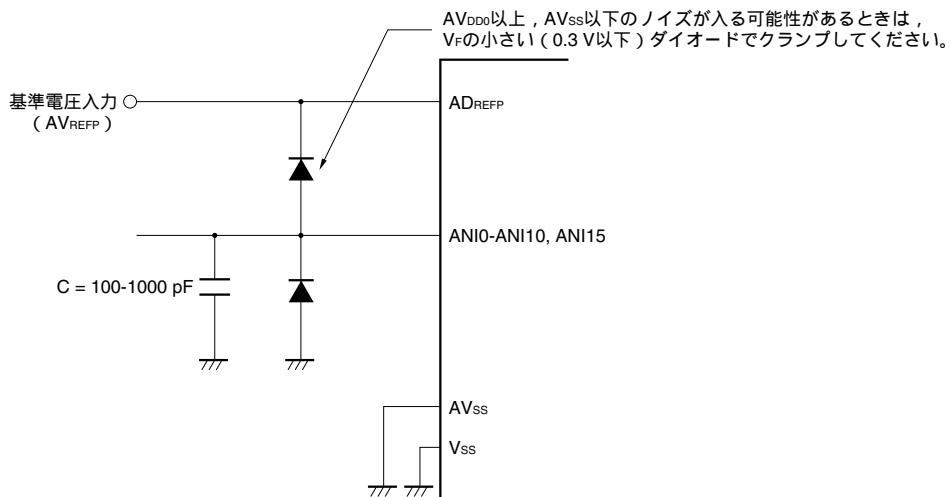
変換中においては、他の端子とスイッチングしないようにしてください。

変換開始直後にHALTモードに設定すると、精度が向上します。

備考 78K0/KB2-A : ANI0-ANI5, ANI8-ANI11

78K0/KC2-A : ANI0-ANI6, ANI8-ANI11, ANI15

図12 - 25 アナログ入力端子の処理



(5) ANI0-ANI6, ANI8-ANI11, ANI15

アナログ入力 (ANI0-ANI6, ANI15) 端子は入力ポート (P20-P27) 端子と兼用になっています。
 アナログ入力 (ANI8-ANI11) 端子は入力ポート (P80-P83) 端子と兼用になっています。
 ANI0-ANI6, ANI8-ANI11, ANI15のいずれかを選択してA/D変換をする場合, 変換中にP20-P27, P80-P83に対してアクセスしないでください。変換分解能が低下することがあります。またP20-P27, P80-P83として使用する端子の選択は, AV_{DD}から最も遠いANI0/P20より行うことを推奨します。
 A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると, カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって, A/D変換中の端子に隣接する端子は, デジタル・パルスが入出力されないようにしてください。
 A/D変換中に, ポート2, 8の端子のうちのいずれかの端子をデジタル出力ポートとして使用すると, カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって, A/D変換中に, ポート2, 8の端子はすべて, デジタル・パルスが出力されないようにしてください。

(6) ANI0-ANI6, ANI8-ANI11, ANI15端子の入カインピーダンスについて

このA/Dコンバータでは, サンプリング時間で内部のサンプリング・コンデンサに充電して, サンプリングを行っています。

したがって, サンプリング中以外はリーク電流だけであり, サンプリング中にはコンデンサに充電するための電流も流れるので, 入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし, 十分にサンプリングするためには, アナログ入力源の出力インピーダンスを1k以下にし, 出力インピーダンスが高いときはANI0-ANI6, ANI8-ANI11, ANI15端子に100 pF程度のコンデンサを付けることを推奨します (図12 - 25参照)。

備考	78F0590, 78F0591 :	ANI0-ANI5, ANI8-ANI11
	78F0592, 78F0593 :	ANI0-ANI6, ANI8-ANI11, ANI15

(7) AV_{REFP}端子^注の入カインピーダンスについて

AV_{REFP}端子とAV_{REFM}端子（またはAV_{SS}端子）の間には数十k の直列抵抗ストリングが接続されています。

したがって、基準電圧源の出カインピーダンスが高い場合、AV_{REF}端子とAV_{REFM}端子（またはAV_{SS}端子）の間の直列抵抗ストリングと直列接続することになり、A/Dコンバータの基準電圧（AV_{REF}）の誤差が大きくなります。

注 78K0/KB2-Aには、AV_{REFM}、AV_{REFP}端子はありませんので、AV_{REFP}端子をAV_{REF}端子と読み替えてください。

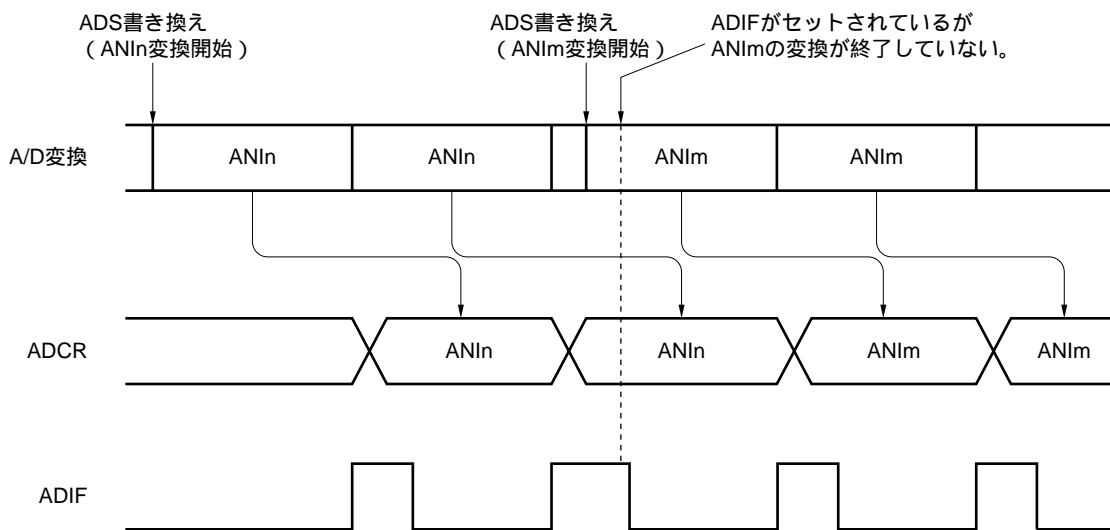
(8) 割り込み要求フラグ（ADIF）について

アナログ入力チャンネル指定レジスタ（ADS）を変更しても割り込み要求フラグ（ADIF）はクリア（0）されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリア（0）してください。

図12 - 26 A/D変換終了割り込み要求発生タイミング



備考 78K0/KB2-A : n = 0-5, 8-11, m = 0-5, 8-11

78K0/KC2-A : n = 0-6, 8-11, 15, m = 0-6, 8-11, 15

(9) A/D変換スタート直後の変換結果について

ADCEビット = 1にしてから、1 μs以内にADCSビット = 1にした場合、もしくはADCEビット = 0の状態、ADCSビット = 1にした場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求（INTAD）をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(10) A/D変換結果レジスタ (ADCR, ADCRH) の読み出しについて

A/Dコンバータ・モード・レジスタ (ADM) , A/Dコンバータ・モード・レジスタ1 (ADM1) , アナログ入力チャネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき, ADCR, ADCRHの内容は不定となることがあります。変換結果は, 変換動作終了後, ADM, ADM1, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されることがあります。

(11) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図12 - 27 ANIn端子内部等価回路

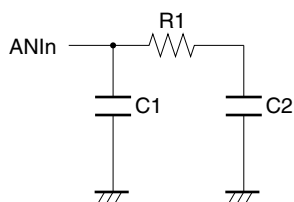


表12 - 7 等価回路の各抵抗と容量値 (参考値)

AV _{DD}		R1	C1	C2
2.3 V	AV _{DD} 5.5 V	11.5 k	8.0 pF	8.0 pF

備考1. 表12 - 7の各抵抗と容量値は保証値ではありません。

2. 78K0/KB2-A : n = 0-5, 8-11

78K0/KC2-A : n = 0-6, 8-11, 15

第13章 オペアンプ

13.1 オペアンプの機能

オペアンプは、78K0/Kx2-Aマイクロコントローラの全製品に搭載されています。

オペアンプは、2つの端子（AMPn-端子とAMPn+端子）から入力されたアナログ電圧の電位差を増幅し、増幅した電圧を、AMPnOUT端子から出力します。AMPnOUT端子はA/Dコンバータのアナログ入力端子と兼用しているため、増幅した電圧は、A/Dコンバータのアナログ入力として使用することができます。

備考 n = 0-2

13.2 オペアンプの構成

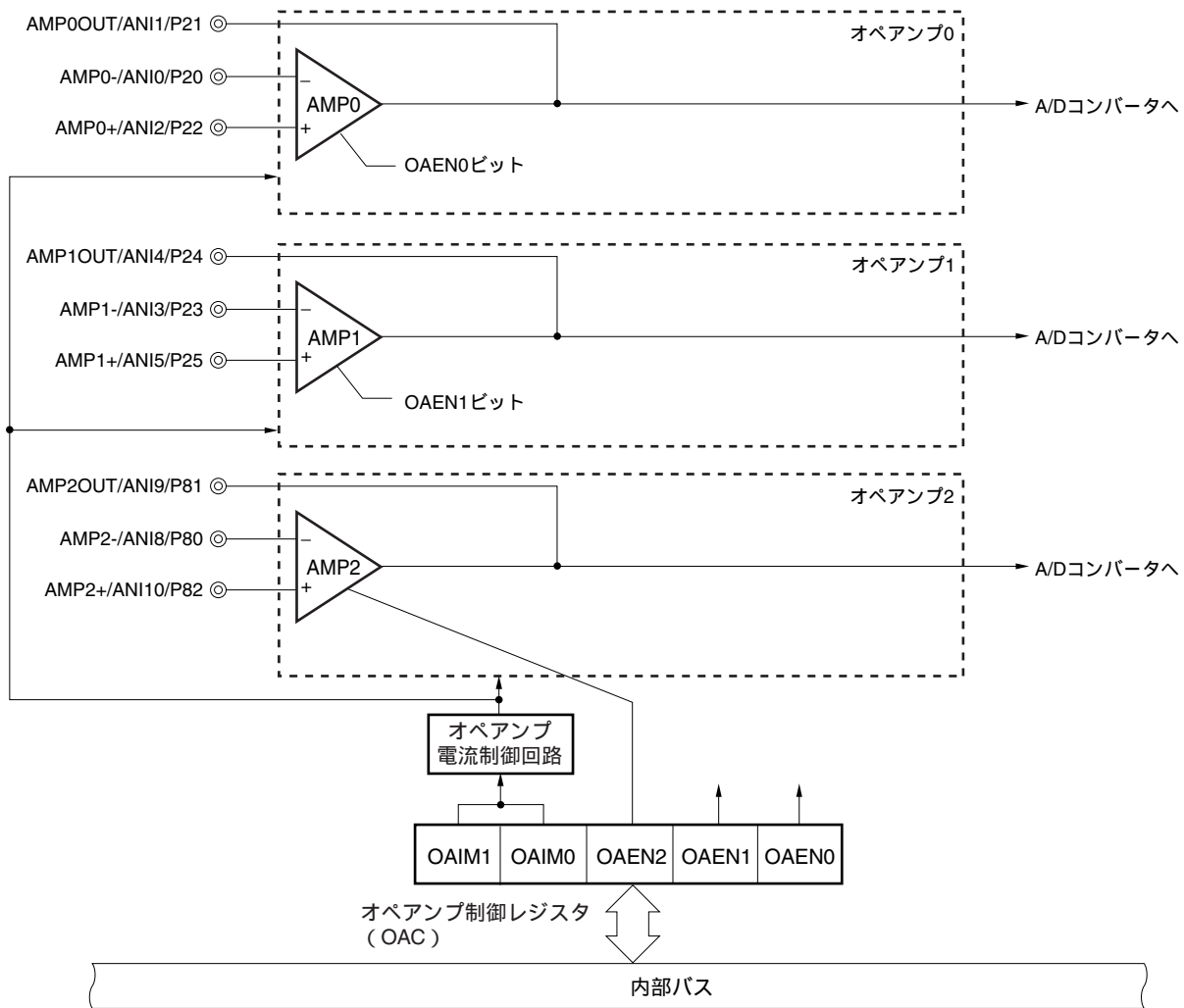
オペアンプは、次のハードウェアで構成されています。

表13 - 1 オペアンプの構成

項 目	構 成
オペアンプ入力	AMPn-端子, AMPn+端子
オペアンプ出力	AMPnOUT端子
制御レジスタ	オペアンプ制御レジスタ (OAC) A/Dコンフィギュレーション・レジスタ (ADPC) ポート・モード・レジスタ2, 8 (PM2, PM8)

備考 n = 0-2

図13-1 オペアンプのブロック図



13.3 オペアンプで使用するレジスタ

オペアンプは、次の3種類のレジスタを使用します。

- ・ オペアンプ制御レジスタ (OAC)
- ・ A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・ ポート・モード・レジスタ2, 8 (PM2, PM8)

(1) オペアンプ制御レジスタ (OAC)

オペアンプ0-2の動作を制御するレジスタです。

OACは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-2 オペアンプ制御レジスタ (OAC) のフォーマット

アドレス：FF3BH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
OAC	OA1M1	OA1M0	0	0	0	OAEN2	OAEN1	OAEN0

OA1M1	OA1M0	オペアンプの動作モード
0	0	モード2 (スルー・レート：0.4 V/ μ s (TYP.))
0	1	モード3 (スルー・レート：1.4 V/ μ s (TYP.))
1	0	設定禁止
1	1	モード1 (スルー・レート：0.2 V/ μ s (TYP.))

OAEN2	オペアンプ2の動作制御
0	オペアンプ2の動作停止
1	オペアンプ2の動作許可

OAEN1	オペアンプ1の動作制御
0	オペアンプ1の動作停止
1	オペアンプ1の動作許可

OAEN0	オペアンプ0の動作制御
0	オペアンプ0の動作停止
1	オペアンプ0の動作許可

- 注意1.** オペアンプで使用する端子は、ADPCレジスタでアナログ入力に選択してください。
2. オペアンプ使用時に、オペアンプで使用していないポート2, 8の端子を、デジタル入力として使用する場合、入力レベルが固定になるようにしてください。

(2) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI0/AMP0-/P20-ANI6/P26, ANI8/AMP2-/P80-ANI11/P83, ANI15/AV_{REFM}/P27端子を, アナログ入力 / ポートのデジタル入出力に切り替えるレジスタです。オペアンプで使用する端子は, アナログ入力に設定してください。

ADPCは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 10Hになります。

備考 78K0/KB2-A : ANI0-ANI5, ANI8-ANI11

78K0/KC2-A : ANI0-ANI6, ANI8-ANI11, ANI15

図13 - 3 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス : FF2FH リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

ADP C4	ADP C3	ADP C2	ADP C1	ADP C0	アナログ入力 (A) / デジタル入出力 (D) の切り替え											
					ANI15 /AV _{REFM} /P27	ANI11 /P83	ANI10 /AMP2+ /P82	ANI9 /AMP2OUT /P81	ANI8 /AMP2- /P80	ANI6 /P26	ANI5 /AMP1+ /P25	ANI4 /AMP1OUT /P24	ANI3 /AMP1- /P23	ANI2 /AMP0+ /P22	ANI1 /AMP0OUT /P21	ANI0 /AMP0- /P20
0	0	0	0	0	A	A	A	A	A	A	A	A	A	A	A	A
0	0	0	0	1	A	A	A	A	A	A	A	A	A	A	A	D
0	0	0	1	0	A	A	A	A	A	A	A	A	A	A	D	D
0	0	0	1	1	A	A	A	A	A	A	A	A	A	D	D	D
0	0	1	0	0	A	A	A	A	A	A	A	A	D	D	D	D
0	0	1	0	1	A	A	A	A	A	A	A	D	D	D	D	D
0	0	1	1	0	A	A	A	A	A	A	D	D	D	D	D	D
0	0	1	1	1	設定禁止											
0	1	0	0	0	A	A	A	A	A	D	D	D	D	D	D	D
0	1	0	0	1	A	A	A	A	D	D	D	D	D	D	D	D
0	1	0	1	0	A	A	A	D	D	D	D	D	D	D	D	D
0	1	0	1	1	A	A	D	D	D	D	D	D	D	D	D	D
0	1	1	1	1	A	D	D	D	D	D	D	D	D	D	D	D
1	0	0	0	0	D	D	D	D	D	D	D	D	D	D	D	D
上記以外					設定禁止											

注

注

注 78K0/KB2-Aでは, 設定禁止です。

注意 オペアンプで使用するチャンネルは, ポート・モード・レジスタ2, 8 (PM2, PM8) で入力モードに選択してください。

(3) ポート・モード・レジスタ2, 8 (PM2, PM8)

ANI0/AMP0-/P20-ANI6/P26, ANI8/AMP2-/P80-ANI11/P83, ANI15/AVREFM/P27端子をアナログ入力ポートとして使用するとき, PM20-PM27, PM80-PM83 にそれぞれ1を設定してください。このときP20-P27, P80-P83の出力ラッチは, 0または1のどちらでもかまいません。

PM20-PM27, PM80-PM83にそれぞれ0を設定した場合は, アナログ入力ポートとして使用することはできません。

PM2, PM8は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

注意 アナログ入力ポートとして設定した端子を読み出した場合は, 端子レベルではなく常に0が読み出されます。

備考 78K0/KB2-A : ANI0-ANI5, ANI8-ANI11

78K0/KC2-A : ANI0-ANI6, ANI8-ANI11, ANI15

図13 - 4 ポート・モード・レジスタ2, 8 (PM2, PM8) のフォーマット

78K0/KB2-A

アドレス : FF22H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20

アドレス : FF28H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM8	1	1	1	1	PM83	PM82	PM81	PM80

78K0/KC2-A

アドレス : FF22H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

アドレス : FF28H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM8	1	1	1	1	PM83	PM82	PM81	PM80

PMmn	Pmn端子の入出力モードの選択 (mn = 20-27, 80-83)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

ANI0/AMP0-/P20-ANI6/P26, ANI8/AMP2-/P80-ANI11/P83, ANI15/AV_{REFM}/P27端子の機能は, ADPCレジスタ, ADSレジスタ, PM2レジスタ, PM8レジスタ, OAENnビット, ADREFビットの設定で決定します。

表13 - 2 ANI0/AMP0-/P20, ANI2/AMP0+/P22, ANI3/AMP1-/P23, ANI5/AMP1+/P25, ANI8/AMP2-/P80, ANI10/AMP2+/P82端子機能の設定

ADPC レジスタ	PM2, PM8 レジスタ	OAENn ビット	ADSレジスタ	ANI0/AMP0-/P20, ANI2/AMP0+/P22, ANI3/AMP1-/P23, ANI5/AMP1+/P25, ANI8/AMP2-/P80, ANI10/AMP2+/P82端子
デジタル入 出力選択	入力モード	0	-	デジタル入力
		1	-	設定禁止
	出力モード	0	-	デジタル出力
		1	-	設定禁止
アナログ入 力選択	入力モード	0	ANI選択	アナログ入力 (A/D変換対象)
			ANI非選択	アナログ入力 (A/D変換非対象)
		1	ANI選択	設定禁止
			ANI非選択	オペアンプ入力
	出力モード	-	-	設定禁止

表13 - 3 ANI1/AMP0OUT/P21, ANI4/AMP1OUT/P24, ANI9/AMP2OUT/P81端子機能の設定

ADPC レジスタ	PM2, PM8 レジスタ	OAENn ビット	ADSレジスタ	ANI1/AMP0OUT/P21, ANI4/AMP1OUT/P24, ANI9/AMP2OUT/P81端子
デジタル入 出力選択	入力モード	0	-	デジタル入力
		1	-	設定禁止
	出力モード	0	-	デジタル出力
		1	-	設定禁止
アナログ入 力選択	入力モード	0	ANI選択	アナログ入力 (A/D変換対象)
			ANI非選択	アナログ入力 (A/D変換非対象)
		1	ANI選択	オペアンプ出力 (A/D変換対象)
			ANI非選択	オペアンプ出力 (A/D変換非対象)
	出力モード	-	-	設定禁止

注意 オペアンプ使用時には, AMPn+, AMPn-, AMPnOUT端子を使用するため, 端子に兼用するアナログ入力機能は使用できません。ただし, オペアンプ出力信号をアナログ入力として使用することはできません。

備考 n = 0-2

表13 - 4 ANI6/P26, ANI11/P83端子機能の設定

ADPCレジスタ	PM2, PM8レジスタ	ADSレジスタ	ANI6/P26, ANI11/P83端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (A/D変換対象)
		ANI非選択	アナログ入力 (A/D非変換対象)
	出力モード	-	設定禁止

備考 78K0/KB2-A : ANI11/P83のみ

78K0/KC2-A : ANI6/P26, ANI11/P83

表13 - 5 ANI15/AV_{REFM}/P27端子機能の設定 (78K0/KC2-Aのみ)

ADPCレジスタ	PM2レジスタ	ADREFビット	ADSレジスタ	ANI15/AV _{REFM} /P27端子
デジタル入出力選択	入力モード	0	-	デジタル入力
		1	-	設定禁止
	出力モード	0	-	デジタル出力
		1	-	設定禁止
アナログ入力選択	入力モード	0	ANI選択	アナログ入力 (A/D変換対象)
			ANI非選択	アナログ入力 (A/D非変換対象)
		1	-	A/Dコンバータの - 側の基準電圧入力
	出力モード	-	-	設定禁止

13.4 オペアンプの動作

オペアンプは、2つの端子（AMPn-端子とAMPn+端子）から入力されたアナログ電圧の電位差を増幅し、増幅した電圧を、AMPnOUT端子から出力します。外部に抵抗などを接続することにより、増幅率を決定します。

AMPnOUT端子はA/Dコンバータのアナログ入力端子と兼用しているため、増幅した電圧は、A/Dコンバータのアナログ入力として使用することができます。

動作開始手順を次に示します。

ポート・モード・レジスタx（PMx）で、シングル・アンプ・モードで使用する端子（AMPn-, AMPn+, AMPnOUT）を、入力モードに設定してください。

A/Dポート・コンフィギュレーション・レジスタ（ADPC）で、シングル・アンプ・モードで使用する端子（AMPn-, AMPn+, AMPnOUT）を、アナログ入力に設定してください。

オペアンプ制御レジスタ（OAC）のOAIM1, OAIM0ビットで、動作モードを設定してください。

OACレジスタのOAENnビットをセット（1）し、動作を許可してください。

オペアンプ動作が安定するまで、ソフトウェアでターン・オン時間をウエイトしてください。

注意 オペアンプの出力をA/Dコンバータの入力として使用する場合は、ADSレジスタでアナログ入力チャンネルを選択する前に、オペアンプの動作を許可してください。

備考 n = 0-2, x = 2, 8

第14章 シリアル・インタフェースUART6

14.1 シリアル・インタフェースUART6の機能

シリアル・インタフェースUART6は、78K0/Kx2-Aマイクロコントローラの全製品に搭載されています。
シリアル・インタフェースUART6には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。
詳細については14.4.1 **動作停止モード**を参照してください。

(2) アシクロナス・シリアル・インタフェース (UART) モード

LIN (Local Interconnect Network) - bus対応のUARTモードです。機能の概要を次に示します。

詳細については14.4.2 **アシクロナス・シリアル・インタフェース (UART) モード**、14.4.3 **専用ポー・レート・ジェネレータ**を参照してください。

- ・ 最大転送速度：625 kbps
- ・ 2端子構成 TxD6：送信データの出力端子
RxD6：受信データの入力端子
- ・ 通信データのデータ長は7ビット / 8ビット可変
- ・ 専用の8ビット・ポー・レート・ジェネレータを内蔵していることにより、任意のポー・レートが設定可能
- ・ 送信動作と受信動作は独立して動作することが可能 (全二重動作)
- ・ MSB/LSBファースト通信選択可能
- ・ 送信反転動作可能
- ・ シンク・ブレイク・フィールド送信は13ビットから20ビットまで選択可能
- ・ シンク・ブレイク・フィールド受信が11ビット以上識別可能 (SBF受信フラグあり)

注意1. TxD6出力反転機能は、送信側だけ反転して受信側は反転しないので、TxD6出力反転機能を使用する場合、相手側も反転レベルで受信してください。

注意2. シリアル・インタフェースUART6への供給クロックが停止しない場合（例：HALTモード）では、正常動作が続きます。シリアル・インタフェースUART6への供給クロックが停止する場合（例：STOPモード）では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD6端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER6 = 0, RXE6 = 0, TXE6 = 0として、回路をリセットしてください。

3. 通信開始する場合、POWER6 = 1に設定後、TXE6 = 1（送信）またはRXE6 = 1（受信）に設定してください。
4. TXE6とRXE6は、CKSR6で設定した基本クロック（ f_{XCLK6} ）により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6 = 0またはRXE6 = 0に設定してから基本クロック2クロック以降にTXE6 = 1またはRXE6 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
5. TXE6 = 1に設定したあと、基本クロック（ f_{XCLK6} ）1クロック以上待ってから、TXB6に送信データを設定してください。
6. 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信タイミングが通常よりマクロの動作クロックの2クロック分伸びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化を行うので通信結果には影響しません。また、LIN通信動作で使用する場合は連続送信機能を使用しないでください。

備考 LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速（1 ~ 20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

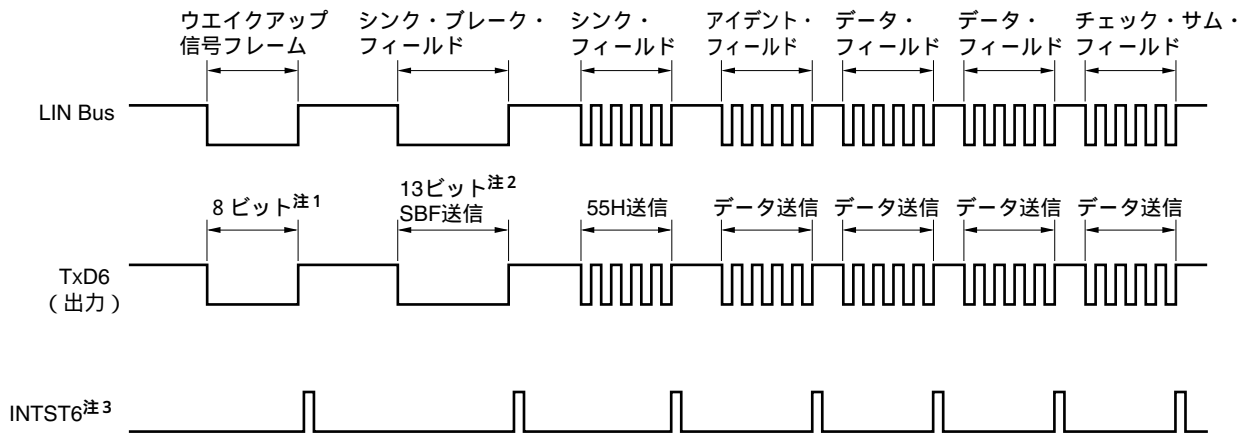
LINのマスタは通常、CAN（Controller Area Network）などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため、スレーブのボー・レート誤差が $\pm 15\%$ 以下であれば、通信可能です。

LINの送信操作と受信操作の概略を、図14 - 1, 14 - 2に示します。

図14 - 1 LINの送信操作



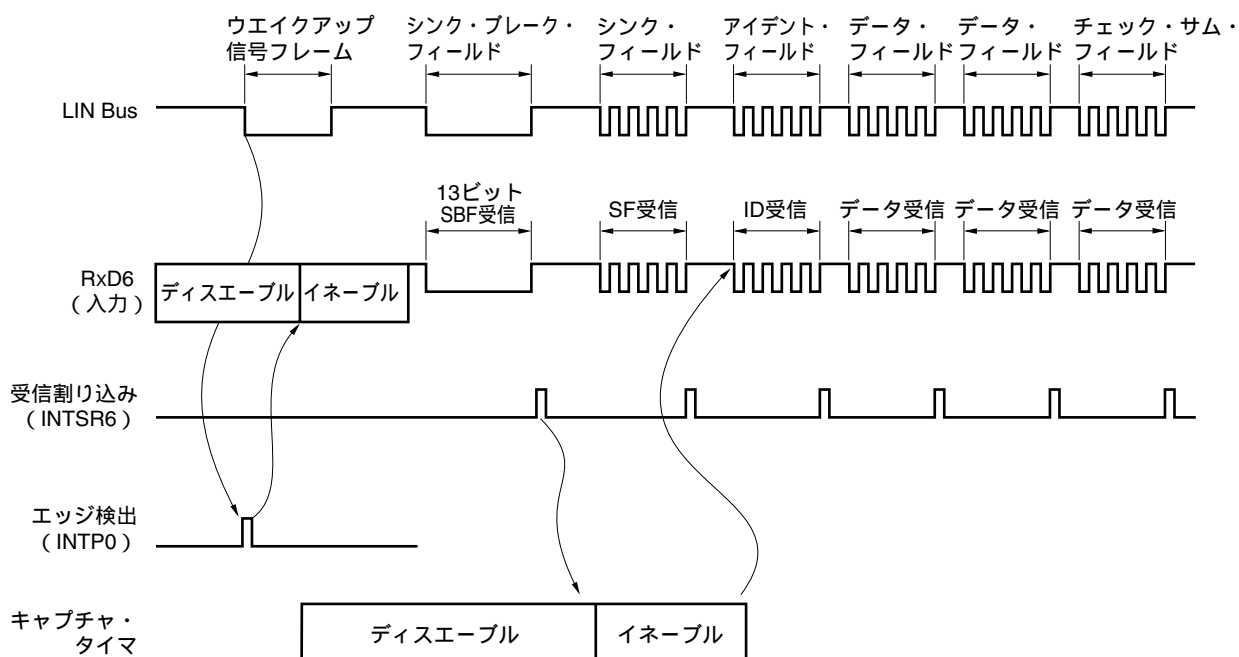
注1. ウェイクアップ信号フレームは、8ビット・モードの80H送信で代用します。

2. シンク・ブレイク・フィールドの出力はハードウェアで行います。出力幅はアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット4-2 (SBL62-SBL60) で設定したビット長になります (14.4.2 (2) (h) SBF送信を参照)。

3. 各送信終了時にはINTST6を出力します。またSBF送信時もINTST6を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図14 - 2 LINの受信操作



受信処理の流れを次に示します。

ウエイクアップ信号の検出は、端子のエッジ検出で行います。ウエイクアップ信号により、UART6をイネーブルし、SBF受信モードに設定します。

STOPビットの検出まで受信動作を行います。SBFを11ビット以上のロウ・レベルのデータを検出したら、SBF受信を正常終了したと判断し、割り込み信号を出力します。SBFを11ビット未満のロウ・レベルのデータを検出したら、SBF受信エラーと判断し、割り込み信号を出力せずにSBF受信モードに戻ります。

SBF受信を正常終了した場合、割り込み信号を出力します。SBF受信完了割り込み処理で16ビット・タイマ/イベント・カウンタ00を起動し、シンク・フィールドのビット間隔（パルス幅）を測定してください（6. 4. 8 **パルス幅測定としての動作**を参照）。また、OVE6, PE6, FE6の各エラー検出は抑制され、UART通信のエラー検出処理、およびシフト・レジスタとRXB6のデータ転送は行われません。シフト・レジスタはリセット値のFFHを保持します。

シンク・フィールドのビット間隔からポー・レート誤差を算出し、SF受信後にUART6のイネーブルを落としてからポー・レート・ジェネレータ・コントロール・レジスタ6（BRGC6）を再セットしてください。

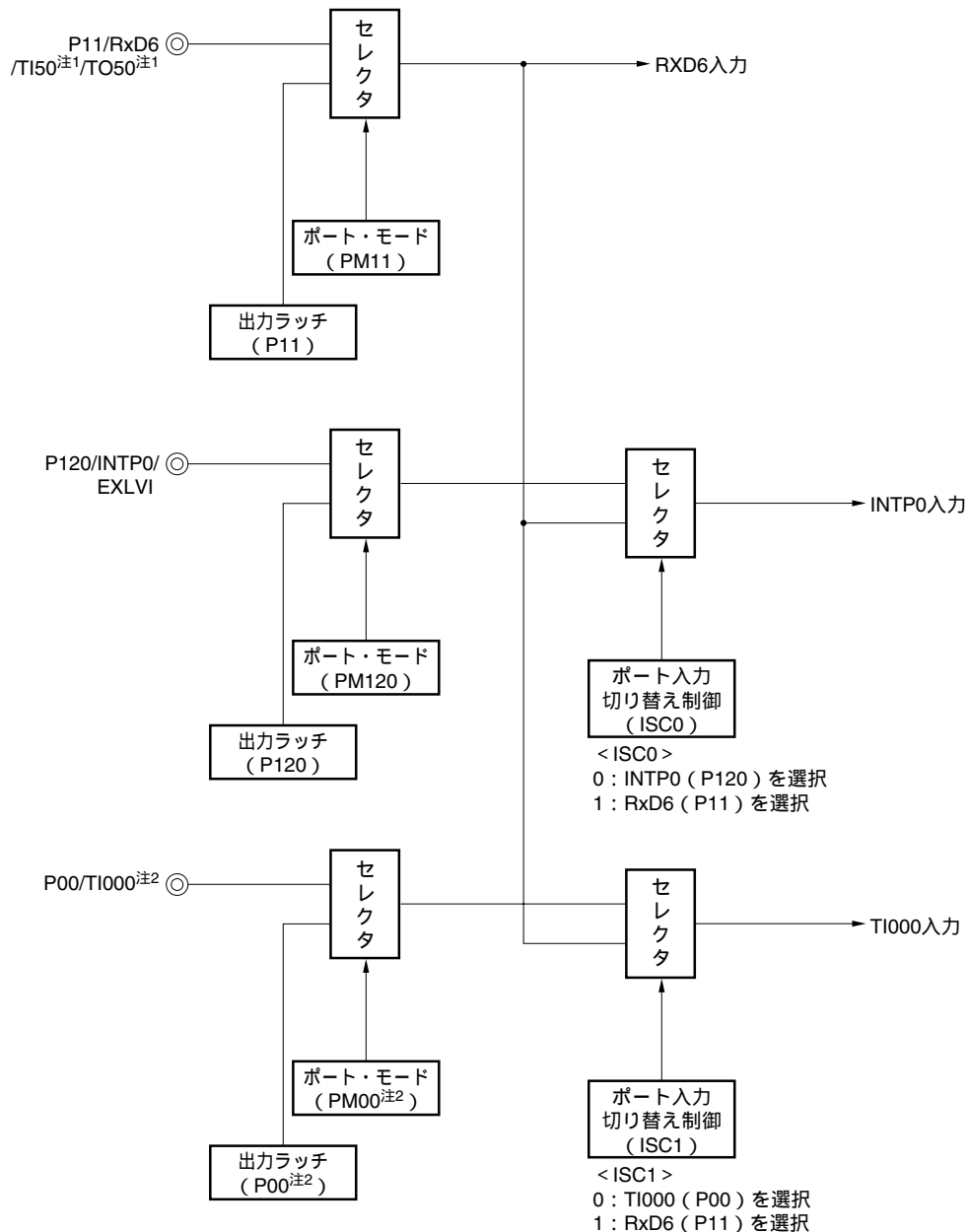
チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART6を初期化し、再びSBF受信モードに設定する処理もソフトウェアにて行ってください。

図14 - 3はLINの受信操作のポート構成図です。

LINのマスタから送信されるウエイクアップ信号の受信を、外部割り込み(INTP0)のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さを16ビット・タイマ/イベント・カウンタ00の外部イベント・キャプチャ動作で計測し、ポー・レート誤差を算出することができます。

ポート入力切り替え制御 (ISC0/ISC1) により、外部でRxD6とINTP0, TI000の結線をせずに、受信用ポート入力 (RxD6) の入力ソースを外部割り込み (INTP0) および16ビット・タイマ/イベント・カウンタ00へ入力することができます。

図14 - 3 LINの受信操作のポート構成図



注1. 78K0/KB2-Aのみ。

2. 78K0/KB2-A : TI000/TOH0/INTP7/P12, 出力ラッチ (P12) , ポート・モード (PM12)
 78K0/KC2-A : TI000/P00, 出力ラッチ (P00) , ポート・モード (PM00)

備考 ISC0, ISC1 : 入力切り替え制御レジスタ (ISC) のビット0, 1 (図14 - 11参照)

LIN通信動作で使用する周辺機能を次に示します。

<使用する周辺機能>

- ・外部割り込み (INTP0) ; ウェイクアップ信号検出
用途: ウェイクアップ信号のエッジを検出し, 通信開始を検出
- ・16ビット・タイマ/イベント・カウンタ00 (TI000) ; ボー・レート誤差検出
用途: シンク・フィールド (SF) の長さを検出し, ビット数で割ることでボー・レート誤差を検出 (TI000 入力エッジの間隔をキャプチャ・モードで測定)
- ・シリアル・インタフェースUART6

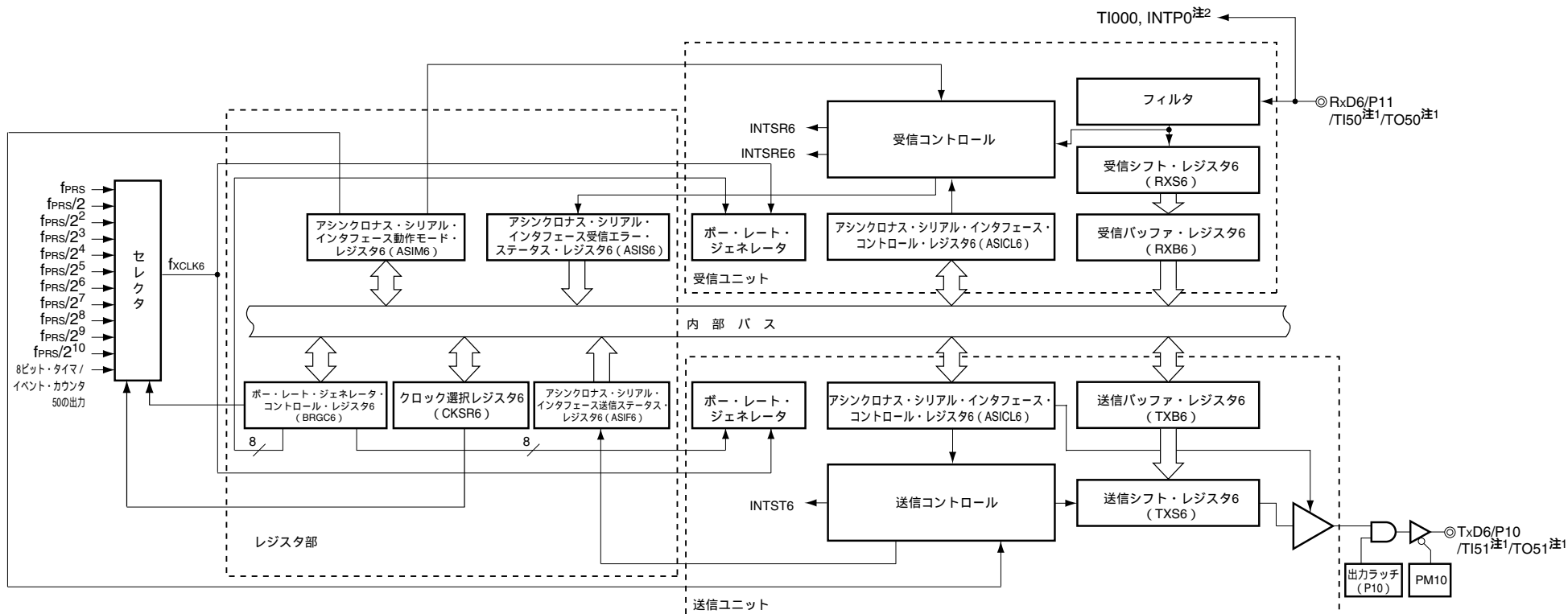
14.2 シリアル・インタフェースUART6の構成

シリアル・インタフェースUART6は, 次のハードウェアで構成しています。

表14-1 シリアル・インタフェースUART6の構成

項 目	構 成
レジスタ	受信バッファ・レジスタ6 (RXB6) 受信シフト・レジスタ6 (RXS6) 送信バッファ・レジスタ6 (TXB6) 送信シフト・レジスタ6 (TXS6)
制御レジスタ	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) クロック選択レジスタ6 (CKSR6) ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) 入力切り替え制御レジスタ (ISC) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

図14-4 シリアル・インタフェースUART6のブロック図



注1. 78K0/KB2-Aのみ

2. 入力切り替え制御レジスタ (ISC) にて選択可能。

(1) 受信バッファ・レジスタ6 (RXB6)

受信シフト・レジスタ6 (RXS6) で変換したパラレル・データを格納するための8ビット・レジスタです。データを1バイト受信するごとにRXS6から新たな受信データが転送されます。

データ長を7ビットに指定した場合は次のようになります。

- ・LSBファースト受信時では、受信データはRXB6のビット0-6に転送され、RXB6のMSBは必ず0になります。
- ・MSBファースト受信時では、受信データはRXB6のビット1-7に転送され、RXB6のLSBは必ず0になります。

オーバラン・エラー (OVE6) が発生した場合、そのときの受信データはRXB6には転送されません。

RXB6は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

リセット信号の発生により、FFHになります。

(2) 受信シフト・レジスタ6 (RXS6)

RxD6端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS6はプログラムで直接操作できません。

(3) 送信バッファ・レジスタ6 (TXB6)

送信データを設定する、バッファ・レジスタです。TXB6へ送信データを書き込むことにより、送信動作が開始されます。

TXB6は8ビット・メモリ操作命令で、読み出しと書き込みができます。

リセット信号の発生により、FFHになります。

- 注意1. アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット1 (TXBF6) が1のとき、TXB6にデータを書き込まないでください。**
- 2. 通信動作中 (アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7, 6 (POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5 (POWER6, RXE6) = 1, 1) に、ソフトウェアでTXB6へのリフレッシュ (同値書き込み) 動作を行わないでください。**
- 3. TXE6 = 1に設定したあと、基本クロック (f_{XCLK6}) 1クロック以上待ってから、TXB6に送信データを設定してください。**

(4) 送信シフト・レジスタ6 (TXS6)

TXB6から転送されたデータをシリアル・データとしてTxD6端子から送信します。TXB6からのデータ転送は、最初の送信時ではTXB6の書き込み直後、連続送信時では1フレーム送信後のINTST6発生直前のタイミングで転送されます。またTXB6からのデータ転送とTxD6端子からの送信は、基本クロックの立ち下りのタイミングで行われます。

TXS6はプログラムで直接操作できません。

14.3 シリアル・インタフェースUART6を制御するレジスタ

シリアル・インタフェースUART6は、次の9種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)
- ・アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)
- ・アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)
- ・クロック選択レジスタ6 (CKSR6)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)
- ・アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)
- ・入力切り替え制御レジスタ (ISC)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

(1) アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)

シリアル・インタフェースUART6のシリアル通信動作を制御する8ビット・レジスタです。

ASIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

備考 通信動作中(ASIM6のビット7, 6(POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5(POWER6, RXE6) = 1, 1) に、ソフトウェアでASIM6へのリフレッシュ(同値書き込み)動作を行うことができます。

図14 - 5 アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (1/2)

アドレス : FF50H リセット時 : 01H R/W

略号	[7]	[6]	[5]	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2} 。
1	内部動作クロックの動作許可

TXE6	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)
1	送信動作許可

RXE6	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)
1	受信動作許可

注1. 送信中にPOWER6 = 0にすると, TxD6端子の出力はハイ・レベルに固定されます (TXDLV6 = 0の場合)。また, RxD6端子からの入力もハイ・レベルに固定されます。

2. リセットされるのはアシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6), アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6), アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット7 (SBRF6) とビット6 (SBRT6), 受信バッファ・レジスタ6 (RXB6) です。

図14 - 5 アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (2/2)

PS61	PS60	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 [※]
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

CL6	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL6	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

ISRM6	エラー発生時の受信完了割り込み発生許可 / 禁止
0	エラー発生時の割り込みに “INTSR6” が発生 (このときINTSR6は発生しない)
1	エラー発生時の割り込みに “INTSR6” が発生 (このときINTSR6は発生しない)

注 「0パリティとして受信」を設定すると、パリティ判定を行いません。したがって、アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のビット2 (PE6) はセットされないため、エラー割り込みも発生しません。

- 注意1. 送信開始するときはPOWER6 = 1にしてから、TXE6 = 1としてください。送信停止するときにはTXE6 = 0にしてから、POWER6 = 0としてください。
2. 受信開始するときはPOWER6 = 1にしてから、RXE6 = 1としてください。受信停止するときにはRXE6 = 0にしてから、POWER6 = 0としてください。
3. RxD6端子にハイ・レベルが入力された状態でPOWER6 = 1 RXE6 = 1 と設定してください。ロウ・レベルのときにPOWER6 = 1 RXE6 = 1 と設定すると、受信を開始してしまいます。
4. TXE6とRXE6は、CKSR6で設定した基本クロック (fxCLK6) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6 = 0またはRXE6 = 0に設定してから基本クロック2クロック以降にTXE6 = 1またはRXE6 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
5. TXE6 = 1に設定したあと、基本クロック (fxCLK6) 1クロック以上待つてから、TXB6に送信データを設定してください。
6. PS61, PS60, CL6ビットを書き換えるときは、TXE6, RXE6ビットをクリア(0)してから行ってください。
7. LIN通信動作で使用する場合、PS61, PS60ビットを0に固定してください。
8. SL6ビットを書き換えるときは、TXE6をクリア(0)してから行ってください。また、受信は常に “ストップ・ビット数 = 1” として動作するので、SL6ビットの設定値の影響は受けません。
9. ISRM6ビットを書き換えるときは、RXE6 = 0にしてから行ってください。

(2) アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)

シリアル・インタフェースUART6の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE6, FE6, OVE6) で構成されています。

ASIS6は、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生, ASIM6のビット7 (POWER6) = 0, ビット5 (RXE6) = 0により, 00Hになります。また, 読み出しにより, 00Hになります。受信エラーが発生した場合は, ASIS6を読み出したあと, 受信バッファ・レジスタ6 (RXB6) を読み出し, エラー・フラグをクリアしてください。

図14 - 6 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のフォーマット

アドレス : FF53H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ASIS6	0	0	0	0	0	PE6	FE6	OVE6

PE6	パリティ・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	受信完了時, 送信データのパリティとパリティ・ビットが一致しないとき

FE6	フレーミング・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	受信完了時, ストップ・ビットが検出されないとき

OVE6	オーバラン・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	RXB6レジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき

- 注意1. PE6 ビットの動作は, アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のPS61, PS60ビットの設定値により異なります。
2. 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
 3. オーバラン・エラーが発生した場合, 次の受信データは受信バッファ・レジスタ6 (RXB6) には書き込まれず, データは破棄されます。
 4. ASIS6からデータを読み出すと, ウェイトが発生します。また周辺ハードウェア・クロック (fPRS) が停止しているときに, ASIS6からデータを読み出さないでください。詳細は, 第30章 ウェイトに関する注意事項を参照してください。

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)

シリアル・インタフェースUART6の送信時のステータスを示すレジスタです。2ビットのステータス・フラグ (TXBF6, TXSF6) で構成されています。

TXB6レジスタからTXS6レジスタへデータが転送されたあとに、次のデータをTXB6レジスタに書き込むことで、割り込み期間中も途切れることなく送信を続けることができます。

ASIF6は、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生、ASIM6のビット7 (POWER6) = 0, ビット6 (TXE6) = 0により、00Hになります。

図14 - 7 アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のフォーマット

アドレス : FF55H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ASIF6	0	0	0	0	0	0	TXBF6	TXSF6

TXBF6	送信バッファ・データ・フラグ
0	POWER6 = 0またはTXE6 = 0に設定したとき、または、送信シフト・レジスタ6 (TXS6) にデータを転送したとき
1	送信バッファ・レジスタ6 (TXB6) にデータを書き込んだとき (TXB6にデータが存在するとき)

TXSF6	送信シフト・レジスタ・データ・フラグ
0	POWER6 = 0またはTXE6 = 0に設定したとき、または、転送完了後に送信バッファ・レジスタ6 (TXB6) から次のデータ転送がなかったとき
1	送信バッファ・レジスタ6 (TXB6) よりデータが転送されたとき (データ送信中のとき)

- 注意1. 連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ (2バイト目) をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。
2. 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。

(4) クロック選択レジスタ6 (CKSR6)

シリアル・インタフェースUART6の基本クロックを選択するレジスタです。

CKSR6は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 通信動作中 (ASIM6のビット7, 6 (POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5 (POWER6, RXE6) = 1, 1) に、ソフトウェアでCKSR6へのリフレッシュ動作 (同値書き込み) を行うことができます。

図14 - 8 クロック選択レジスタ6 (CKSR6) のフォーマット

アドレス : FF56H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKSR6	0	0	0	0	TPS63	TPS62	TPS61	TPS60

TPS63	TPS62	TPS61	TPS60	基本クロック (f _{CLK6}) 選択 ^{注1}				
				f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz	
0	0	0	0	f _{PRS} ^{注2}	2 MHz	5 MHz	10 MHz	20 MHz ^{注3}
0	0	0	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	f _{PRS} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{PRS} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{PRS} /2 ⁵	62.5 kHz	156.25 kHz	312.5 kHz	625 kHz
0	1	1	0	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
0	1	1	1	f _{PRS} /2 ⁷	15.625 kHz	39.06 kHz	78.13 kHz	156.25 kHz
1	0	0	0	f _{PRS} /2 ⁸	7.813 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	0	0	1	f _{PRS} /2 ⁹	3.906 kHz	9.77 kHz	19.53 kHz	39.06 kHz
1	0	1	0	f _{PRS} /2 ¹⁰	1.953 kHz	4.88 kHz	9.77 kHz	19.53 kHz
1	0	1	1	TM50の出力 ^{注4}				
その他				設定禁止				

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧により、使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック (f _{PRS}) の使用周波数範囲
2.7 V V _{DD} 5.5 V	f _{PRS} 20 MHz
1.8 V V _{DD} < 2.7 V	f _{PRS} 5 MHz

(上述の表は、f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- 1.8 V V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、TPS63 = TPS62 = TPS61 = TPS60 = 0 (基本クロック : f_{PRS}) は設定禁止です。
- 4.0 V V_{DD} 5.5 Vの場合のみ設定可能です。
- TM50出力を基本クロックとして選択する場合、次の内容に注意してください。
 - ・TM50とCR50の一致でクリア & スタート・モード (TMC506 = 0)
 - タイムF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
 - ・PWMモード (TMC506 = 1)
 - デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TO50出力を許可 (TOE50 = 1) する必要はありません。

注意 TPS63-TPS60を書き換える場合は、POWER6 = 0としてから行ってください。

備考1. f_{PRS} : 周辺ハードウェア・クロック周波数

2. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6
TMC501 : TMC50のビット1

(5) ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)

シリアル・インタフェースUART6の8ビット・カウンタの分周値を設定するレジスタです。

BRGC6は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 通信動作中(ASIM6のビット7, 6(POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5(POWER6, RXE6) = 1, 1) に、ソフトウェアでBRGC6へのリフレッシュ動作(同値書き込み)を行うことができます。

図14-9 ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) のフォーマット

アドレス：FF57H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
BRGC6	MDL67	MDL66	MDL65	MDL64	MDL63	MDL62	MDL61	MDL60

MDL67	MDL66	MDL65	MDL64	MDL63	MDL62	MDL61	MDL60	k	8ビット・カウンタの出力 クロック選択
0	0	0	0	0	0	×	×	×	設定禁止
0	0	0	0	0	1	0	0	4	$f_{XCLK6}/4$
0	0	0	0	0	1	0	1	5	$f_{XCLK6}/5$
0	0	0	0	0	1	1	0	6	$f_{XCLK6}/6$
・	・	・	・	・	・	・	・	・	・
・	・	・	・	・	・	・	・	・	・
・	・	・	・	・	・	・	・	・	・
・	・	・	・	・	・	・	・	・	・
・	・	・	・	・	・	・	・	・	・
1	1	1	1	1	1	0	0	252	$f_{XCLK6}/252$
1	1	1	1	1	1	0	1	253	$f_{XCLK6}/253$
1	1	1	1	1	1	1	0	254	$f_{XCLK6}/254$
1	1	1	1	1	1	1	1	255	$f_{XCLK6}/255$

注意1. MDL67-MDL60ビットを書き換える場合は、ASIM6レジスタのビット6 (TXE6) = 0, ビット5 (RXE6) = 0にしてから行ってください。

2. 8ビット・カウンタの出力クロックをさらに1/2分周したものが、ポー・レート値となります。

備考1. f_{XCLK6} : CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

2. k : MDL67-MDL60ビットで設定した値 (k = 4, 5, 6, ..., 255)

3. × : 任意

(6) アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)

シリアル・インタフェースUART6のシリアル通信動作を制御するレジスタです。
 ASICL6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により、16Hになります。

注意 通信動作中(ASIM6のビット7, 6(POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5(POWER6, RXE6) = 1, 1) に、ソフトウェアでASICL6へのリフレッシュ動作(同値書き込み)を行うことができます。ただし、SBF受信中(SBRF6 = 1)またはSBF送信中(SBTT6をセット(1)後からINTST6発生までの間)に、リフレッシュ動作でSBRT6 = 1, SBTT6 = 1に設定すると、SBF受信、SBF送信の再トリガ要因となるため、設定しないでください。

図14 - 10 アシクロナス・シリアル・インタフェース・コントロール・レジスタ6(ASICL6)のフォーマット(1/2)

アドレス : FF58H リセット時 : 16H R/W^注

略号	[7]	[6]	5	4	3	2	1	0
ASICL6	SBRF6	SBRT6	SBTT6	SBL62	SBL61	SBL60	DIR6	TXDLV6

SBRF6	SBF受信状態フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき、またはSBF受信が正常終了したとき
1	SBF受信中

SBRT6	SBF受信トリガ
0	-
1	SBF受信トリガ

SBTT6	SBF送信トリガ
0	-
1	SBF送信トリガ

注 ビット7はRead Onlyです。

図14 - 10 アシクロナス・シリアル・インタフェース・コントロール・レジスタ6(ASICL6)のフォーマット(2/2)

SBL62	SBL61	SBL60	SBF送信出力幅制御
1	0	1	SBFは13ビット長で出力
1	1	0	SBFは14ビット長で出力
1	1	1	SBFは15ビット長で出力
0	0	0	SBFは16ビット長で出力
0	0	1	SBFは17ビット長で出力
0	1	0	SBFは18ビット長で出力
0	1	1	SBFは19ビット長で出力
1	0	0	SBFは20ビット長で出力

DIR6	先頭ビットの指定
0	MSB
1	LSB

TXDLV6	TxD6出力反転許可 / 禁止
0	TxD6通常出力
1	TxD6反転出力

- 注意1. SBF受信エラー時には、再びSBF受信モードに戻ります。SBRF6フラグの状態は保持(1)されます。
- SBRT6ビットは、ASIM6のビット7 (POWER6) = 1、かつビット5 (RXE6) = 1としてからセット(1)にしてください。また、セット(1)後、SBF受信が終了(割り込み要求信号が発生)する前に、SBRT6ビットをクリア(0)しないでください。
 - SBRT6ビットのリード値は常に0です。SBF受信正常終了後、SBRT6は自動的にクリア(0)されます。
 - SBTT6ビットは、ASIM6のビット7 (POWER6) = 1、かつビット6 (TXE6) = 1としてからセット(1)にしてください。また、セット(1)後、SBF送信が終了(割り込み要求信号が発生)する前に、SBTT6ビットをクリア(0)しないでください。
 - SBTT6ビットのリード値は常に0です。SBF送信終了後、SBTT6は自動的にクリア(0)されます。
 - SBRT6ビットは受信動作中に、SBTT6ビットは送信動作中に、セット(1)しないでください。
 - DIR6, TXDLV6ビットを書き換えるときは、TXE6, RXE6ビットをクリア(0)にしてから行ってください。
 - TXDLV6ビットを1(TxD6反転出力)に設定している場合、POWER6, TXE6の設定に関係なく、TxD6/P10/TI51^注/TO51^注端子を汎用ポートとして使用することはできません。TxD6/P10/TI51^注/TO51^注端子を汎用ポートとして使用する場合は、TXDLV6ビットを0(TxD6通常出力)に設定してください。

注 78K0/KB2-Aのみ

(7) 入力切り替え制御レジスタ (ISC)

LIN (Local Interconnect Network) 受信時に、マスタから送信されるステータス信号を受信するときに入力切り替え制御レジスタ (ISC) を使用します。ISC0, ISC1に1をセットすることで、INTP0, TI000への入力ソースはP11/RxD6/TI50[※]/TO50[※]端子からの入力信号に切り替わります。

ISCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 78K0/KB2-Aのみ

図14 - 11 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FF4FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	ISC2 [※]	ISC1	ISC0

ISC1	TI000入力ソースの選択	
0	TI000 (P12 : 78K0/KB2-A, P00 : 78K0/KC2-A)	
1	RxD6 (P11)	

ISC0	INTP0入力ソースの選択	
0	INTP0 (P120)	
1	RxD6 (P11)	

注 ISC2は、シリアル・インタフェースCSI10で使用する端子の割り当てを設定します。詳細については、第15章 シリアル・インタフェースCSI10を参照してください。

(8) ポート・モード・レジスタ1 (PM1)

ポート1の入力 / 出力を1ビット単位で設定するレジスタです。

P10/TxD6/TI51[※]/TO51[※]端子をシリアル・インタフェースのデータ出力として使用するとき、PM10に0を、P10の出力ラッチに1を設定してください。

P11/RxD6/TI50[※]/TO50[※]端子をシリアル・インタフェースのデータ入力として使用するとき、PM11に1を設定してください。このときP11の出力ラッチは、0または1のどちらでもかまいません。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

注 78K0/KB2-Aのみ

図14 - 12 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	1	1	1	1	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-3)	
0	出力モード (出力バッファ・オン)	
1	入力モード (出力バッファ・オフ)	

14.4 シリアル・インタフェースUART6の動作

シリアル・インタフェースUART6は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

14.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポート（または8ビット・タイマ50, 51^注）として使用できます。動作停止モードにする場合は、ASIM6のビット7, 6, 5 (POWER6, TXE6, RXE6) に0を設定してください。

注 78K0/KB2-Aのみ

(1) 使用するレジスタ

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) で行います。

ASIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

アドレス：FF50H リセット時：01H R/W

略号	7	6	5	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2}

TXE6	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)

RXE6	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)

注1. 送信中にPOWER6 = 0にすると、TxD6端子の出力はハイ・レベルに固定されます (TXDLV6 = 0の場合)。また、RxD6端子からの入力もハイ・レベルに固定されます。

2. リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6), アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6), アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット7 (SBRF6) とビット6 (SBRT6), 受信バッファ・レジスタ6 (RXB6) です。

注意 動作停止するときは、TXE6 = 0, RXE6 = 0にしてから、POWER6 = 0 にしてください。通信開始するときは、POWER6 = 1 にしてから、TXE6 = 1, RXE6 = 1にしてください。

備考 RxD6/P11, TxD6/P10端子を汎用ポートとして使用する場合は、第4章 ポート機能を参照してください。

14.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

(1) 使用するレジスタ

- ・ アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)
- ・ アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)
- ・ アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)
- ・ クロック選択レジスタ6 (CKSR6)
- ・ ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)
- ・ アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)
- ・ 入力切り替え制御レジスタ (ISC)
- ・ ポート・モード・レジスタ1 (PM1)
- ・ ポート・レジスタ1 (P1)

UARTモードの基本的な動作設定手順例は次のようになります。

CKSR6レジスタを設定 (図14 - 8を参照)

BRGC6レジスタを設定 (図14 - 9を参照)

ASIM6レジスタのビット0-4 (ISRM6, SL6, CL6, PS60, PS61) を設定 (図14 - 5を参照)

ASICL6レジスタのビット0, 1 (TXDLV6, DIR6) を設定 (図14 - 10を参照)

ASIM6レジスタのビット7 (POWER6) をセット (1)

ASIM6レジスタのビット6 (TXE6) をセット (1) 送信可能

ASIM6レジスタのビット5 (RXE6) をセット (1) 受信可能

送信バッファ・レジスタ6 (TXB6) にデータを書き込み データ送信開始

注意 ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表14 - 2 レジスタの設定と端子の関係

POWER6	TXE6	RXE6	PM10	P10	PM11	P11	UART6 の動作	端子機能	
								TxD6/P10 /TI51 ^{注2} /TO51 ^{注2}	RxD6/P11 TI50 ^{注2} /TO50 ^{注2}
0	0	0	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	停止	P10 /TI51 ^{注2} /TO51 ^{注2}	P11 TI50 ^{注2} /TO50 ^{注2}
1	0	1	x ^{注1}	x ^{注1}	1	x	受信	P10 /TI51 ^{注2} /TO51 ^{注2}	RxD6
	1	0	0	1	x ^{注1}	x ^{注1}	送信	TxD6	P11 TI50 ^{注2} /TO50 ^{注2}
	1	1	0	1	1	x	送受信	TxD6	RxD6

注1. ポート機能または8ビット・タイマ50, 51^{注2}として設定することができます。

2. 78K0/KB2-Aのみ

備考 x : don't care

POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

PM1x : ポート・モード・レジスタ

P1x : ポートの出力ラッチ

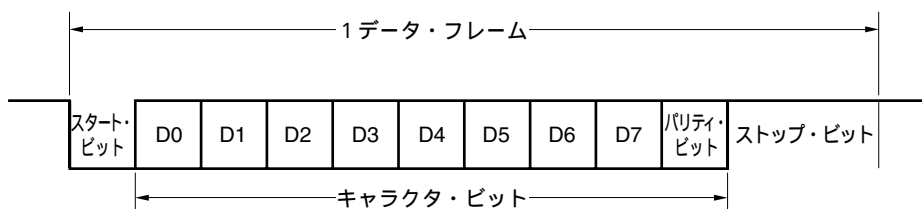
(2) 通信動作

(a) 通常送受信データ・フォーマットと波形例

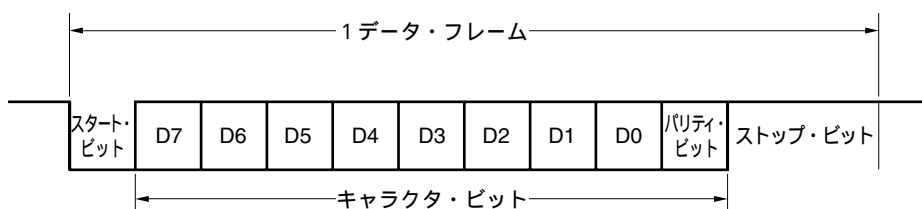
通常送受信データのフォーマットと波形例を図14 - 13, 14 - 14に示します。

図14 - 13 通常UART送受信データのフォーマット

1. LSBファーストの場合



2. MSBファーストの場合



1データ・フレームは次に示すビットで構成されています。

- ・スタート・ビット..... 1ビット
- ・キャラクタ・ビット..... 7ビット/8ビット
- ・パリティ・ビット..... 偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット..... 1ビット/2ビット

1データ・フレーム内のキャラクタ・ビット長の指定,パリティ選択,ストップ・ビット長の指定は,アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) によって行います。

データはLSBファースト/MSBファーストをアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット1 (DIR6) で設定して通信します。

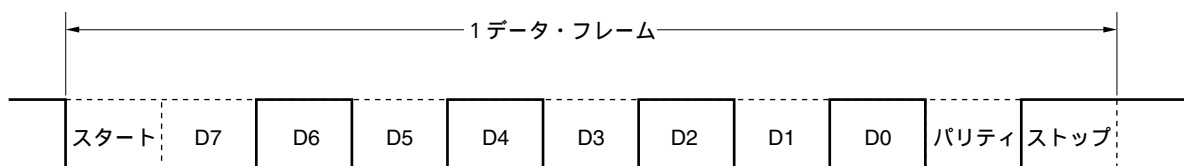
また, TxD6端子の通常出力/反転出力をASICL6のビット0 (TXDLV6) で設定します。

図14 - 14 通常UART送受信データの波形例 (1/2)

1. データ長 : 8ビット , LSBファースト , パリティ : 偶数パリティ , ストップ・ビット : 1ビット , 通信データ : 55H



2. データ長 : 8ビット , MSBファースト , パリティ : 偶数パリティ , ストップ・ビット : 1ビット , 通信データ : 55H

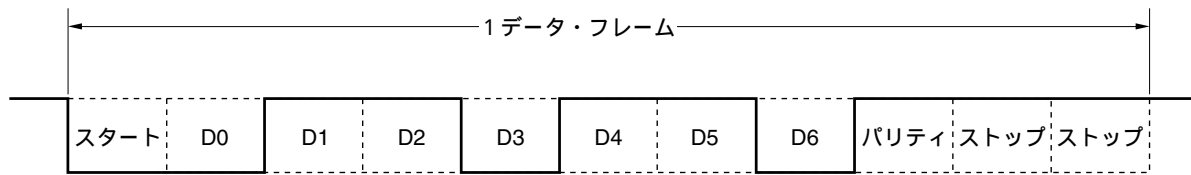


3. データ長 : 8ビット , MSBファースト , パリティ : 偶数パリティ , ストップ・ビット : 1ビット , 通信データ : 55H, TxD6端子反転出力

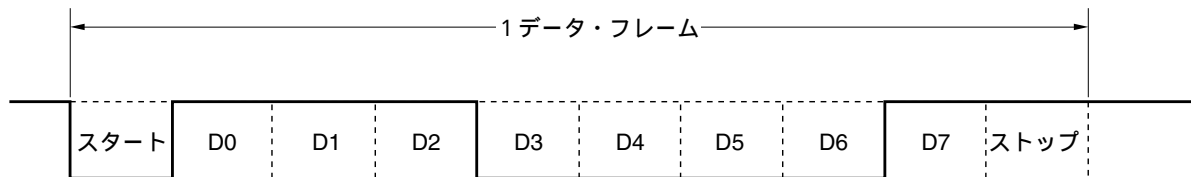


図14 - 14 通常UART送受信データの波形例 (2/2)

4. データ長 : 7ビット , LSBファースト , パリティ : 奇数パリティ , ストップ・ビット : 2ビット , 通信データ : 36H



5. データ長 : 8ビット , LSBファースト , パリティ : パリティなし , ストップ・ビット : 1ビット , 通信データ : 87H



(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

注意 LIN通信動作で使用する場合、PS61, PS60ビットを0に固定してください。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビット数が奇数個 : 1

送信データ中に、値が“1”のビット数が偶数個 : 0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

(ii) 奇数パリティ

・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に、値が“1”のビット数が奇数個：0

送信データ中に、値が“1”のビット数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 通常送信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)のビット7 (POWER6) をセット (1) し、次にASIM6のビット6 (TXE6) をセット (1) すると送信許可状態になり、送信バッファ・レジスタ6 (TXB6) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

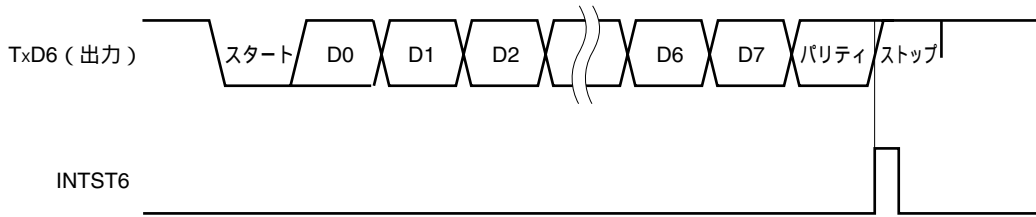
送信動作の開始により、TXB6内のデータは送信シフト・レジスタ6 (TXS6) に転送されます。その後、送信データがTXS6より順次、TxD6端子に出力されます。送信が完了すると、ASIM6で設定したパリティ・ビット、ストップ・ビットが付加され、送信完了割り込み要求 (INTST6) が発生します。

次に送信するデータをTXB6に書き込むまで、送信動作は中断します。

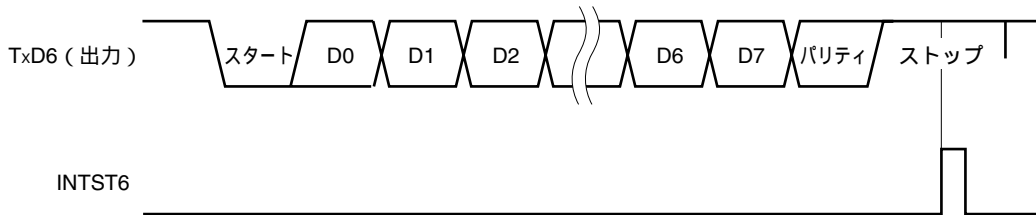
送信完了割り込み要求 (INTST6) のタイミングを図14 - 15に示します。INTST6は、最後のストップ・ビット出力と同時に発生します。

図14 - 15 通常送信完了割り込み要求タイミング

1. ストップ・ビット長：1



2. ストップ・ビット長：2



(d) 連続送信

送信シフト・レジスタ6 (TXS6) がシフト動作を開始した時点で、次の送信データを送信バッファ・レジスタ6 (TXB6) へ書き込むことができます。これにより、1データ・フレーム送信後のINTST6割り込み処理時でも連続送信することができ、効率的な通信レートを実現できます。また、送信完了割り込み発生後にアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット0 (TXSF6) を読み出すことにより、1データ・フレームの送信時間を待つことなく効率的に2回 (2バイト) のTXB6レジスタへの書き込みができます。

連続送信する場合は、必ずASIF6レジスタを参照し、送信状態とTXB6レジスタへの書き込み可否を確認してから、データの書き込みを行ってください。

- 注意1.** 連続送信でASIF6レジスタのTXBF6, TXSF6フラグは、「10」「11」「01」と変化します。そのため、ステータスを確認する場合は、TXBF6, TXSF6フラグの組み合わせで判断しないでください。連続送信を行う場合はTXBF6フラグのみを読み出して下さい。
- 2.** LIN通信動作で使用する場合、連続送信機能を使用することはできません。必ずアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) が00Hになっていることを確認してから、送信バッファ・レジスタ6 (TXB6) に送信データを書き込んで下さい。

TXBF6	TXB6レジスタへの書き込み可否
0	書き込み可
1	書き込み不可

注意 連続送信を行う場合は、最初の送信データ（1バイト目）をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ（2バイト目）をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。

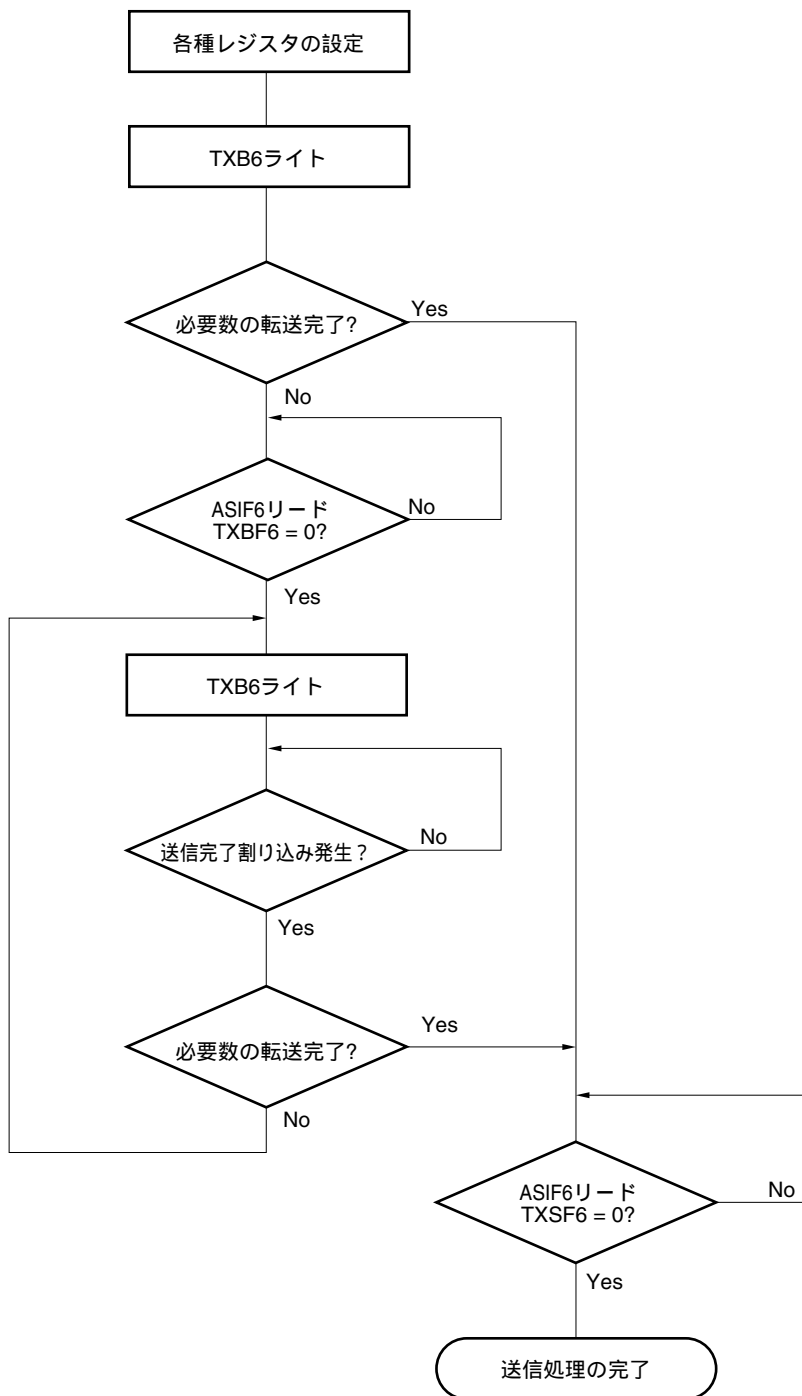
TXSF6フラグで、通信状態を確認することができます。

TXSF6	送信状態
0	送信が終了しています。
1	送信中です。

- 注意1.** 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。
- 2.** 連続送信時には、1データ・フレーム送信後のINTST6割り込み処理を実行する前に次の送信が完了してしまう可能性があります。対策としては、送信データ数をカウントできるプログラムを組み込むこととTXSF6フラグを参照することで検出できます。

連続送信の処理フロー例を図14 - 16に示します。

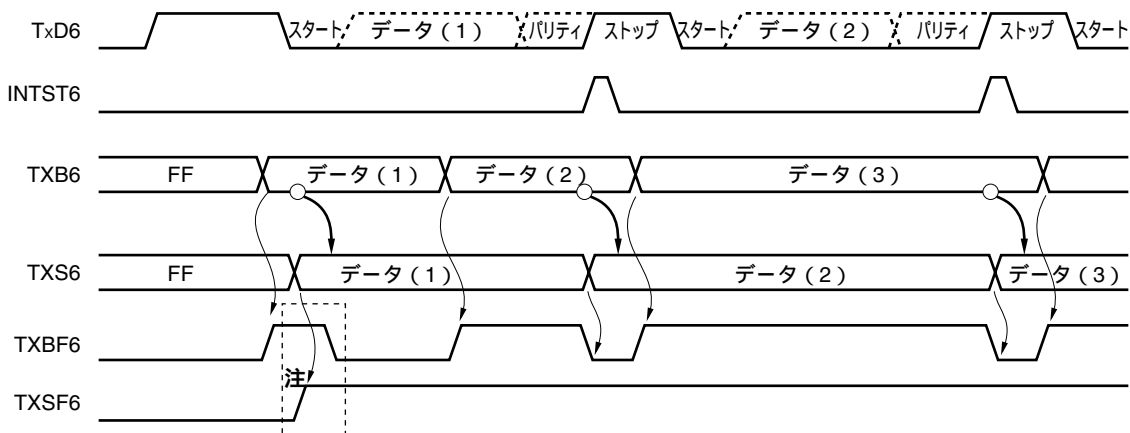
図14 - 16 連続送信の処理フロー例



- 備考** TXB6 : 送信バッファ・レジスタ6
 ASIF6 : アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6
 TXBF6 : ASIF6のビット1 (送信バッファ・データ・フラグ)
 TXSF6 : ASIF6のビット0 (送信シフト・レジスタ・データ・フラグ)

連続送信を開始する際のタイミングを図14 - 17に、連続送信を終了する際のタイミングを図14 - 18に示します。

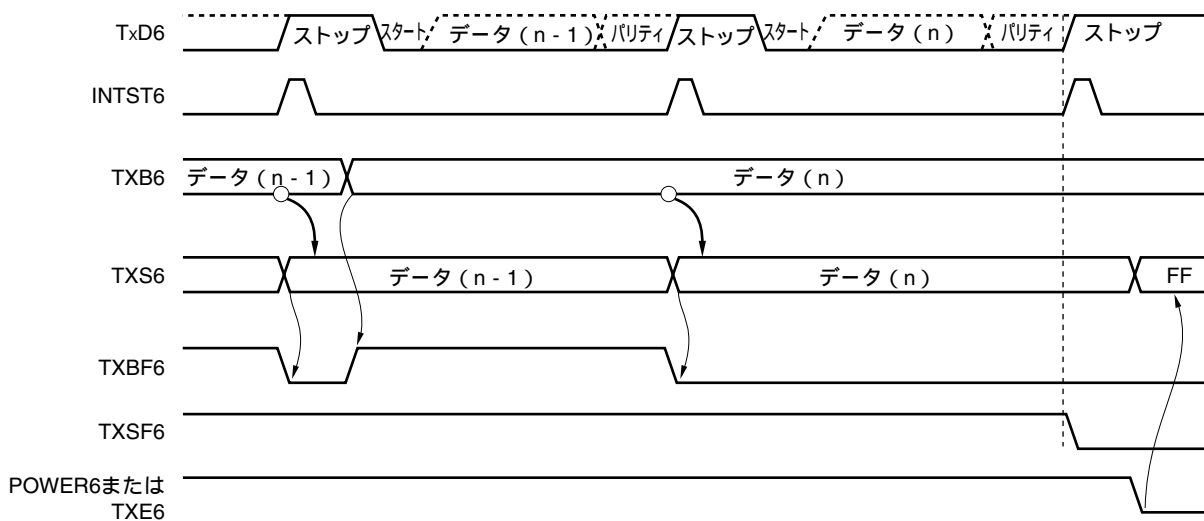
図14 - 17 連続送信を開始する際のタイミング



注 ASIF6をリードした場合、TXBF6, TXSF6 = 1, 1の期間が存在します。したがって、書き込み可否はTXBF6ビットのみで判断してください。

- 備考 TxD6 : TxD6端子 (出力)
 INTST6 : 割り込み要求信号
 TXB6 : 送信バッファ・レジスタ6
 TXS6 : 送信シフト・レジスタ6
 ASIF6 : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
 TXBF6 : ASIF6のビット1
 TXSF6 : ASIF6のビット0

図14 - 18 連続送信を終了する際のタイミング



備考	TxD6	: TxD6端子 (出力)
	INTST6	: 割り込み要求信号
	TXB6	: 送信バッファ・レジスタ6
	TXS6	: 送信シフト・レジスタ6
	ASIF6	: アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
	TXBF6	: ASIF6のビット1
	TXSF6	: ASIF6のビット0
	POWER6	: アシクロナス・シリアル・インタフェース動作モード・レジスタ (ASIM6) のビット7
	TXE6	: アシクロナス・シリアル・インタフェース動作モード・レジスタ (ASIM6) のビット6

(e) 通常受信

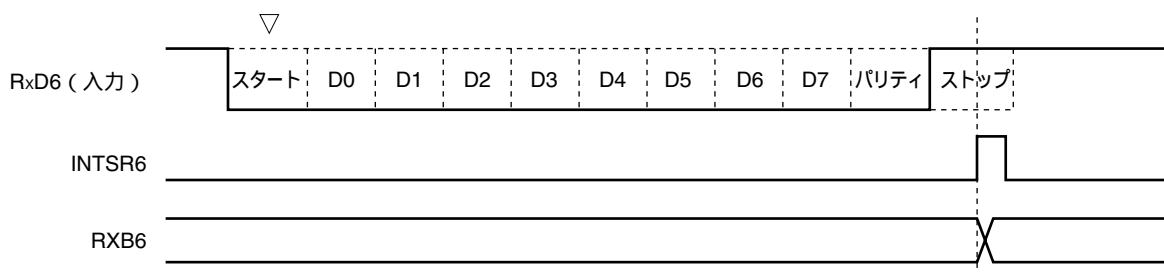
アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)のビット7(POWER6)をセット(1)し、次にASIM6のビット5(RXE6)をセット(1)すると受信許可状態となり、RxD6端子入力のサンプリングを行います。

RxD6端子入力の立ち下がりを検出すると、ポーレート・ジェネレータの8ビット・カウンタがカウントを開始し、ポーレート・ジェネレータ・コントロール・レジスタ6(BRGC6)の設定値をカウントした時点で、再度RxD6端子入力をサンプリング(図14-19の印に相当)した結果、RxD6端子がロウ・レベルであれば、スタート・ビットと認識します。

スタート・ビットを検出したら、受信動作を開始し、設定されたポーレートに合わせて、シリアル・データを順次、受信シフト・レジスタ(RXS6)に格納していきます。ストップ・ビットを受信したら、受信完了割り込み(INTSR6)を発生すると同時に、RXS6のデータは受信バッファ・レジスタ6(RXB6)に書き込まれます。ただし、オーバラン・エラー(OVE6)が発生した場合、そのときの受信データはRXB6に書き込みません。

受信途中に、パリティ・エラー(PE6)が発生しても、ストップ・ビットの受信位置までは受信を継続し、受信完了後に受信エラー割り込み(INTSR6/INTSRE6)を発生します。

図14-19 受信完了割り込み要求タイミング



- 注意1. 受信エラーが発生した場合は、ASIS6を読み出したあと、RXB6を読み出し、エラー・フラグをクリアしてください。RXB6を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。
2. 受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
3. RXB6を読み出す前に、必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) を読み出してください。

(f) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) 内に立つと、受信エラー割り込み (INTSR6/INTSRE6) を発生します。

受信エラー割り込み (INTSR6/INTSRE6) 処理内で、ASIS6の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図14 - 6参照)。

ASIS6の内容は、ASIS6を読み出すことによって、クリア (0) されます。

表14 - 3 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタ6 (RXB6) からデータを読み出す前に次のデータ受信完了

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット0 (ISRM6) に0を設定することにより、受信エラー割り込みを受信完了割り込み (INTSR6) とエラー割り込み (INTSRE6) とに分離することができます。

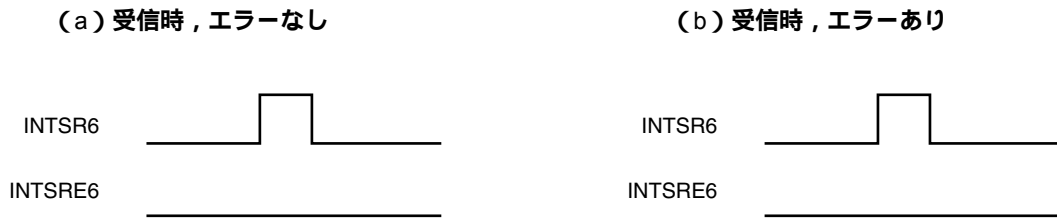
図14 - 20 受信エラー割り込み (1/2)

1. ISRM6に0を設定した場合 (受信完了割り込み (INTSR6) とエラー割り込み (INTSRE6) とに分離する)



図14 - 20 受信エラー割り込み (2/2)

2. ISRM6に1を設定した場合 (エラー割り込みもINTSR6に含める)



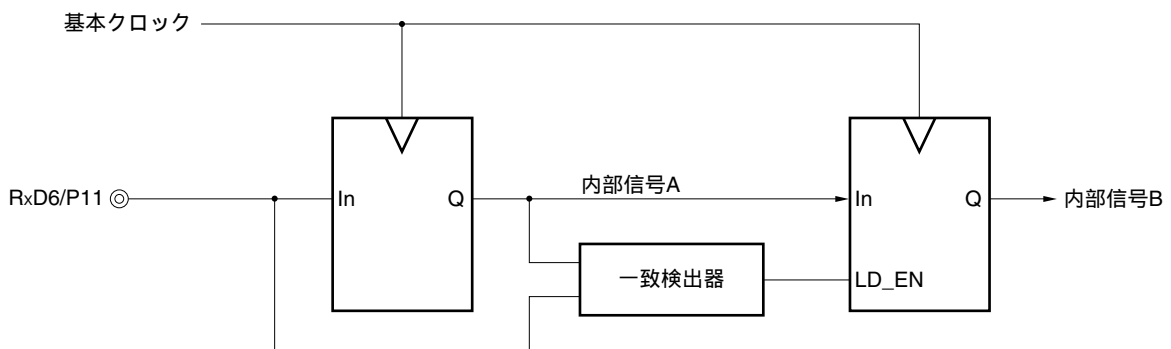
(g) 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロックでRxD6信号をサンプリングします。

サンプリング値が同じ値を2回取ると, 一致検出器の出力が変化し, 入力データとしてサンプリングされます。

また, 回路は図14 - 21のようにになっているため, 受信動作の内部での処理は, 外部の信号状態より2クロック分遅れて動作することになります。

図14 - 21 ノイズ・フィルタ回路



(h) SBF送信

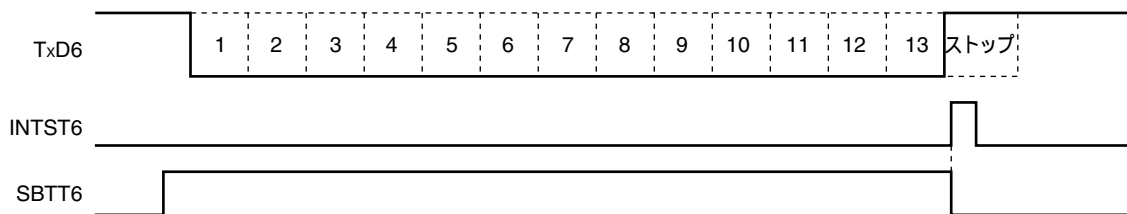
LIN通信動作で使用する場合、送信ではSBF(Synchronous Break Field)送信制御機能を使用します。LINの送信操作については図14 - 1 LINの送信操作を参照してください。

アシンクロナス・シリアル・インタフェース・モード・レジスタ6 (ASIM6)のビット7 (POWER6) をセット (1) すると、TxD6端子からハイ・レベル出力されます。次にASIM6のビット6 (TXE6) をセット (1) すると送信許可状態になり、アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)のビット5 (SBTT6) をセット (1) することによりSBF送信動作は起動します。

起動後、13ビットから20ビットまでのロウ・レベル (ASICL6のビット4-2 (SBL62-SBL60) で設定) を出力します。SBF送信が完了すると、送信完了割り込み要求 (INTST6) を発生し、SBTT6は自動的にクリアされます。SBF送信を終了後、通常送信モードに戻ります。

次に送信するデータを送信バッファ・レジスタ6 (TXB6) に書き込む、あるいはSBTT6をセット (1) するまで、送信動作は中断します。

図14 - 22 SBF送信



備考 TxD6 : TxD6端子 (出力)

INTST6 : 送信完了割り込み要求

SBTT6 : アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット5

(i) SBF受信

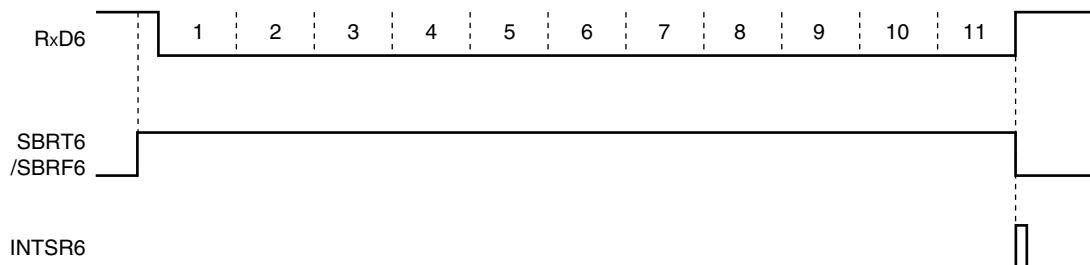
LIN通信動作で使用する場合、受信ではSBF(Synchronous Break Field)受信制御機能を使用します。LINの受信操作については図14 - 2 LINの受信操作を参照してください。

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)のビット7(POWER6)をセット (1) し、次にASIM6のビット5 (RXE6) をセット (1) すると受信許可状態となります。次にアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6(ASICL6)のビット6(SBRT6)をセット (1) するとSBF受信許可状態になります。SBF受信許可状態は通常の実信許可状態と同様、RxD6端子をサンプリングし、スタート・ビットの検出を行います。

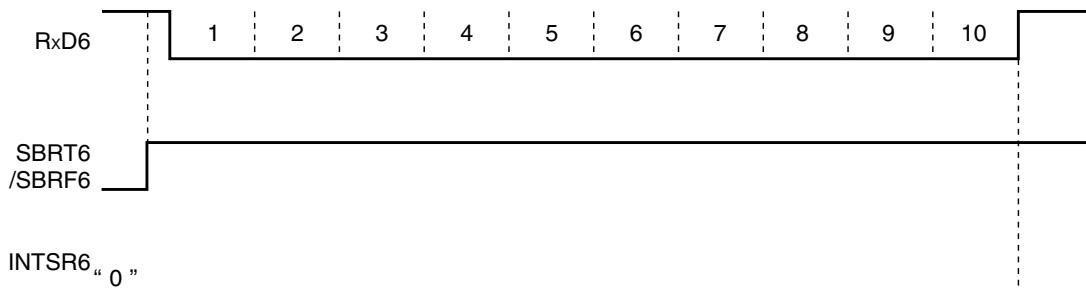
スタート・ビットが検出されたら、受信動作を開始し、設定されたボー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ6 (RXS6) に格納していきます。ストップ・ビットを受信したら、SBFの幅が11ビット長以上の場合、正常処理として、受信完了割り込み要求 (INTSR6) を発生します。このときSBRF6、SBRT6ビットは自動的にクリアされ、SBF受信を終了します。OVE6、PE6、FE6 (アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のビット0-2) の各エラー検出は抑制され、UART通信のエラー検出処理は行われません。また受信シフト・レジスタ6 (RXS6) と受信バッファ・レジスタ6 (RXB6) のデータの転送も行われず、リセット値のFFHを保持します。SBFの幅は10ビット長以下の場合、ストップ・ビット受信後、エラー処理として割り込みを出さずに受信を終了し、再びSBF受信モードに戻ります。この場合、SBRF6、SBRT6ビットはクリアされません。

図14 - 23 SBF受信

1. 正常SBF受信 (10.5ビット超でストップ・ビットを検出)



2. SBF受信エラー (10.5ビット以下でストップ・ビットを検出)



備考 RxD6 : RxD6端子 (入力)

SBRT6 : アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット6

SBRF6 : ASICL6のビット7

INTSR6 : 受信完了割り込み要求

14.4.3 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UART6における送受信時のシリアル・クロックを生成します。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

・基本クロック

アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 1のとき、クロック選択レジスタ6 (CKSR6) のビット3-0 (TPS63-TPS60) で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び、その周波数を f_{CLK6} と呼びます。POWER6 = 0のときは、基本クロックはロウ・レベルに固定となります。

・送信用カウンタ

アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 0またはビット6 (TXE6) = 0のときはクリア (0) の状態で動作を停止します。

POWER6 = 1かつTXE6 = 1でカウントをスタートします。

最初の送信では送信バッファ・レジスタ6 (TXB6) への書き込みでカウンタをクリア (0) します。

連続送信の場合は1フレーム・データの送信完了で、再びカウンタをクリア (0) します。次の送信データがなかった場合、カウンタはクリア (0) されず、POWER6またはTXE6がクリア (0) されるまでカウント動作をそのまま続けます。

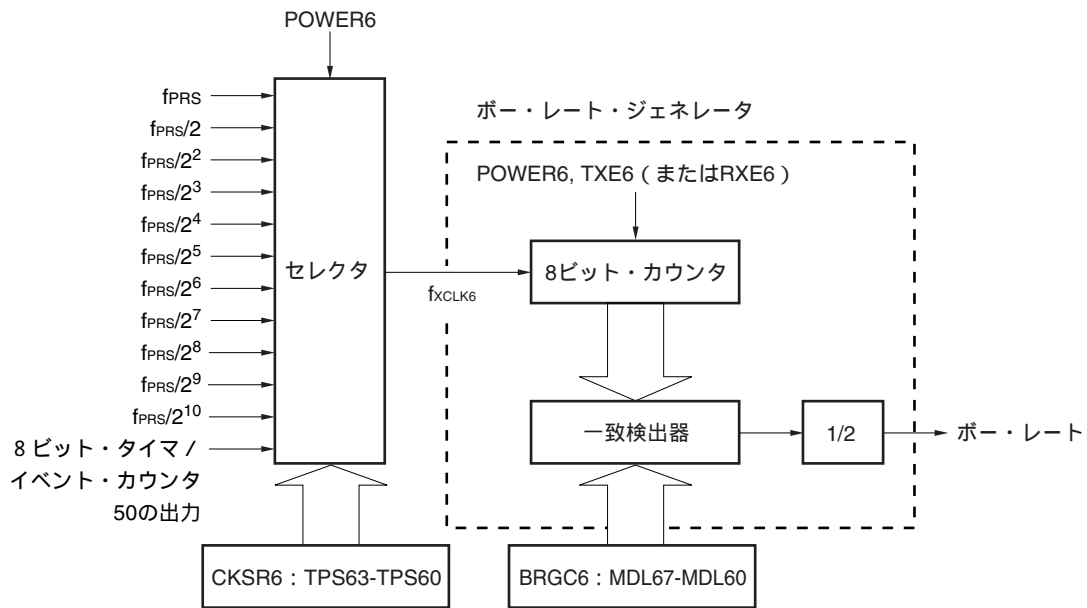
・受信用カウンタ

アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 0またはビット5 (RXE6) = 0のときはクリア (0) の状態で動作を停止します。

スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

図14 - 24 ポー・レート・ジェネレータの構成



備考 POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

CKSR6 : クロック選択レジスタ6

BRGC6 : ポー・レート・ジェネレータ・コントロール・レジスタ6

(2) シリアル・クロックの生成

クロック選択レジスタ6 (CKSR6) とポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) の設定により、生成するシリアル・クロックを指定できます。

CKSR6のビット3-0 (TPS63-TPS60) により、8ビット・カウンタへの入力クロックを、BRGC6のビット7-0 (MDL67-MDL60) により、8ビット・カウンタの分周値 ($f_{XCLK6}/4 - f_{XCLK6}/255$) を設定できます。

14.4.4 ポー・レートの算出

(1) ポー・レート計算式

ポー・レートは次の式によって求められます。

$$\text{ポー・レート} = \frac{f_{XCLK6}}{2 \times k} \text{ [bps]}$$

f_{XCLK6} : CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

k : BRGC6レジスタのMDL67-MDL60ビットで設定した値 ($k = 4, 5, 6, \dots, 255$)

表14 - 4 TPS63-TPS60の設定値

TPS63	TPS62	TPS61	TPS60	基本クロック (f _{CLK6}) 選択 ^{注1}				
				f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz	
0	0	0	0	f _{PRS} ^{注2}	2 MHz	5 MHz	10 MHz	20 MHz ^{注3}
0	0	0	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	f _{PRS} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{PRS} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{PRS} /2 ⁵	62.5 kHz	156.25 kHz	312.5 kHz	625 kHz
0	1	1	0	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
0	1	1	1	f _{PRS} /2 ⁷	15.625 kHz	39.06 kHz	78.13 kHz	156.25 kHz
1	0	0	0	f _{PRS} /2 ⁸	7.813 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	0	0	1	f _{PRS} /2 ⁹	3.906 kHz	9.77 kHz	19.53 kHz	39.06 kHz
1	0	1	0	f _{PRS} /2 ¹⁰	1.953 kHz	4.88 kHz	9.77 kHz	19.53 kHz
1	0	1	1	TM50の出力 ^{注4}				
その他				設定禁止				

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧により、使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック (f _{PRS}) の使用周波数範囲
2.7 V V _{DD} 5.5 V	f _{PRS} 20 MHz
1.8 V V _{DD} < 2.7 V	f _{PRS} 5 MHz

(上述の表は、f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- 1.8 V V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、TPS63 = TPS62 = TPS61 = TPS60 = 0 (基本クロック : f_{PRS}) は設定禁止です。
- 4.0 V V_{DD} 5.5 Vの場合のみ設定可能です。
- TO50出力を基本クロックとして選択する場合、次の内容に注意してください。
 - ・TM50とCR50の一致でクリア & スタート・モード (TMC506 = 0)
タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
 - ・PWMモード (TMC506 = 1)
デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
 どちらのモードの場合でも、TO50出力を許可 (TOE50 = 1) する必要はありません。

(2) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 [\%]$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 = 10 MHz = 10,000,000 Hz
 BRGC6レジスタのMDL67-MDL60ビットの設定値 = 00100001B (k = 33)
 目標ボー・レート = 153600 bps
 ボー・レート = 10 M / (2 × 33)
 = 10000000 / (2 × 33) = 151515 [bps]
 誤差 = (151515 / 153600 - 1) × 100
 = - 1.357 [%]

(3) ボー・レート設定例

表14 - 5 ボー・レート・ジェネレータ設定データ

ボー・ レート [bps]	f _{PRS} = 2.0 MHz				f _{PRS} = 5.0 MHz				f _{PRS} = 10.0 MHz				f _{PRS} = 20.0 MHz			
	TPS63- TPS60	k	算出値	ERR [%]	TPS63- TPS60	k	算出値	ERR [%]	TPS63- TPS60	k	算出値	ERR [%]	TPS63- TPS60	k	算出値	ERR [%]
300	8H	13	301	0.16	7H	65	301	0.16	8H	65	301	0.16	9H	65	301	0.16
600	7H	13	601	0.16	6H	65	601	0.16	7H	65	601	0.16	8H	65	601	0.16
1200	6H	13	1202	0.16	5H	65	1202	0.16	6H	65	1202	0.16	7H	65	1202	0.16
2400	5H	13	2404	0.16	4H	65	2404	0.16	5H	65	2404	0.16	6H	65	2404	0.16
4800	4H	13	4808	0.16	3H	65	4808	0.16	4H	65	4808	0.16	5H	65	4808	0.16
9600	3H	13	9615	0.16	2H	65	9615	0.16	3H	65	9615	0.16	4H	65	9615	0.16
19200	2H	13	19231	0.16	1H	65	19231	0.16	2H	65	19231	0.16	3H	65	19231	0.16
24000	1H	21	23810	-0.79	3H	13	24038	0.16	4H	13	24038	0.16	5H	13	24038	0.16
31250	1H	16	31250	0	4H	5	31250	0	5H	5	31250	0	6H	5	31250	0
38400	1H	13	38462	0.16	0H	65	38462	0.16	1H	65	38462	0.16	2H	65	38462	0.16
48000	0H	21	47619	-0.79	2H	13	48077	0.16	3H	13	48077	0.16	4H	13	48077	0.16
76800	0H	13	76923	0.16	0H	33	75758	-1.36	0H	65	76923	0.16	1H	65	76923	0.16
115200	0H	9	111111	-3.55	1H	11	113636	-1.36	0H	43	116279	0.94	0H	87	114943	-0.22
153600	-	-	-	-	1H	8	156250	1.73	0H	33	151515	-1.36	1H	33	151515	-1.36
312500	-	-	-	-	0H	8	312500	0	1H	8	312500	0	2H	8	312500	0
625000	-	-	-	-	0H	4	625000	0	1H	4	625000	0	2H	4	625000	0

備考 TPS63-TPS60 : クロック選択レジスタ6 (CKSR6) のビット3-0 (基本クロック (f_{CLK6}) 設定)
 k : ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) のMDL67- MDL60
 ビットで設定した値 (k = 4, 5, 6, ..., 255)
 f_{PRS} : 周辺ハードウェア・クロック周波数
 ERR : ボー・レート誤差

(4) 受信時の許容ポー・レート範囲

受信の際に、送信先のポー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図14 - 25 受信時の許容ポー・レート範囲

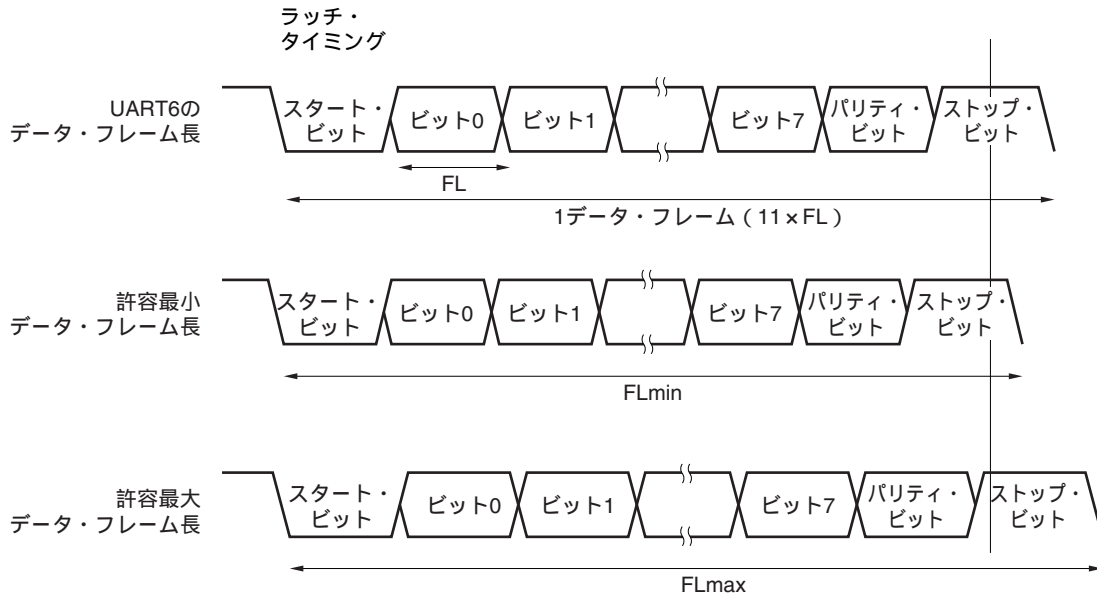


図14 - 25に示すように、スタート・ビット検出後はポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate}) \cdot^{-1}$$

Brate : UART6のポー・レート

k : BRGC6の設定値

FL : 1ビット・データ長

ラッチ・タイミングのマーヅン : 2クロック

$$\text{許容最小データ・フレーム長} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大データ・フレーム長を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小/最大ボー・レート値の算出式から、UART6と送信先とのボー・レートの許容誤差を求めると次のようになります。

表14-6 許容最大/最小ボー・レート誤差

分周比(k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+2.33 %	-2.44 %
8	+3.53 %	-3.61 %
20	+4.26 %	-4.31 %
50	+4.56 %	-4.58 %
100	+4.66 %	-4.67 %
255	+4.72 %	-4.73 %

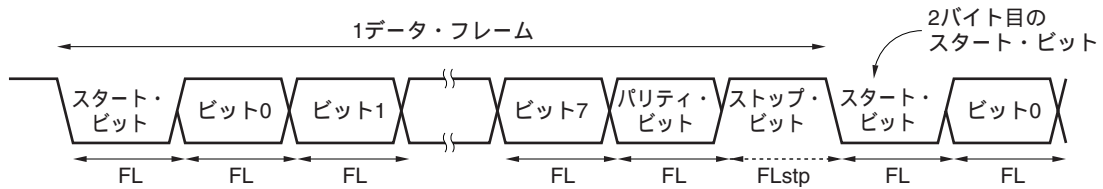
備考1. 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比(k)に依存します。入力クロック周波数が高く、分周比(k)が大きくなるほど許容誤差は大きくなります。

2. k: BRGC6の設定値

(5) 連続送信時のデータ・フレーム長

連続送信する場合、ストップ・ビットから次のスタート・ビットまでのデータ・フレーム長が通常より基本クロック2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので通信結果には影響しません。

図14 - 26 連続送信時のデータ・フレーム長



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数： f_{CLK6} とすると次の式が成り立ちます。

$$FLstp = FL + 2/f_{CLK6}$$

したがって、連続送信でのデータ・フレーム長は次のようになります。

$$\text{データ・フレーム長} = 11 \times FL + 2/f_{CLK6}$$

第15章 シリアル・インタフェースCSI10

15.1 シリアル・インタフェースCSI10の機能

シリアル・インタフェースCSI10は、78K0/Kx2-Aマイクロコントローラの全製品に搭載されています。
シリアル・インタフェースCSI10には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減することができます。
詳細については15.4.1 **動作停止モード**を参照してください。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{\text{SCK10}}$) とシリアル・データ (SI10, SO10) の3本のラインにより、8ビット・データ通信を行うモードです。

3線式シリアルI/Oモードは同時送受信動作が可能なので、データ通信の処理時間が短くなります。

シリアル通信する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

詳細については15.4.2 **3線式シリアルI/Oモード**を参照してください。

注意 シリアル・クロック ($\overline{\text{SCK10}}$) とシリアル・データ入力 (SI10) は、入力切り替え制御レジスタのビット2 (ISC2) の設定により、割り当てる端子を変更することが可能です。割り当てる端子によって、送受信機能に次のような違いがあります。

ISC2	シリアル・クロック ($\overline{\text{SCK10}}$) 割り当て端子	シリアル・データ入力 (SI10) 割り当て端子	送受信機能
0	P60/SCLA0	P61/SDAA0	スレーブ送受信のみ可能
1	P31/INTP5/OCD1A	P32/INTP4/OCD1B	マスタ送受信, スレーブ送受信可能

15.2 シリアル・インタフェースCSI10の構成

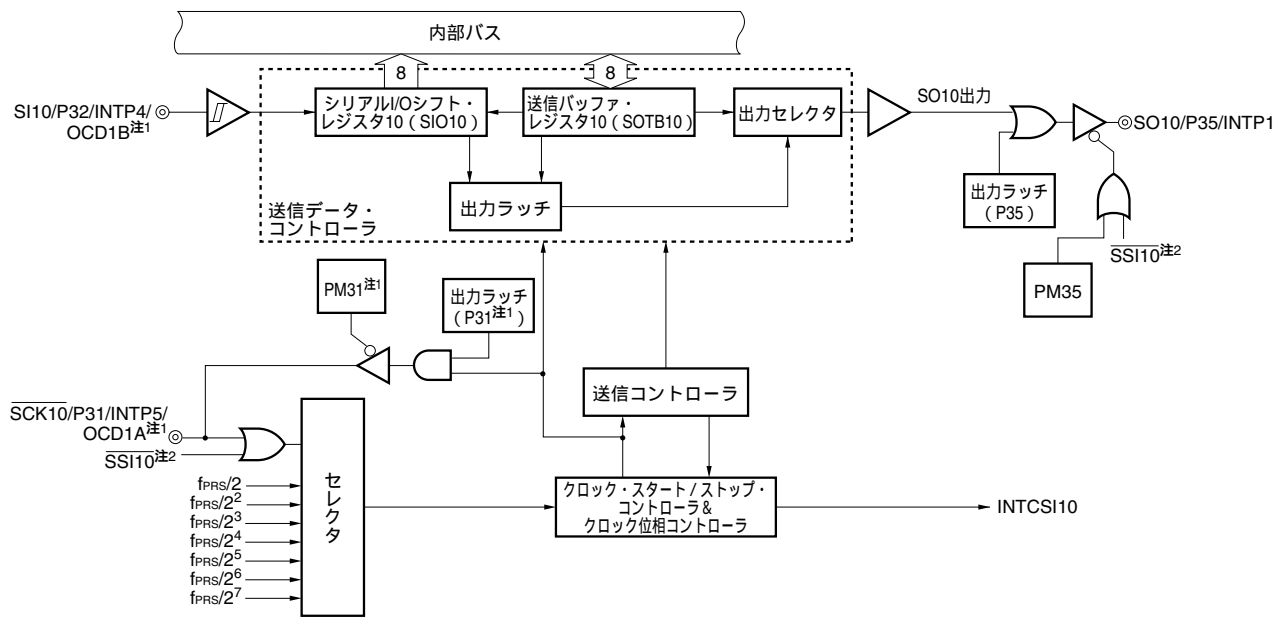
シリアル・インタフェースCSI10は、次のハードウェアで構成しています。

表15-1 シリアル・インタフェースCSI10の構成

項目	構成
制御回路	送信コントローラ クロック・スタート/ストップ・コントローラ&クロック位相コントローラ
レジスタ	送信バッファ・レジスタ10 (SOTB10) シリアルI/Oシフト・レジスタ10 (SIO10)
制御レジスタ	シリアル動作モード・レジスタ10 (CSIM10) シリアル・クロック選択レジスタ10 (CSIC10) 入力切り替え制御レジスタ (ISC) ポート・モード・レジスタ3, 4 ^注 , 6 (PM3, PM4 ^注 , PM6) ポート・レジスタ3, 4 ^注 , 6 (P3, P4 ^注 , P6)

注 78K0/KC2-Aのみ

図15-1 シリアル・インタフェースCSI10のブロック図



注1. 入力切り替え制御レジスタ (ISC) のビット2 (ISC2) の設定により、次のようになります。

ISC2	シリアル・クロック (SCK10) 割り当て端子	シリアル・データ入力 (SI10) 割り当て端子	ポート・モード・レジスタ (SCK10)	出力ラッチ (SCK10)	送受信機能
0	P60/SCLA0	P61/SDAA0	PM60 (1固定)	P60	スレーブ送受信のみ可能
1	P31/INTP5/OCD1A	P32/INTP4/OCD1B	PM31	P31	マスタ送受信, スレーブ送受信可能

2. 78K0/KC2-Aのみ

(1) 送信バッファ・レジスタ10 (SOTB10)

送信データを設定するレジスタです。

シリアル動作モード選択レジスタ10 (CSIM10) のビット7 (CSIE10) とビット6 (TRMD10) が1のとき、SOTB10にデータを書き込むことにより送受信動作が開始されます。

SOTB10に書き込まれたデータは、シリアルI/Oシフト・レジスタ10でパラレル・データからシリアル・データに変換され、シリアル出力 (SO10) に出力されます。

SOTB10は、8ビット・メモリ操作命令で書き込みと読み出しができます。

リセット信号の発生により、00Hになります。

注意1. CSOT10 = 1 (シリアル通信中) のとき、SOTB10へのアクセスは行わないでください。

2. 78K0/KC2-Aでは、スレーブ・モードのときに、 $\overline{\text{SSI10}}$ 端子にロウ・レベルが入力された状態で、SOTB10にデータを書き込むと送受信が開始されます。送受信動作の詳細については、15.4.2(2)通信動作を参照してください。

(2) シリアルI/Oシフト・レジスタ10 (SIO10)

パラレル-シリアルの変換を行う8ビットのレジスタです。

SIO10は、8ビット・メモリ操作命令で読み出しができます。

シリアル動作モード・レジスタ10 (CSIM10) のビット6 (TRMD10) が0のとき、SIO10からデータを読み出すことにより受信動作が開始されます。

受信時は、データがシリアル入力 (SI10) からSIO10に読み込まれます。

リセット信号の発生により、00Hになります。

注意1. CSOT10 = 1 (シリアル通信中) のとき、SIO10へのアクセスは行わないでください。

2. 78K0/KC2-Aでは、スレーブ・モードのときに、 $\overline{\text{SSI10}}$ 端子にロウ・レベルが入力された状態で、SIO10からデータを読み出すと受信が開始されます。受信動作の詳細については、15.4.2(2)通信動作を参照してください。

15.3 シリアル・インタフェースCSI10を制御するレジスタ

シリアル・インタフェースCSI10は、次の5種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ10 (CSIM10)
- ・シリアル・クロック選択レジスタ10 (CSIC10)
- ・入力切り替え制御レジスタ (ISC)
- ・ポート・モード・レジスタ3, 4[※], 6 (PM3, PM4[※], PM6)
- ・ポート・レジスタ3, 4[※], 6 (P3, P4[※], P6)

注 78K0/KC2-Aのみ

(1) シリアル動作モード・レジスタ10 (CSIM10)

動作モード、動作の許可/不許可を設定するレジスタです。

CSIM10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15 - 2 シリアル動作モード・レジスタ10 (CSIM10) のフォーマット

アドレス：FF80H リセット時：00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	SSE10 ^{注2}	DIR10	0	0	0	CSOT10

CSIE10	3線式シリアル/I/Oモード時の動作の制御
0	動作禁止 ^{注3} ，内部回路を非同期リセットする ^{注4}
1	動作許可

TRMD10 ^{注5}	送受信モードの制御
0 ^{注6}	受信モード（送信禁止）
1	送受信モード

SSE10 ^{注7, 8}	SSI10端子の使用の選択
0	SSI10端子を使用しない
1	SSI10端子を使用する

DIR10 ^{注9}	先頭ビットの指定
0	MSB
1	LSB

CSOT10	通信状態フラグ
0	通信停止
1	通信中

- 注1. ビット0はRead Onlyです。
2. 78K0/KC2-Aのみ
3. P60/SCK10/SCLA0またはP31/INTP5/OCD1A/SCK10, P35/SO10/INTP1を汎用ポートとして使用する場合は，CSIM10を初期状態と同じ設定（00H）にしてください。
4. リセットされるのはCSIM10のビット0（CSOT10）とシリアル/I/Oシフト・レジスタ10（SIO10）です。
5. CSOT10 = 1（シリアル通信中）のとき，TRMD10を書き換えしないでください。
6. TRMD10が0のとき，SO10出力（図15 - 1を参照）はロウ・レベルに固定されます。SIO10からデータを読み出すと受信が開始します。
7. CSOT10 = 1（シリアル通信中）のとき，上書きをしないでください。
8. SSE10を1に設定する前に，SSI10端子の入力レベルを0または1に固定してください。
9. CSOT10 = 1（シリアル通信中）のとき，DIR10を書き換えしないでください。

(2) シリアル・クロック選択レジスタ10 (CSIC10)

データ送受信タイミングの指定, シリアル・クロックを設定するレジスタです。

CSIC10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図15-3 シリアル・クロック選択レジスタ10 (CSIC10) のフォーマット

アドレス : FF81H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CSIC10	0	0	0	CKP10	DAP10	CKS102	CKS101	CKS100

CKP10	DAP10	データ送受信タイミングの指定	タイプ
0	0	$\overline{\text{SCK10}}$ $\overline{\text{SO10}}$ $\overline{\text{SI10}}$	1
0	1	$\overline{\text{SCK10}}$ $\overline{\text{SO10}}$ $\overline{\text{SI10}}$	2
1	0	$\overline{\text{SCK10}}$ $\overline{\text{SO10}}$ $\overline{\text{SI10}}$	3
1	1	$\overline{\text{SCK10}}$ $\overline{\text{SO10}}$ $\overline{\text{SI10}}$	4

CKS102	CKS101	CKS100	CSI10のシリアル・クロックの選択 ^{注1,2}				モード
			$f_{\text{PRS}} =$ 2 MHz	$f_{\text{PRS}} =$ 5 MHz	$f_{\text{PRS}} =$ 10 MHz	$f_{\text{PRS}} =$ 20 MHz	
0	0	0	$f_{\text{PRS}}/2$ 1 MHz	2.5 MHz	5 MHz	設定禁止	マスタ・ モード ^{注4}
0	0	1	$f_{\text{PRS}}/2^2$ 500 kHz	1.25 MHz	2.5 MHz	5 MHz	
0	1	0	$f_{\text{PRS}}/2^3$ 250 kHz	625 kHz	1.25 MHz	2.5 MHz	
0	1	1	$f_{\text{PRS}}/2^4$ 125 kHz	312.5 kHz	625 kHz	1.25 MHz	
1	0	0	$f_{\text{PRS}}/2^5$ 62.5 kHz	156.25 kHz	312.5 kHz	625 kHz	
1	0	1	$f_{\text{PRS}}/2^6$ 31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz	
1	1	0	$f_{\text{PRS}}/2^7$ 15.63 kHz	39.06 kHz	78.13 kHz	156.25 kHz	
1	1	1	SCK10からの外部クロック入力 ^{注3}				スレープ・ モード

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧により、使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック (f_{PRS}) の使用周波数範囲
2.7 V V_{DD} 5.5 V	f_{PRS} 20 MHz
1.8 V $V_{DD} < 2.7$ V	f_{PRS} 5 MHz

(上述の表は、 $f_{PRS} = f_{XH}$ (XSEL = 1) の場合です)

2. シリアル・クロックは次の条件を満たすように設定してください。

電源電圧	シリアル・クロックの使用周波数範囲
4.0 V V_{DD} 5.5 V	シリアル・クロック 6.25 MHz
2.7 V $V_{DD} < 4.0$ V	シリアル・クロック 4 MHz
1.8 V $V_{DD} < 2.7$ V	シリアル・クロック 2 MHz

3. CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、 $\overline{SCK10}$ 端子からの外部クロックで通信動作を開始させないでください。
4. 入力切り替え制御レジスタ (ISC) のビット2 (ISC2) を0に設定した場合には、マスタ・モードは選択禁止です。

注意1. CSIE10 = 1 (動作許可) のとき、CSIC10への書き込みを行わないでください。

2. P60/ $\overline{SCK10}$ / $\overline{SCLA0}$ またはP31/ $\overline{INTP5}$ / $\overline{OCD1A}$ / $\overline{SCK10}$, P35/ $\overline{SO10}$ / $\overline{INTP1}$ を汎用ポートとして使用する場合は、CSIC10を初期状態と同じ状態 (00H) にしてください。
3. リセット後のデータ・クロックの位相タイプは、タイプ1になります。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(3) 入力切り替え制御レジスタ (ISC)

シリアル・インタフェースCSI10のシリアル・クロック ($\overline{SCK10}$) とシリアル・データ入力 (SI10) の端子割り当てを切り替えるときに、入力切り替え制御レジスタ (ISC) を使用します。

ISC2に1をセットすることで、 $\overline{SCK10}$, SI10はP31/INTP5/OCD1A端子, P32/INTP4/OCD1B端子に割り当てが切り替わります。CSI10の送受信機能 (マスタ, スレーブ) は、端子の割り当てによって異なります。

ISCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15 - 4 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FF4FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	ISC2	ISC1 ^注	ISC0 ^注

ISC2	シリアル・クロック ($\overline{SCK10}$)割り当て端子	シリアル・データ入力 (SI10) 割り当て端子	送受信機能
0	P60/SCLA0	P61/SDAA0	スレーブ送受信のみ可能
1	P31/INTP5/OCD1A	P32/INTP4/OCD1B	マスタ送受信, スレーブ送受信可能

注 ISC0, ISC1はシリアル・インタフェースUART6に関する設定です。詳細については、第14章 シリアル・インタフェースUART6を参照してください。

(4) ポート・モード・レジスタ3, 4^{注1}, 6 (PM3, PM4^{注1}, PM6)

ポート3, 4^{注1}, 6の入力/出力を1ビット単位で設定するレジスタです。

P31/INTP5/OCD1A/ $\overline{SCK10}$ をシリアル・インタフェースのクロック出力として使用するとき、PM31に0, P31の出力ラッチに1を設定してください。

P35/SO10/INTP1をシリアル・インタフェースのデータ出力として使用するとき、PM35およびP35の出力ラッチに0を設定してください。

$\overline{SCK10}$ をシリアル・インタフェースのクロック入力, SI10をシリアル・インタフェースのデータ入力, P42/ $\overline{SSI10}$ /INTP9/PCL^{注1}をシリアル・インタフェースのチップ・セレクト入力として使用するとき、PM60^{注2}, PM61^{注2}, PM42^{注1}に1を設定してください。このとき、P60^{注3}, P61^{注3}, P42^{注1}の出力ラッチは、0または1のどちらでもかまいません。

PM3, PM4^{注1}, PM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

注1. 78K0/KC2-Aのみ

2. 入力切り替え制御レジスタのビット2 (ISC2) を1に設定した場合は、PM60, PM61をそれぞれPM31, PM32に読み替えてください。
3. 入力切り替え制御レジスタのビット2 (ISC2) を1に設定した場合は、P60, P61をそれぞれP31, P32に読み替えてください。

図15 - 5 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス : FF23H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	PM35	PM34	PM33	PM32	PM31	1

PM3n	P3n端子の入出力モードの選択 (n = 1-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、78K0/KC2-Aのポート・モード・レジスタ3のフォーマットです。
78K0/KB2-Aのポート・モード・レジスタ3のフォーマットについては、4.3 ポート機能を制御するレジスタ (1) ポート・モード・レジスタ (PMxx) を参照してください。

図15 - 6 ポート・モード・レジスタ4 (PM4) のフォーマット (78K0/KC2-A)

アドレス : FF24H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	1	1	1	1	1	PM42	PM41	PM40

PM4n	P4n端子の入出力モードの選択 (n = 0-2)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

図15 - 7 ポート・モード・レジスタ6 (PM6) のフォーマット

アドレス : FF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	1	1	PM61	PM60

PM6n	P6n端子の入出力モードの選択 (n = 0, 1)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

15.4 シリアル・インタフェースCSI10の動作

シリアル・インタフェースCSI10は、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

15.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。また動作停止モードでは、P60/SCK10/SCLA0またはP31/INTP5/OCD1A/SCK10、P61/SI10/SDAA0またはP32/INTP4/OCD1B/SI10、P35/SO10/INTP1を通常の入出力ポートとして使用できます。

(1) 使用するレジスタ

動作停止モードの設定は、シリアル動作モード・レジスタ10 (CSIM10)で行います。

動作停止モードにする場合は、CSIM10のビット7 (CSIE10) に0を設定してください。

(a) シリアル動作モード・レジスタ10 (CSIM10)

CSIM10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

アドレス：FF80H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	SSE10	DIR10	0	0	0	CSOT10

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作禁止 ^{注1} 、内部回路を非同期リセットする ^{注2}

- 注1. P60/SCK10/SCLA0またはP31/INTP5/OCD1A/SCK10、P35/SO10/INTP1、P42/SSI10/INTP9/PCL^{注3}を汎用ポートとして使用する場合は、CSIM10を初期状態と同じ設定(00H)にしてください。
2. リセットされるのはCSIM10のビット0 (CSOT10) とシリアルI/Oシフト・レジスタ10 (SIO10) です。
3. 78K0/KC2-Aのみ

15.4.2 3線式シリアルI/Oモード

クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

シリアル・クロック ($\overline{\text{SCK10}}$) , シリアル出力 (SO10) , シリアル入力 (SI10) の3本のラインで通信を行います。

(1) 使用するレジスタ

- ・シリアル動作モード・レジスタ10 (CSIM10)
- ・シリアル・クロック選択レジスタ10 (CSIC10)
- ・入力切り替え制御レジスタ (ISC)
- ・ポート・モード・レジスタ3, 4[※], 6 (PM3, PM4[※], PM6)
- ・ポート・レジスタ3, 4[※], 6 (P3, P4[※], P6)

3線式シリアルI/Oモードの基本的な動作設定手順例は次のようになります。

入力切り替え制御レジスタ (ISC) のビット2 (ISC2) を設定
 CSIC10レジスタを設定 (図15 - 3を参照)
 CSIM10レジスタのビット4-6 (DIR10, SSE10[※], TRMC10) を設定 (図15 - 2を参照)
 CSIM10レジスタのビット7 (CSIE10) をセット (1) 送受信可能
 送信バッファ・レジスタ10 (SOTB10) にデータを書き込み データ送受信開始
 シリアルI/Oシフト・レジスタ10 (SIO10) からデータを読み出し データ受信開始

注 78K0/KC2-Aのみ

注意 ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表15 - 2 レジスタの設定と端子の関係

CSIE10	TRMD10	SSE10	PM61 (PM32)	P61 (P32)	PM35	P35	PM60 (PM31)	P60 (P31)	PM42 注1	P42 注1	CSI10 の動作	端子機能			
												SI10/ SDAA0/ P61 (SI10/ INTP4/ P32)	SO10/ INTP1/ P35	SCK10/ SCLA0/ P60 (SCK10/ INTP5/ P31)	SSI10/ INTP9/ PCL/ P42注1
0	0	x	x注2	x注2	x注2	x注2	x注2	x注2	x注2	x注2	停止	SDAA0/ P61 (INTP4/ P32)	INTP1/ P35注3	SCLA0/ P60注4 (INTP5/ P31)注4	INTP9/ PCL/P42
1	0	0	1	x	x注2	x注2	1	x	x注2	x注2	スレーブ 受信注5	SI10	INTP1/ P35注3	SCK10 [入力]注5	INTP9/ PCL/P42
		1							x	SSI11					
1	1	0	x注2	x注2	0	0	1	x	x注2	x注2	スレーブ 送信注5	P61 (P32)	SO10	SCK10 [入力]注5	INTP9/ PCL/P42
		1							x	SSI11					
1	1	0	1	x	0	0	1	x	x注2	x注2	スレーブ 送受信注5	SI10	SO10	SCK10 [入力]注5	INTP9/ PCL/P42
		1							x	SSI11					
1	0	0	1	x	x注2	x注2	0	1	x注2	x注2	マスタ 受信注6	SI10	INTP1/ P35注3	SCK10 [出力]	INTP9/ PCL/P42
1	1	0	x注2	x注2	0	0	0	1	x注2	x注2	マスタ 送信注6	P32	SO10	SCK10 [出力]	INTP9/ PCL/P42
1	1	0	1	x	0	0	0	1	x注2	x注2	マスタ 送受信注6	SI10	SO10	SCK10 [出力]	INTP9/ PCL/P42

注1. 78K0/KC2-Aのみ

- ポート機能として設定することができます。
- P35/SO10/INTP1を汎用ポートとして使用する場合、シリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。
- P60/SCK10/SCLA0またはP31/INTP5/OCD1A/SCK10を汎用ポートとして使用する場合、CKP10を0に設定してください。
- スレーブとして使用する場合、CKS102, CKS101, CKS100 = 1, 1, 1に設定してください。
- マスタとして使用する場合、入力切り替え制御レジスタ (ISC) のビット2 (ISC2) を1に設定してください。

備考 x : don't care
 CSIE10 : シリアル動作モード・レジスタ10 (CSIM10) のビット7
 TRMD10 : CSIM10のビット6
 CKP10 : シリアル・クロック選択レジスタ10 (CSIC10) のビット4
 CKS102, CKS101, CKS100 : CSIC10のビット2-0
 PMxx : ポート・モード・レジスタ
 Pxx : ポートの出力ラッチ
 () 内は、ISCレジスタのビット2 (ISC2) を1に設定した場合に割り当てられます。

(2) 通信動作

3線式シリアルI/Oモードでは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアル動作モード・レジスタ10 (CSIM10) のビット6 (TRMD10) が1の場合、データの送受信が可能です。送信バッファ・レジスタ10 (SOTB10) に値を書き込むことにより、送受信が開始されます。またシリアル動作モード・レジスタ10 (CSIM10) のビット6 (TRMD10) が0の場合、データの受信が可能です。シリアルI/Oシフト・レジスタ10 (SIO10) からデータを読み出すことにより、受信動作が開始されます。

78K0/KC2-Aでは、スレーブ・モード時、CSIM10のビット5 (SSE10) が1の場合は次のようになります。

$\overline{\text{SSI10}}$ 端子にロウ・レベル入力

SOTB10への書き込みで送受信、またはSIO10からの読み出しで受信が開始されます

$\overline{\text{SSI10}}$ 端子にハイ・レベル入力

送受信保留または受信保留状態になるため、SOTB10への書き込みまたはSIO10からの読み出しを行っても、送受信または受信は開始されません

$\overline{\text{SSI10}}$ 端子にハイ・レベル入力しているときに、SOTB10へデータを書き込みまたはSIO10からデータを読み出し、その後 $\overline{\text{SSI10}}$ 端子にロウ・レベル入力

送受信または受信が開始されます

送受信または受信中に、 $\overline{\text{SSI10}}$ 端子にハイ・レベル入力

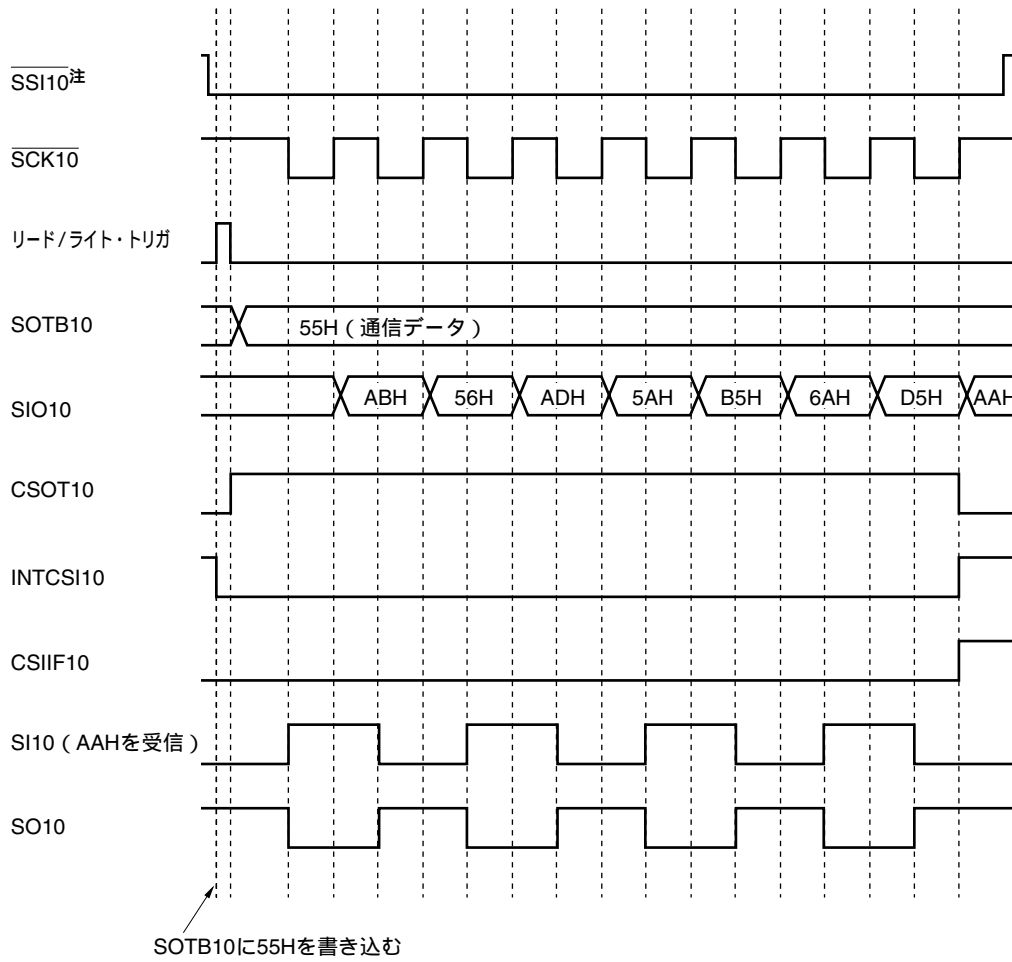
送受信または受信が中断されます

通信開始後、CSIM10のビット0 (CSOT10) が1になります。8ビットの通信が終了すると、通信終了割り込み要求フラグ (CSIF10) がセットされ、CSOT10は0にクリアされます。そして次の通信が可能になります。

- 注意1.** CSOT10 = 1 (シリアル通信中) のとき、コントロール・レジスタとデータ・レジスタにアクセスしないでください。
- 2.** 78K0/KC2-Aでは、スレーブ・モードの場合、 $\overline{\text{SSI10}}$ 端子の変更タイミングには、クロック動作を開始する前に1クロック以上の長さを取ってください。誤作動を起こす可能性があります。

図15 - 8 3線式シリアルI/Oモードのタイミング (1/2)

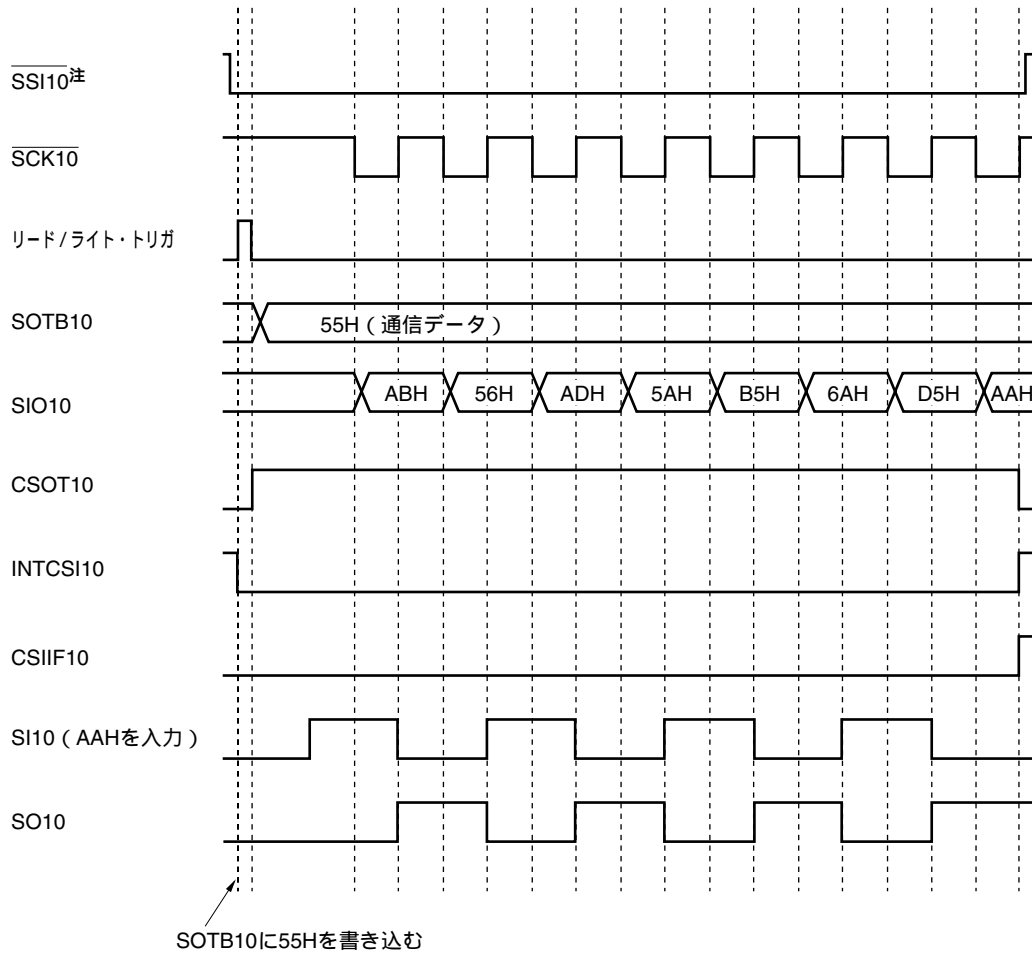
(a) 送受信タイミング (タイプ1 : TRMD10 = 1, DIR10 = 0, CKP10 = 0, DAP10 = 0, SSE10 = 1^注)



注 SSE10フラグ, $\overline{SSI10}$ 端子は, 78K0/KC2-Aのみ。スレーブ・モード時に使用します。

図15 - 8 3線式シリアルI/Oモードのタイミング (2/2)

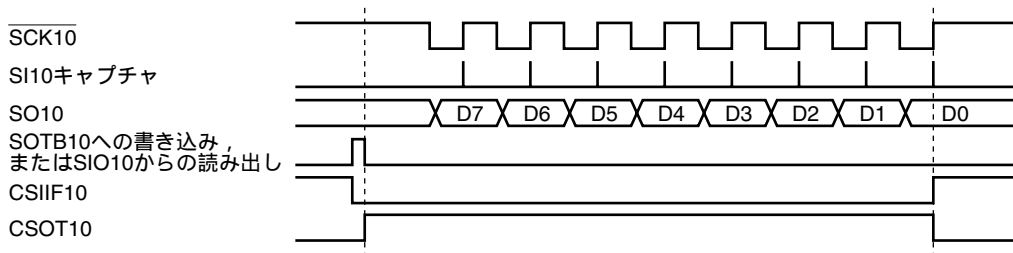
(b) 送受信タイミング (タイプ2 : TRMD10 = 1, DIR10 = 0, CKP10 = 0, DAP10 = 1, SSE10 = 1^注)



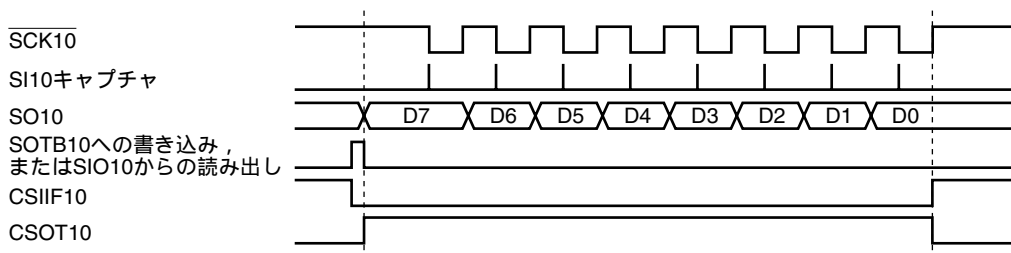
注 SSE10フラグ, $\overline{\text{SSI10}}$ 端子は, 78K0/KC2-Aのみ。スレーブ・モード時に使用します。

図15 - 9 クロック/データ位相のタイミング

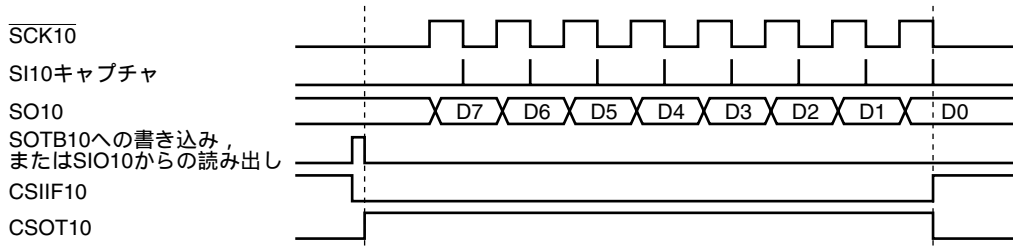
(a) タイプ1 : CKP10 = 0, DAP10 = 0, DIR10 = 0



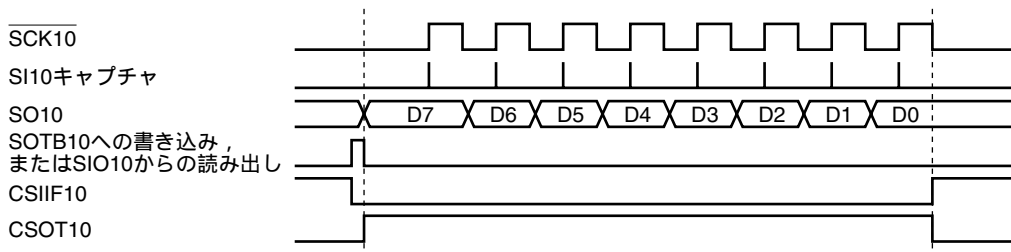
(b) タイプ2 : CKP10 = 0, DAP10 = 1, DIR10 = 0



(c) タイプ3 : CKP10 = 1, DAP10 = 0, DIR10 = 0



(d) タイプ4 : CKP10 = 1, DAP10 = 1, DIR10 = 0



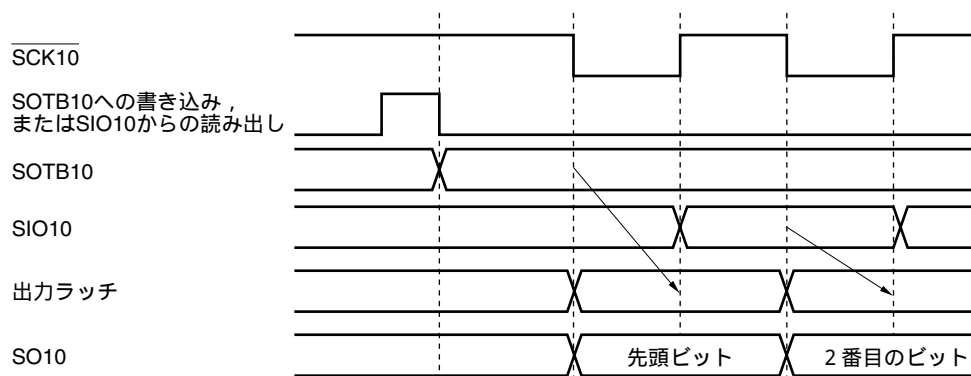
備考 上図は, MSBファーストの通信動作です。

(3) SO10端子への出力タイミング (先頭ビット)

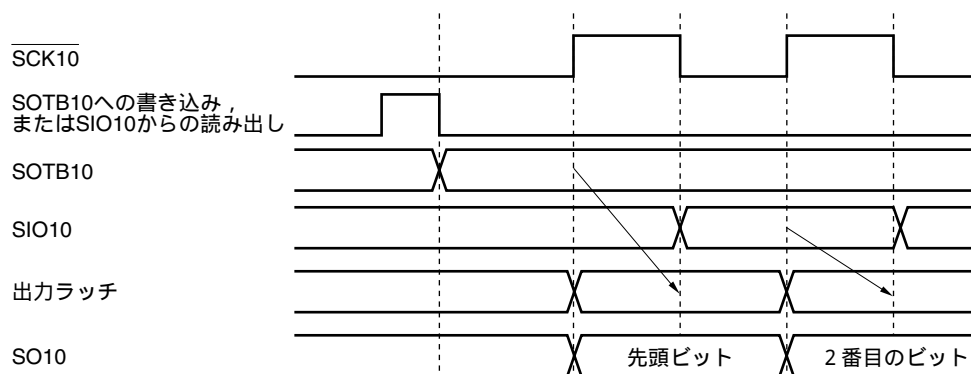
通信開始時，送信バッファ・レジスタ10 (SOTB10) の値は，SO10端子から出力されます。このとき，先頭ビットの出力動作を説明します。

図15 - 10 先頭ビットの出力動作 (1/2)

(a) タイプ1 : CKP10 = 0, DAP10 = 0



(b) タイプ3 : CKP10 = 1, DAP10 = 0

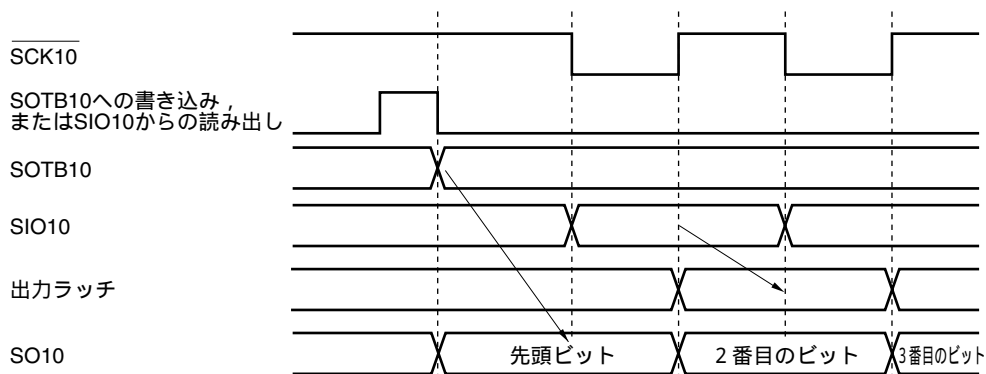


先頭ビットは， $\overline{\text{SCK10}}$ の立ち下がり（または立ち上がり）エッジでSOTB10レジスタから直接，出力ラッチにラッチされ，さらに出力セレクタを通してSO10端子から出力されます。次の $\overline{\text{SCK10}}$ の立ち上がり（または立ち下がり）エッジでSOTB10レジスタの値がSIO10レジスタに転送され，1ビット分シフトします。同時にSIO10端子を通して，受信データの先頭ビットがSIO10レジスタに格納されます。

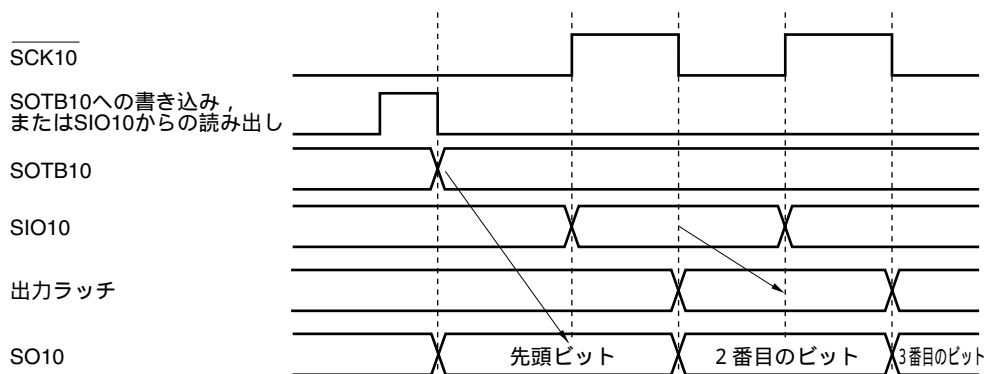
2番目のビット以降は，次の $\overline{\text{SCK10}}$ の立ち下がり（または立ち上がり）エッジでSIO10から出力ラッチにラッチされ，データがSO10端子から出力されます。

図15 - 10 先頭ビットの出力動作 (2/2)

(c) タイプ2 : CKP10 = 0, DAP10 = 1



(d) タイプ4 : CKP10 = 1, DAP10 = 1



先頭ビットは、SOTB10のライト信号またはSIO10レジスタのリード信号の立ち下がりエッジでSOTB10レジスタから直接、出力セレクタを通してSO10端子から出力されます。次の $\overline{\text{SCK10}}$ の立ち下がり（または立ち上がり）エッジでSOTB10レジスタの値がSIO10レジスタに転送され、1ビット分シフトします。同時にSIO10端子を通して、受信データの先頭ビットがSIO10レジスタに格納されます。

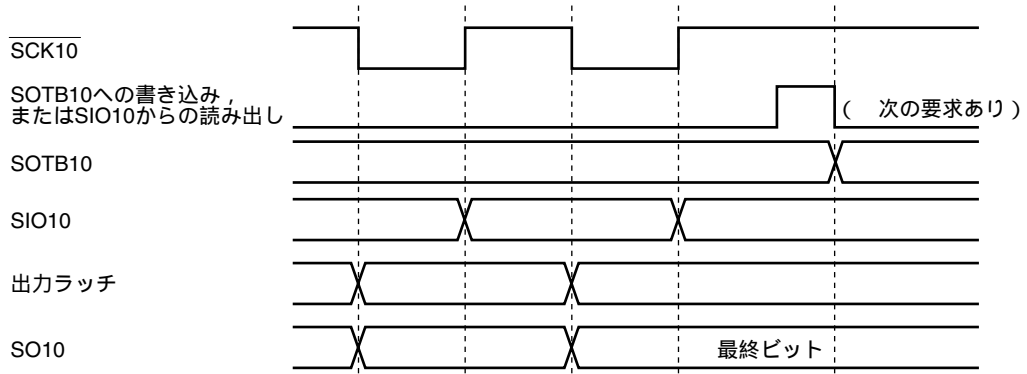
2番目のビット以降は、次の $\overline{\text{SCK10}}$ の立ち上がり（または立ち下がり）エッジでSIO10から出力ラッチにラッチされ、データがSO10端子から出力されます。

(4) SO10端子の出力値 (最終ビット)

通信終了後, SO10端子の出力は, 最終ビットの出力値を保持します。

図15 - 11 SO10端子の出力値 (最終ビット) (1/2)

(a) タイプ1 : CKP10 = 0, DAP10 = 0



(b) タイプ3 : CKP10 = 1, DAP10 = 0

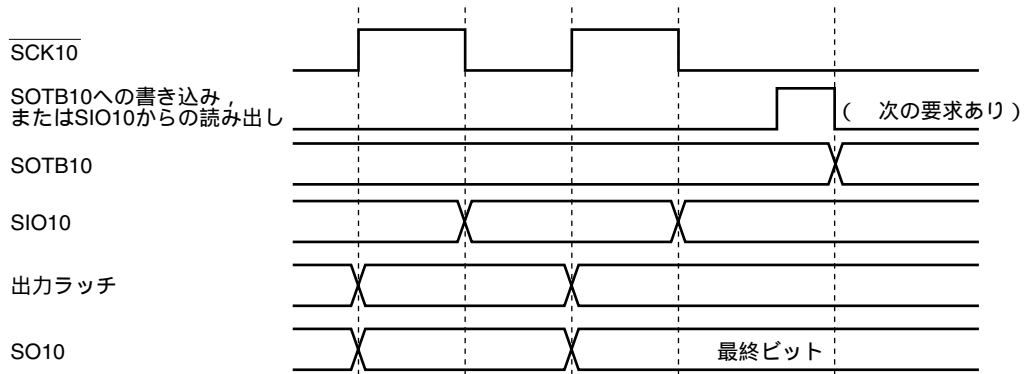
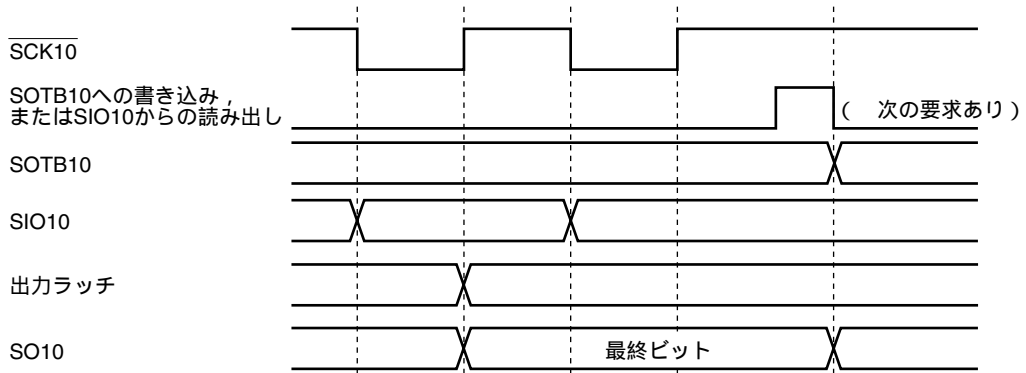
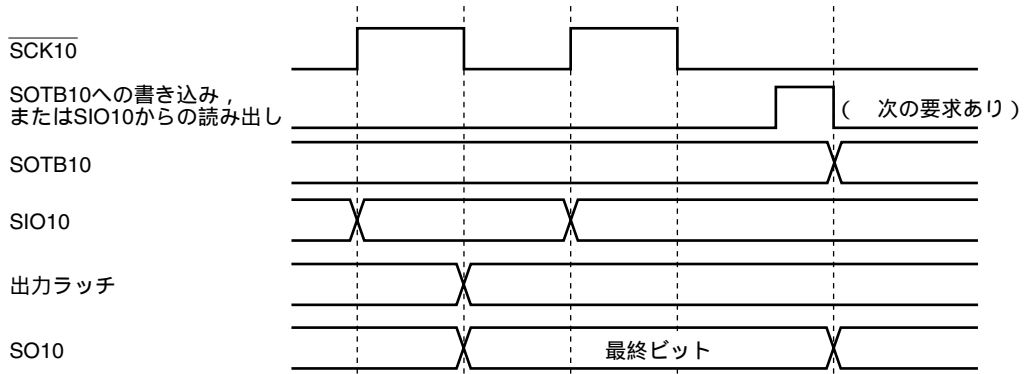


図15 - 11 SO10端子の出力値（最終ビット）（2/2）

(c) タイプ2 : CKP10 = 0, DAP10 = 1



(d) タイプ4 : CKP10 = 1, DAP10 = 1



(5) SO10出力 (図15 - 1参照) について

CSIE10, TRMD10, DAP10, DIR10の設定により, SO10出力は次のようになります。

表15 - 3 SO10出力の状態

CSIE10	TRMD10	DAP10	DIR10	SO10出力 ^{注1}
CSIE10 = 0 ^{注2}	TRMD10 = 0 ^{注2, 3}	-	-	ロウ・レベル出力 ^{注2}
		DAP10 = 0	-	ロウ・レベル出力
	TRMD10 = 1	DAP10 = 1	DIR10 = 0	SOTB10のビット7の値
			DIR10 = 1	SOTB10のビット0の値
CSIE10 = 1	TRMD10 = 0 ^{注3}	-	-	ロウ・レベル出力
	TRMD10 = 1	-	-	送信データ ^{注4}

注1. 実際のSO10/INTP1/P35端子の出力は, SO10出力のほかにPM35とP35によって決まります。

2. リセット時の状態です。
3. P35/SO10/INTP1を汎用ポートとして使用する場合, シリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。
4. 送信終了後は, 送信データの最終ビットの出力値を保持します。

注意 CSIE10, TRMD10, DAP10, DIR10に値を書き込むと, SO10の出力値が変わります。

第16章 シリアル・インタフェースIICA

16.1 シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAは、78K0/Kx2-Aマイクロコントローラの全製品に搭載されています。

シリアル・インタフェースIICAには、次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCLA0) とシリアル・データ・バス (SDAA0) の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

IICAでは、SCLA0端子とSDAA0端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードもしくは自局アドレスを受信した場合に、割り込み要求信号 (INTIICA0) を発生しSTOPモードを解除することができます。IICAコントロール・レジスタ1 (IICACTL1) のWUPビットにより設定します。

図16 - 1に、シリアル・インタフェースIICAのブロック図を示します。

図16 - 1 シリアル・インタフェースIICAのブロック図

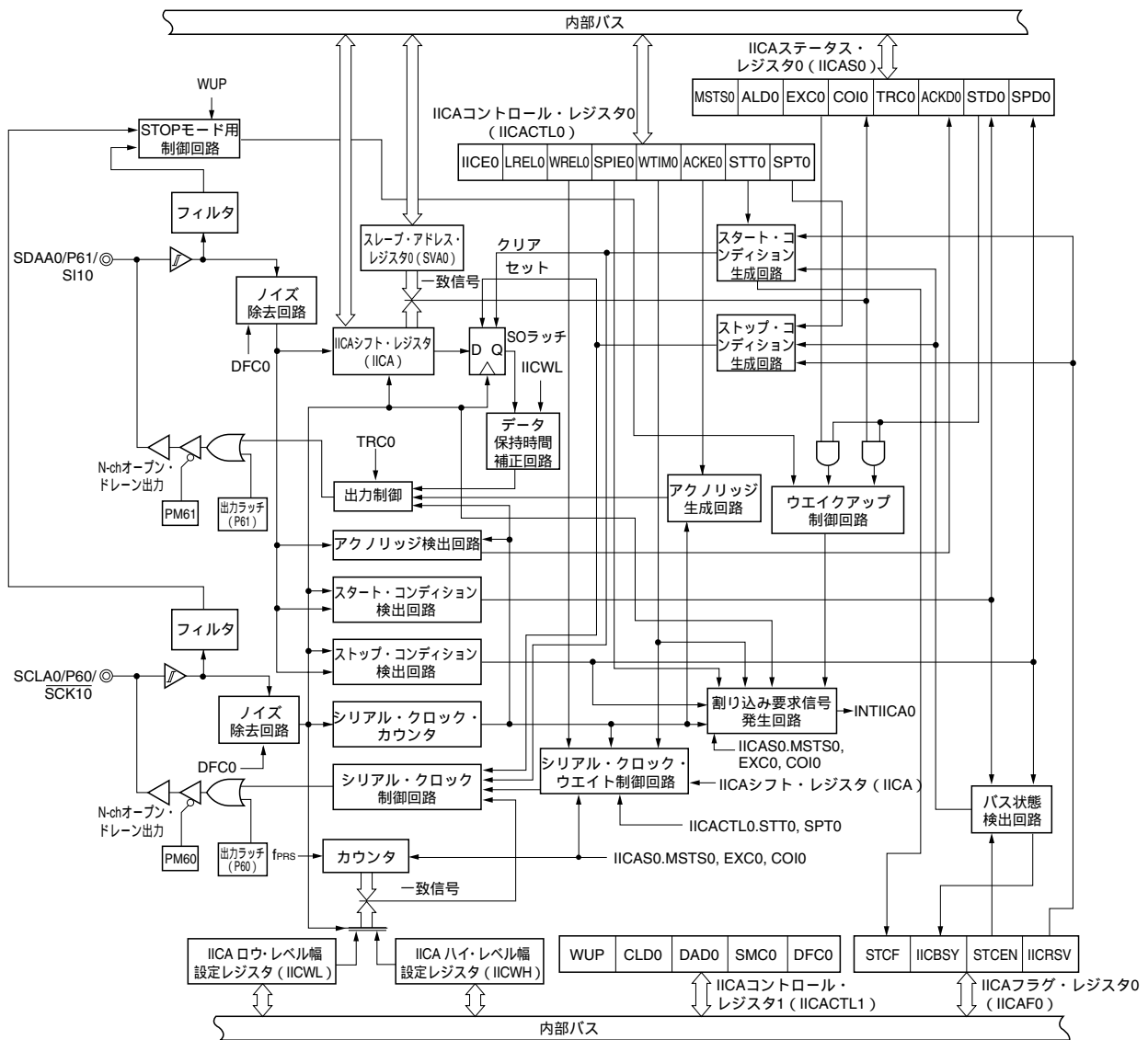
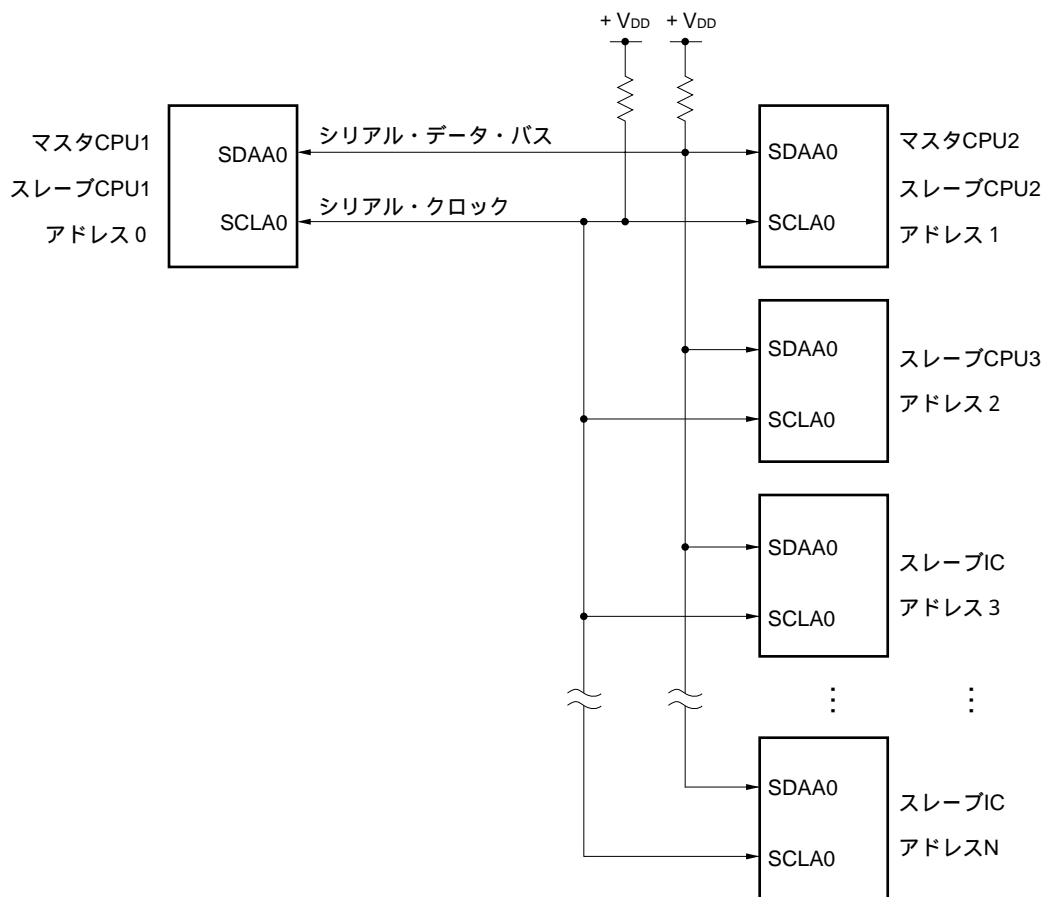


図16 - 2にシリアル・バス構成例を示します。

図16 - 2 I²Cバスによるシリアル・バス構成例



16.2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは、次のハードウェアで構成されています。

表16-1 シリアル・インタフェースIICAの構成

項目	構成
レジスタ	IICAシフト・レジスタ (IICA) スレーブ・アドレス・レジスタ0 (SVA0)
制御レジスタ	IICAコントロール・レジスタ0 (IICACTL0) IICAステータス・レジスタ0 (IICAS0) IICAフラグ・レジスタ0 (IICAF0) IICAコントロール・レジスタ1 (IICACTL1) IICAロウ・レベル幅設定レジスタ (IICWL) IICAハイ・レベル幅設定レジスタ (IICWH) ポート・モード・レジスタ6 (PM6) ポート・レジスタ6 (P6)

(1) IICAシフト・レジスタ (IICA)

IICAは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行ル・データに、8ビットの平行ル・データを8ビットのシリアル・データに変換するレジスタです。IICAは送信および受信の両方に使用されます。

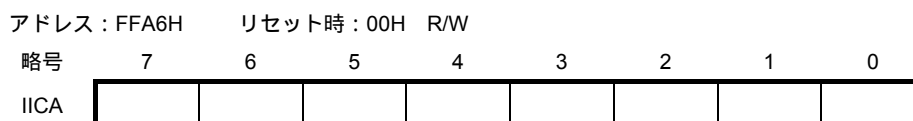
IICAに対する書き込み/読み出しにより、実際の送受信動作が制御できます。

ウェイト期間中のIICAへの書き込みにより、ウェイトを解除し、データ転送を開始します。

IICAは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-3 IICAシフト・レジスタ (IICA) のフォーマット



注意1. データ転送中はIICAにデータを書き込まないでください。

2. IICAには、ウェイト期間中にだけ、書き込み/読み出しをしてください。ウェイト期間中を除く通信状態でのIICAへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STT0) をセット (1) したあと、1回書き込みできます。

(2) スレーブ・アドレス・レジスタ0 (SVA0)

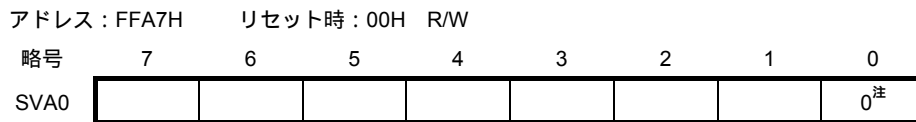
スレーブとして使用する場合に、自局アドレスを格納するレジスタです。

SVA0は、8ビット・メモリ操作命令で設定します。

ただし、STD0 = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図16 - 4 スレーブ・アドレス・レジスタ0 (SVA0) のフォーマット



注 ビット0は0固定です。

(3) SOラッチ

SOラッチは、SDAA0端子出力レベルを保持するラッチです。

(4) ウェイクアップ制御回路

スレーブ・アドレス・レジスタ0 (SVA0) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIICA0) を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICA0) の発生を制御します。

I²C割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIM0ビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIE0ビットで設定)

備考 WTIM0ビット : IICAコントロール・レジスタ0 (IICACTL0) のビット3
 SPIE0ビット : " のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に、SCLA0端子に出力するクロックをサンプリング・クロックから生成します。

(8) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(9) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各状態の生成および検出を行います。

(10) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(11) スタート・コンディション生成回路

STT0ビットがセット(1)されるとスタート・コンディションを生成します。

ただし通信予約禁止状態(IICRSVビット = 1)で、かつバスが解放されていない(IICBSYビット = 1)場合には、スタート・コンディション要求は無視し、STCFビットをセット(1)します。

(12) ストップ・コンディション生成回路

SPT0ビットがセット(1)されるとストップ・コンディションを生成します。

(13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、STCENビットにより、バス状態検出回路の初期状態を設定してください。

備考	STT0ビット	:	IICAコントロール・レジスタ0 (IICACTL0)	のビット1
	SPT0ビット	:	"	のビット0
	IICRSVビット	:	IICAフラグ・レジスタ0 (IICAF0)	のビット0
	IICBSYビット	:	"	のビット6
	STCFビット	:	"	のビット7
	STCENビット	:	"	のビット1

16.3 シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは、次の8種類のレジスタで制御します。

- ・ IICAコントロール・レジスタ0 (IICACTL0)
- ・ IICAステータス・レジスタ0 (IICAS0)
- ・ IICAフラグ・レジスタ0 (IICAF0)
- ・ IICAコントロール・レジスタ1 (IICACTL1)
- ・ IICAロウ・レベル幅設定レジスタ (IICWL)
- ・ IICAハイ・レベル幅設定レジスタ (IICWH)
- ・ ポート・モード・レジスタ6 (PM6)
- ・ ポート・レジスタ6 (P6)

(1) IICAコントロール・レジスタ0 (IICACTL0)

I²Cの動作許可/停止, ウェイト・タイミングの設定, その他I²Cの動作を設定するレジスタです。

IICACTL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、SPIE0, WTIM0, ACKE0ビットは、IICE0ビット = 0のとき、またはウェイト期間中に設定してください。またIICE0ビットを"0"から"1"に設定するときに、これらのビットを同時に設定できます。

リセット信号の発生により、00Hになります。

図16 - 5 IICAコントロール・レジスタ0 (IICACTL0) のフォーマット (1/4)

アドレス：FFA8H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IICACTL0	IICE0	LRELO	WRELO	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I ² Cの動作許可
0	動作停止。IICAステータス・レジスタ0 (IICAS0) をリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットのセット (1) は、必ずSCLA0, SDAA0ラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICE0 = 0)	セットされる条件 (IICE0 = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

LRELO ^{注2}	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリア (0) される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLA0, SDAA0ラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタ0 (IICACTL0), IICAステータス・レジスタ0 (IICAS0) のうち、次のフラグがクリア (0) される。 ・ STT0 ・ SPT0 ・ MSTS0 ・ EXC0 ・ COI0 ・ TRC0 ・ ACKD0 ・ STD0
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。	
・ ストップ・コンディション検出後、マスタとしての起動 ・ スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LRELO = 0)	セットされる条件 (LRELO = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

WRELO ^{注2}	ウェイト解除
0	ウェイトを解除しない。
1	ウェイトを解除する。ウェイト解除後、自動的にクリアされる。
送信状態 (TRC0 = 1) で、9クロック目のウェイト期間中にWRELOをセット (ウェイトを解除) した場合、SDAA0ラインをハイ・インピーダンス (TRC0 = 0) にします。	
クリアされる条件 (WRELO = 0)	セットされる条件 (WRELO = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

注1. リセットされるのは、IICAS0レジスタ、IICAF0レジスタのSTCF、IICBSYビット、IICACTL1レジスタのCLD0、DAD0ビットです。

2. IICE0 = 0の状態では、このビットの信号は無効になります。

注意 SCLA0ラインがハイ・レベル、SDAA0ラインがロウ・レベルの状態、I²Cを動作許可 (IICE0 = 1) した場合、直後にスタート・コンディションを検出してしまいます。I²Cを動作許可 (IICE0 = 1) したあと、連続して1ビット・メモリ操作命令により、LRELOをセット (1) してください。

図16 - 5 IICAコントロール・レジスタ0 (IICACTL0) のフォーマット (2/4)

SPIE0 ^{注1}	ストップ・コンディション検出による割り込み要求発生への許可/禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIE0 = 0)		セットされる条件 (SPIE0 = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

WTIMO ^{注1}	ウェイトおよび割り込み要求発生への制御	
0	8クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりでの割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにウェイトが入りません。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がりでウェイトに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がりでウェイトに入ります。		
クリアされる条件 (WTIMO = 0)		セットされる条件 (WTIMO = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

ACKE0 ^{注1,2}	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAA0ラインをロウ・レベルにする。	
クリアされる条件 (ACKE0 = 0)		セットされる条件 (ACKE0 = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

- 注1. IICE0 = 0の状態では、このビットの信号は無効になります。その期間にビットの設定を行ってください。
2. アドレス転送中で、かつ拡張コードでない場合、設定値は無効です。
スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

図16 - 5 IICAコントロール・レジスタ0 (IICACTL0) のフォーマット (3/4)

STT0 ^注	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	<p>バスが解放されているとき (ストップ状態) :</p> <p>スタート・コンディションを生成する(マスタとしての起動)。SCLA0ラインがハイ・レベルの状態 で、SDAA0ラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。その後、規格の時間を確保し、SCLA0をロウ・レベル (ウェイト状態) にする。</p> <p>第三者が通信中のとき :</p> <ul style="list-style-type: none"> 通信予約機能許可の場合 (IICRSV = 0) スタート・コンディション予約フラグとして機能。セット (1) されると、バスが解放されたあと自動的にスタート・コンディションを生成する。 通信予約機能禁止の場合 (IICRSV = 1) STCFをセット (1) し、STT0にセット (1) した情報をクリアします。スタート・コンディションは生成しない。 <p>ウェイト状態 (マスタ時) :</p> <p>ウェイトを解除してリスタート・コンディションを生成する。</p>
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> マスタ受信の場合 : 転送中のセット (1) は禁止です。ACKE0 = 0に設定し、受信の最後であることをスレープに伝えたあとのウェイト期間中にだけセット (1) 可能です。 マスタ送信の場合 : アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウェイト期間中にセット (1) してください。 SPT0と同時セット (1) することは禁止です。 STT0をセット (1) 後、クリア (0) される前に再度セット (1) することは禁止です。 	
クリアされる条件 (STT0 = 0)	セットされる条件 (STT0 = 1)
<ul style="list-style-type: none"> 通信予約禁止状態でのSTT0のセット (1) アービトレーションに負けたとき マスタでのスタート・コンディション生成 LRELO = 1 (通信退避) によるクリア IICE0 = 0 (動作停止) のとき リセット時 	<ul style="list-style-type: none"> 命令によるセット

注 IICE0 = 0の状態では、このビットの信号は無効になります。

備考 1. ビット1 (STT0) は、データ設定後に読み出すと0になっています。

2. IICRSV : IICAフラグ・レジスタ0 (IICAF0) のビット0

STCF : " のビット7

図16 - 5 IICAコントロール・レジスタ0 (IICACTL0) のフォーマット (4/4)

SPT0	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する (マスタとしての転送終了)。 SDAA0ラインをロウ・レベルにしたあと、SCLA0ラインをハイ・レベルにするか、またはSCLA0がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDAA0ラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> マスタ受信の場合：転送中のセット (1) は禁止です。 ACKE0 = 0に設定し、受信の最後であることをスレーブに伝えたあとのウェイト期間中にだけセット (1) 可能です。 マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のウェイト期間中にセットしてください。 STT0と同時にセット (1) することは禁止です。 SPT0のセット (1) は、マスタのときのみ行ってください。^注 WTIM0 = 0設定時に、8クロック出力後のウェイト期間中にSPT0をセット (1) すると、ウェイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウェイト期間中にWTIM0 = 0 1に設定し、9クロック目出力後のウェイト期間中にSPT0をセット (1) してください。 SPT0をセット(1) 後、クリア (0) する前に、再度セット (1) することは禁止です。 	
クリアされる条件 (SPT0 = 0)	セットされる条件 (SPT0 = 1)
<ul style="list-style-type: none"> アービトレーションに負けたとき ストップ・コンディション検出後、自動的にクリア LREL0 = 1 (通信退避) によるクリア IICE0 = 0 (動作停止) のとき リセット時 	<ul style="list-style-type: none"> 命令によるセット

注 SPT0のセット (1) は、マスタのときのみ行ってください。ただし、動作許可後最初のストップ・コンディションを検出する前にマスタ動作を行うには、一度SPT0をセット (1) してストップ・コンディションを生成する必要があります。

注意 IICAステータス・レジスタ0 (IICAS0) のビット3 (TRC0) = 1のとき、9クロック目にWREL0をセット (1) してウェイト解除すると、TRC0をクリアしてSDAA0ラインをハイ・インピーダンスにします。

備考 ビット0 (SPT0) は、データ設定後に読み出すと0になっています。

(2) IICAステータス・レジスタ0 (IICAS0)

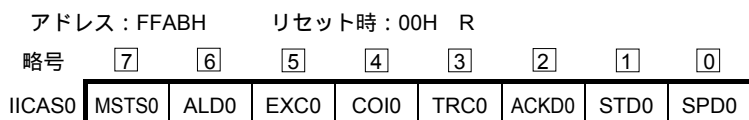
I²Cのステータスを表すレジスタです。

IICAS0は、STT0 = 1およびウエイト期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

注意 IICAコントロール・レジスタ1 (IICACTL1) のWUP = 1の状態での読み出しは禁止です。WUP = 1の状態から、INTIICA0割り込み要求と関係なくWUPを1 0に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウエイクアップ・モードを使用する場合には必ずストップ・コンディション検出による割り込みを許可 (SPIE0 = 1) して割り込み検出後にIICAS0レジスタを読み出してください。

図16 - 6 IICAステータス・レジスタ0 (IICAS0) のフォーマット (1/3)



MSTS0	マスタの状態	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTS0 = 0)		
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALD0 = 1 (アービトレーション負け) のとき ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1 0 (動作停止) のとき ・リセット時 		
セットされる条件 (MSTS0 = 1)		
<ul style="list-style-type: none"> ・スタート・コンディション生成時 		

ALD0	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTS0がクリアされる。	
クリアされる条件 (ALD0 = 0)		
<ul style="list-style-type: none"> ・IICAS0読み出し後、自動的にクリア^注 ・IICE0 = 1 0 (動作停止) のとき ・リセット時 		
セットされる条件 (ALD0 = 1)		
<ul style="list-style-type: none"> ・アービトレーションに負けたとき 		

注 IICAS0のほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALD0使用時は、ほかのビットよりも先にデータをリードしてください。

備考 LREL0 : IICAコントロール・レジスタ0 (IICACTL0) のビット6
 IICE0 : " のビット7

図16 - 6 IICAステータス・レジスタ0 (IICAS0) のフォーマット (2/3)

EXC0	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
	クリアされる条件 (EXC0 = 0)	セットされる条件 (EXC0 = 1)
	<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき(8クロック目の立ち上がりでセット)

COI0	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
	クリアされる条件 (COI0 = 0)	セットされる条件 (COI0 = 1)
	<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・受信アドレスが自局アドレス(スレーブ・アドレス・レジスタ0 (SVA0)) と一致したとき(8クロック目の立ち上がりでセット)

TRC0	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDAA0ラインをハイ・インピーダンスにする。	
1	送信状態。SDAA0ラインにSO0ラッチの値が出力できるようにする(1バイト目の9クロック目の立ち下がり以降有効)。	
	クリアされる条件 (TRC0 = 0)	セットされる条件 (TRC0 = 1)
	<p><マスタ, スレーブ共通></p> <ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1 0 (動作停止) のとき ・WREL0 = 1 (ウェイト解除) によるクリア^注 ・ALD0 = 0 1 (アービトラージ負け) のとき ・リセット時 <p><マスタの場合></p> <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に“1”を出力したとき <p><スレーブの場合></p> <ul style="list-style-type: none"> ・スタート・コンディション検出時 ・1バイト目のLSB (転送方向指定ビット) に“0”を入力したとき <p><通信不参加の場合></p>	<p><マスタの場合></p> <ul style="list-style-type: none"> ・スタート・コンディション生成時 ・1バイト目のLSB (転送方向指定ビット) に“0”を出力したとき <p><スレーブの場合></p> <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に“1”を入力したとき

注 IICAステータス・レジスタ0 (IICAS0) のビット3 (TRC0) = 1のとき、9クロック目にIICAコントロール・レジスタ0 (IICACTL0) のビット5 (WREL0) をセット (1) してウェイトを解除すると、TRC0をクリアしてSDAA0ラインをハイ・インピーダンスにします。

備考 LREL0 : IICAコントロール・レジスタ0 (IICACTL0) のビット6
 IICE0 : " のビット7

図16 - 6 IICAステータス・レジスタ0 (IICAS0) のフォーマット (3/3)

ACKD0	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
クリアされる条件 (ACKD0 = 0)		セットされる条件 (ACKD0 = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・SCLA0の9クロック目の立ち上がり時にSDAA0ラインがロウ・レベルであったとき

STD0	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
クリアされる条件 (STD0 = 0)		セットされる条件 (STD0 = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・スタート・コンディション検出時

SPD0	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
クリアされる条件 (SPD0 = 0)		セットされる条件 (SPD0 = 1)
<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICE0 = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・ストップ・コンディション検出時

備考 LREL0 : IICAコントロール・レジスタ0 (IICACTL0) のビット6
 IICE0 : " のビット7

(3) IICAフラグ・レジスタ0 (IICAF0)

I²Cの動作モードの設定と、I²Cバスの状態を表すレジスタです。

IICAF0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STCF、IICBSYビットは読み出しのみ可能です。

IICRSVビットにより、通信予約機能の禁止/許可を設定します。

またSTCENにより、IICBSYビットの初期値を設定します。

IICRSV、STCENはI²Cが動作禁止 (IICAコントロール・レジスタ0 (IICACTL0) のビット7 (IICE0) = 0) のときのみ書き込み可能です。動作許可後、IICAF0は読み出し可能となります。

リセット信号の発生により、00Hになります。

図16-7 IICAフラグ・レジスタ0 (IICAF0) のフォーマット

アドレス：FFAAH リセット時：00H RW[※]

略号 7 6 5 4 3 2 1 0

IICAF0	STCF	IICBSY	0	0	0	0	STCEN	IICRSV
--------	------	--------	---	---	---	---	-------	--------

STCF	STT0クリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず，STT0フラグ・クリア。
クリアされる条件 (STCF = 0)	
<ul style="list-style-type: none"> ・ STT0 = 1によるクリア ・ IICE0 = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (STCF = 1)	
<ul style="list-style-type: none"> ・ 通信予約禁止 (IICRSV = 1) 設定時にスタート・コンディション発行できず，STT0がクリア (0) されたとき 	

IICBSY	I ² Cバス状態フラグ
0	バス解放状態 (STCEN = 1時の通信初期状態)。
1	バス通信状態 (STCEN = 0時の通信初期状態)。
クリアされる条件 (IICBSY = 0)	
<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ IICE0 = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (IICBSY = 1)	
<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ STCEN = 0時のIICE0のセット 	

STCEN	初期スタート許可トリガ
0	動作許可 (IICE0 = 1) 後，ストップ・コンディションの検出により，スタート・コンディションを生成許可。
1	動作許可 (IICE0 = 1) 後，ストップ・コンディションを検出せずに，スタート・コンディションを生成許可。
クリアされる条件 (STCEN = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ スタート・コンディション検出時 ・ リセット時 	
セットされる条件 (STCEN = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

IICRSV	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。
クリアされる条件 (IICRSV = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 	
セットされる条件 (IICRSV = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

注 ビット6, 7はRead onlyです。

注意1. STCENへの書き込みは動作停止 (IICE0 = 0) 時のみ行ってください。

2. STCEN = 1とした場合，実際のバス状態にかかわらずバス解放状態 (IICBSY = 0) と認識しますので，1回目のスタート・コンディションを発行 (STT0 = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3. IICRSVへの書き込みは動作停止 (IICE0 = 0) 時のみ行ってください。

備考 STT0 : IICAコントロール・レジスタ0 (IICACTL0) のビット1
IICE0 : " のビット7

(4) IICAコントロール・レジスタ1 (IICACTL1)

I²Cの動作モードの設定やSCLA0, SDA0端子状態を検出するためのレジスタです。

IICACTL1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLD0、DAD0ビットは読み出しのみ可能です。

IICACTL1は、WUPを除きIICAコントロール・レジスタ0 (IICACTL0) のビット7 (IICE0) = 0のときに設定してください。

リセット信号の発生により、00Hになります。

図16-8 IICAコントロール・レジスタ1 (IICACTL1) のフォーマット (1/2)

アドレス：FFA9H リセット時：00H R/W^{※1}

略号	7	6	5	4	3	2	1	0
IICACTL1	WUP	0	CLD0	DAD0	SMC0	DFC0	0	0

WUP	アドレス一致ウエイクアップの制御				
0	STOPモード状態時のアドレス一致ウエイクアップ機能動作停止				
1	STOPモード状態時のアドレス一致ウエイクアップ機能動作許可				
<p>アドレス一致、または拡張コード受信後はWUPをクリア (0) してください。WUPをクリア (0) することで、その後の通信に参加する事ができます (ウエイト解除および送信データ書き込みは、WUPをクリア (0) したあとに行う必要があります)。</p> <p>WUP = 1の状態における、アドレス一致および拡張コード受信時の割り込みタイミングは、WUP = 0の場合の割り込みタイミングと同じです (クロックによるサンプリング誤差分の遅延差は生じます)。また、WUP = 1の場合には、SPIE0 = 1にしてもストップ・コンディション割り込みは発生しません。</p> <p>また、シリアル・インタフェースIICAからの割り込み以外の要因でWUP = 0と設定する場合には、その後のスタート・コンディション検出もしくはストップ・コンディション検出まで、マスタとして動作できません。スタート・コンディション/ストップ・コンディション検出を待たずにSTT0をセット (1) してスタート・コンディションを出力させないでください。</p>					
<table border="1"> <tr> <th>クリアされる条件 (WUP = 0)</th> <th>セットされる条件 (WUP = 1)</th> </tr> <tr> <td>・ 命令によるクリア (アドレス一致もしくは拡張コード受信後)</td> <td>・ 命令によるセット (MSTS0, EXC0, COI0が "0" であり、STD0も "0" (通信に不参加である事) のとき)^{※2}</td> </tr> </table>		クリアされる条件 (WUP = 0)	セットされる条件 (WUP = 1)	・ 命令によるクリア (アドレス一致もしくは拡張コード受信後)	・ 命令によるセット (MSTS0, EXC0, COI0が "0" であり、STD0も "0" (通信に不参加である事) のとき) ^{※2}
クリアされる条件 (WUP = 0)	セットされる条件 (WUP = 1)				
・ 命令によるクリア (アドレス一致もしくは拡張コード受信後)	・ 命令によるセット (MSTS0, EXC0, COI0が "0" であり、STD0も "0" (通信に不参加である事) のとき) ^{※2}				

CLD0	SCLA0端子のレベル検出 (IICE0 = 1のときのみ有効)				
0	SCLA0端子がロウ・レベルであることを検出				
1	SCLA0端子がハイ・レベルであることを検出				
<table border="1"> <tr> <th>クリアされる条件 (CLD0 = 0)</th> <th>セットされる条件 (CLD0 = 1)</th> </tr> <tr> <td>・ SCLA0端子がロウ・レベルのとき ・ IICE0 = 0 (動作停止) のとき ・ リセット時</td> <td>・ SCLA0端子がハイ・レベルのとき</td> </tr> </table>		クリアされる条件 (CLD0 = 0)	セットされる条件 (CLD0 = 1)	・ SCLA0端子がロウ・レベルのとき ・ IICE0 = 0 (動作停止) のとき ・ リセット時	・ SCLA0端子がハイ・レベルのとき
クリアされる条件 (CLD0 = 0)	セットされる条件 (CLD0 = 1)				
・ SCLA0端子がロウ・レベルのとき ・ IICE0 = 0 (動作停止) のとき ・ リセット時	・ SCLA0端子がハイ・レベルのとき				

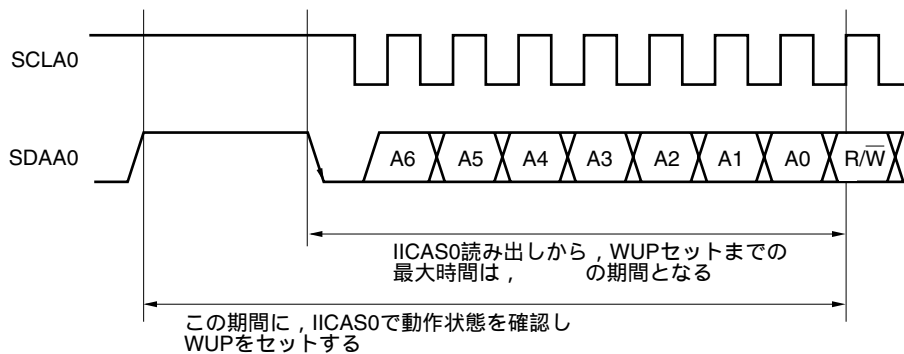
図16 - 8 IICAコントロール・レジスタ1 (IICACTL1) のフォーマット (2/2)

DAD0	SDAA0端子のレベル検出 (IICE0 = 1のときのみ有効)	
0	SDAA0端子がロウ・レベルであることを検出	
1	SDAA0端子がハイ・レベルであることを検出	
クリアされる条件 (DAD0 = 0)		セットされる条件 (DAD0 = 1)
<ul style="list-style-type: none"> ・SDAA0端子がロウ・レベルのとき ・IICE0 = 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・SDAA0端子がハイ・レベルのとき

SMC0	動作モードの切り替え	
0	標準モードで動作	
1	ファースト・モードで動作	

DFC0	デジタル・フィルタの動作の制御	
0	デジタル・フィルタ・オフ	
1	デジタル・フィルタ・オン	
デジタル・フィルタは、ファースト・モード時にのみ使用できます。 ファースト・モード時はDFC0のセット (1) / クリア (0) により、転送クロックが変化することはありません。 デジタル・フィルタは、ファースト・モード時にノイズ除去のために使用します。		

- 注1. ビット4, 5はRead Onlyです。
 2. 次に示す期間に、IICAS0の状態を確認しセットする必要があります。



備考 IICE0 : IICAコントロール・レジスタ0 (IICACTL0) のビット7

(5) IICAロウ・レベル幅設定レジスタ (IICWL)

シリアル・インタフェースIICAが、マスタ時に出力するSCLA0端子信号のロウ・レベル幅 (t_{LOW}) とデータ・ホールド時間 (t_{HD:DAT}) を設定するレジスタです。データ・ホールド時間は、IICWLの上位6ビットで決定されます。

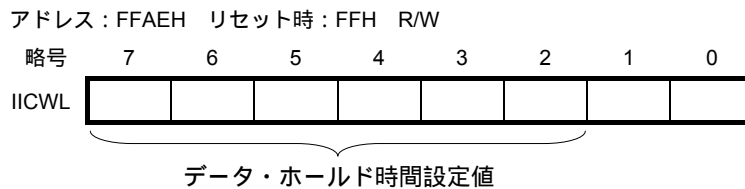
IICWLは、8ビット・メモリ操作命令で設定します。

IICWLは、IICAコントロール・レジスタ0 (IICACTL0) のビット7 (IICE0) = 0のときに設定してください。

リセット信号の発生により、FFHになります。

IICWLの設定方法については、16. 4. 2 IICWL, IICWHレジスタによる転送クロック設定方法を参照してください。

図16 - 9 IICAロウ・レベル幅設定レジスタ (IICWL) のフォーマット



(6) IICAハイ・レベル幅設定レジスタ (IICWH)

シリアル・インタフェースIICAが、マスタ時に出力するSCLA0端子信号のハイ・レベル幅 (t_{HIGH}) を設定するレジスタです。

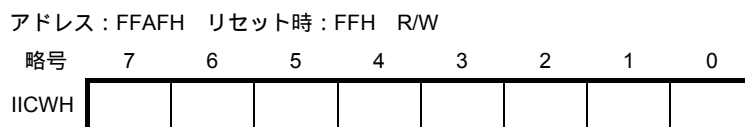
IICWHは、8ビット・メモリ操作命令で設定します。

IICWHは、IICAコントロール・レジスタ0 (IICACTL0) のビット7 (IICE) = 0のときに設定してください。

リセット信号の発生により、FFHになります。

IICWHの設定方法については、16. 4. 2 IICWL, IICWHレジスタによる転送クロック設定方法を参照してください。

図16 - 10 IICAハイ・レベル幅設定レジスタ (IICWH) のフォーマット



(7) ポート・モード・レジスタ6 (PM6)

ポート6の入力 / 出力を1ビット単位で設定するレジスタです。

P60/SCLA0/SCK10端子をクロック入出力、P61/SDAA0/SI10端子をシリアル・データ入出力として使用するとき、PM60, PM61およびP60, P61の出力ラッチに0を設定してください。

IICE0 (IICAコントロール・レジスタ0 (IICACTL0) のビット7) が0の場合、P60/SCLA0/SCK10端子およびP61/SDAA0/SI10端子はロウ・レベル出力 (固定) となるため、出力モードへの切り替えは、IICE0に1を設定してから、行ってください。

PM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図16 - 11 ポート・モード・レジスタ6 (PM6) のフォーマット

アドレス : FF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	1	1	PM61	PM60

PM6n	P6n端子の入出力モードの選択 (n = 0, 1)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

16.4 I²Cバス・モードの機能

16.4.1 端子構成

シリアル・クロック端子 (SCLA0) と、シリアル・データ・バス端子 (SDAA0) の構成は、次のようになっています。

(1) SCLA0.....シリアル・クロックを入出力するための端子。

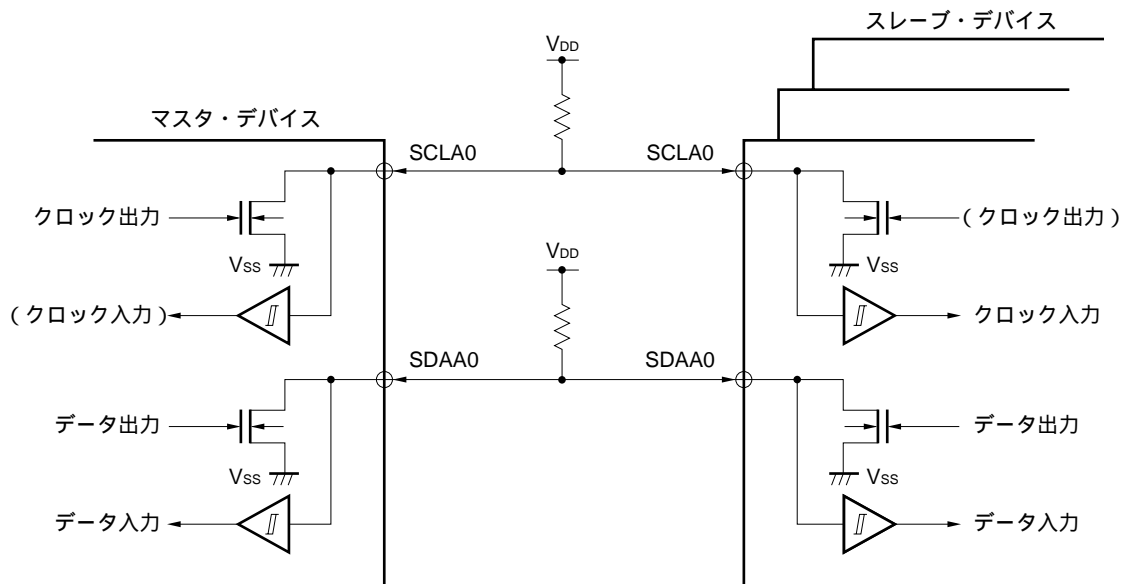
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2) SDAA0.....シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図16 - 12 端子構成図



16.4.2 IICWL, IICWHレジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{\text{PRS}}}{\text{IICWL} + \text{IICWH} + f_{\text{PRS}} (t_{\text{R}} + t_{\text{F}})}$$

このとき、最適なIICWLとIICWHの設定値は次のようになります(設定値はすべて小数点以下切り上げ)。

・ファースト・モード時

$$\text{IICWL} = \frac{0.52}{\text{転送クロック}} \times f_{\text{PRS}}$$

$$\text{IICWH} = \left(\frac{0.48}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{PRS}}$$

・標準モード時

$$\text{IICWL} = \frac{0.47}{\text{転送クロック}} \times f_{\text{PRS}}$$

$$\text{IICWH} = \left(\frac{0.53}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{PRS}}$$

備考 IICWLの設定により、データ・ホールド時間は、次のようになります。

$$\text{データ・ホールド時間} = \frac{\text{IICWLの上位6ビット}}{f_{\text{PRS}}}$$

例 転送クロック = 400 [kHz] (ファースト・モード), $f_{\text{PRS}} = 20$ [MHz], IICWL = 26 (上位6ビット = 6) の場合

$$\frac{6}{20000000} = 0.3 [\mu\text{s}]$$

注意 データ・ホールド時間は、ファースト・モードで0.9 [μs]、標準モードで3.45 [μs]を越えないようにしてください。

(2) スレーブ側のIICWL, IICWH設定方法

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWL} = 1.3 \mu\text{s} \times f_{\text{PRS}}$$

$$\text{IICWH} = (1.2 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{PRS}}$$

・標準モード時

$$\text{IICWL} = 4.7 \mu\text{s} \times f_{\text{PRS}}$$

$$\text{IICWH} = (5.3 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{PRS}}$$

注意 転送クロックを設定する場合は、 f_{PRS} の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによって f_{PRS} の最低動作周波数が決められています。

・ファースト・モード時 : $f_{\text{PRS}} = 3.5$ MHz (MIN.)

・標準モード時 : $f_{\text{PRS}} = 1$ MHz (MIN.)

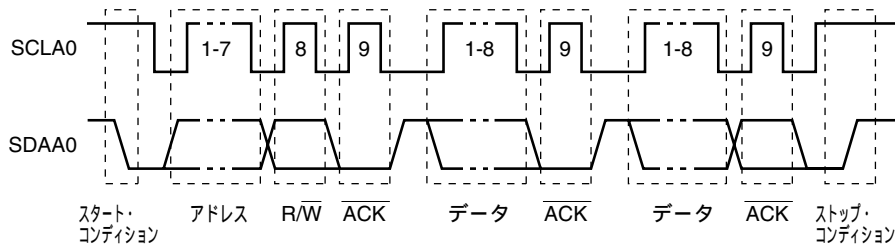
- 備考** IICWL : IICAロウ・レベル幅設定レジスタ
 IICWH : IICAハイ・レベル幅設定レジスタ
 t_f : SDAA0, SCLA0信号の立ち下がり時間 (第28章 電気的特性参照)
 t_r : SDAA0, SCLA0信号の立ち上がり時間 (第28章 電気的特性参照)
 f_{PRS} : 周辺ハードウェア・クロック周波数

16.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを図16 - 13に示します。

図16 - 13 I²Cバスのシリアル・データ転送タイミング



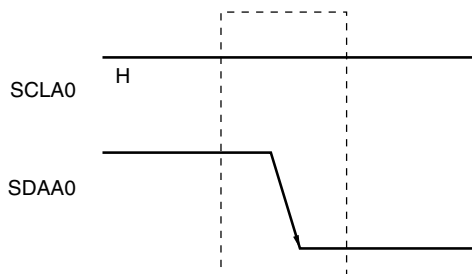
スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。アクノリッジ (\overline{ACK}) は、マスタ、スレーブのどちらでも生成できます (通常、8ビット・データの受信側が出力します)。

シリアル・クロック (SCLA0) は、マスタが出力し続けます。ただし、スレーブはSCLA0のロウ・レベル期間を延長し、ウエイトを挿入できます。

16.5.1 スタート・コンディション

SCLA0端子がハイ・レベルのときに、SDAA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLA0端子、SDAA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図16 - 14 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (SPD0 : IICAステータス・レジスタ0 (IICAS0) のビット0 = 1) のときにIICAコントロール・レジスタ0 (IICACTL0) のビット1 (STT0) をセット (1) すると出力されます。また、スタート・コンディションを検出すると、IICAS0のビット1 (STD0) がセット (1) されます。

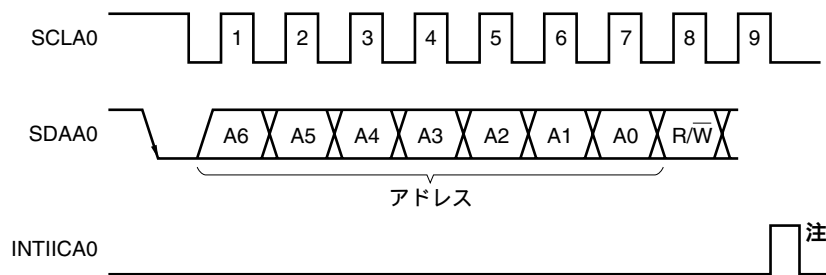
16.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ0 (SVA0) と一致しているかを調べます。このとき、7ビット・データとSVA0の値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図16 - 15 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICA0は発生しません。

アドレスは、スレーブのアドレスと16.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICAシフト・レジスタ (IICA) に書き込むと出力します。また、受信したアドレスはIICAに書き込まれます。

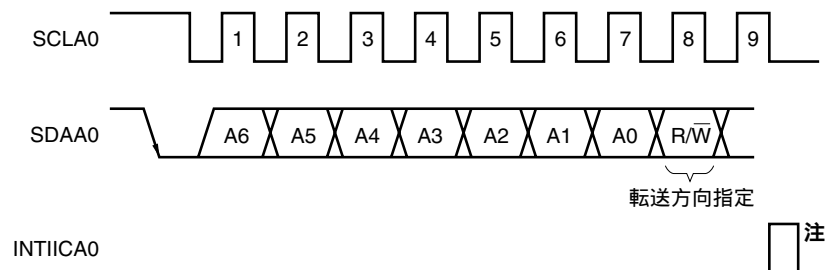
なお、スレーブのアドレスは、IICAの上位7ビットに割り当てられます。

16.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図16 - 16 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICA0は発生しません。

16.5.4 アクノリッジ (ACK)

アクノリッジ ($\overline{\text{ACK}}$) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICAステータス・レジスタ0 (IICAS0) のビット2 (ACKD0) で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- 受信が正しく行われていない。
- 最終データの受信が終わっている。
- アドレス指定した受信側が存在しない。

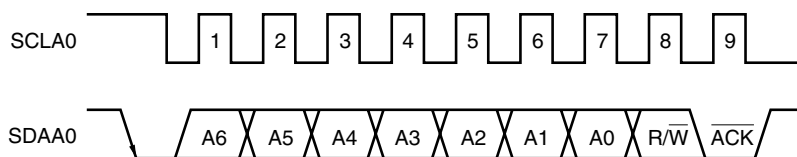
アクノリッジ生成は、受信側が9クロック目にSDAA0ラインをロウ・レベルにすることによって行われます(正常受信)。

IICAコントロール・レジスタ0 (IICACTL0) のビット2 (ACKE0) をセット (1) することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICAS0レジスタのビット3 (TRC0) が設定されます。受信 (TRC0 = 0) の場合は、通常、ACKE0をセット (1) してください。

スレーブ受信動作時 (TRC0 = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKE0をクリア (0) し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRC0 = 0) に、次のデータを必要としない場合、アクノリッジを生成しないようにACKE0をクリア (0) してください。これによって、スレーブ送信側にデータの終わりを知らせます (送信停止)。

図16 - 17 アクノリッジ



自局アドレス受信時は、ACKE0の値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時は、あらかじめACKE0をセット (1) しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、ウエイト・タイミングの設定により次のように異なります。

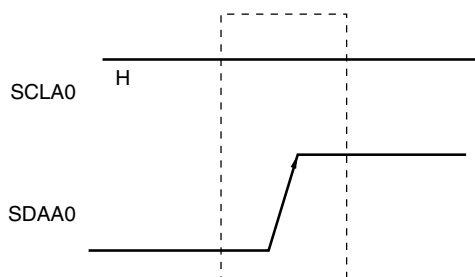
- ・8クロック・ウエイト選択時 (IICACTL0レジスタのビット3 (WTIM0) = 0) :
ウエイト解除を行う前にACKE0をセット (1) することによって、SCLA0端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・9クロック・ウエイト選択時 (IICACTL0レジスタのビット3 (WTIM0) = 1) :
あらかじめACKE0をセット (1) することによって、アクノリッジを生成します。

16.5.5 ストップ・コンディション

SCLA0端子がハイ・レベルのときに、SDAA0端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図16 - 18 ストップ・コンディション



ストップ・コンディションは、IICAコントロール・レジスタ0 (IICACTL0) のビット0 (SPT0) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIICAステータス・レジスタ0 (IICAS0) のビット0 (SPD0) がセット (1) され、IICACTL0のビット4 (SPIE0) がセット (1) されている場合にはINTIICA0が発生します。

16.5.6 ウェイト

ウェイトによっては、マスタまたはスレーブがデータの送受信のための準備中（ウェイト状態）であることを相手に知らせます。

SCLA0端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図16 - 19 ウェイト (1/2)

(1) マスタは9クロック・ウェイト，スレーブは8クロック・ウェイト時

(マスタ：送信，スレーブ：受信，ACKE0 = 1)

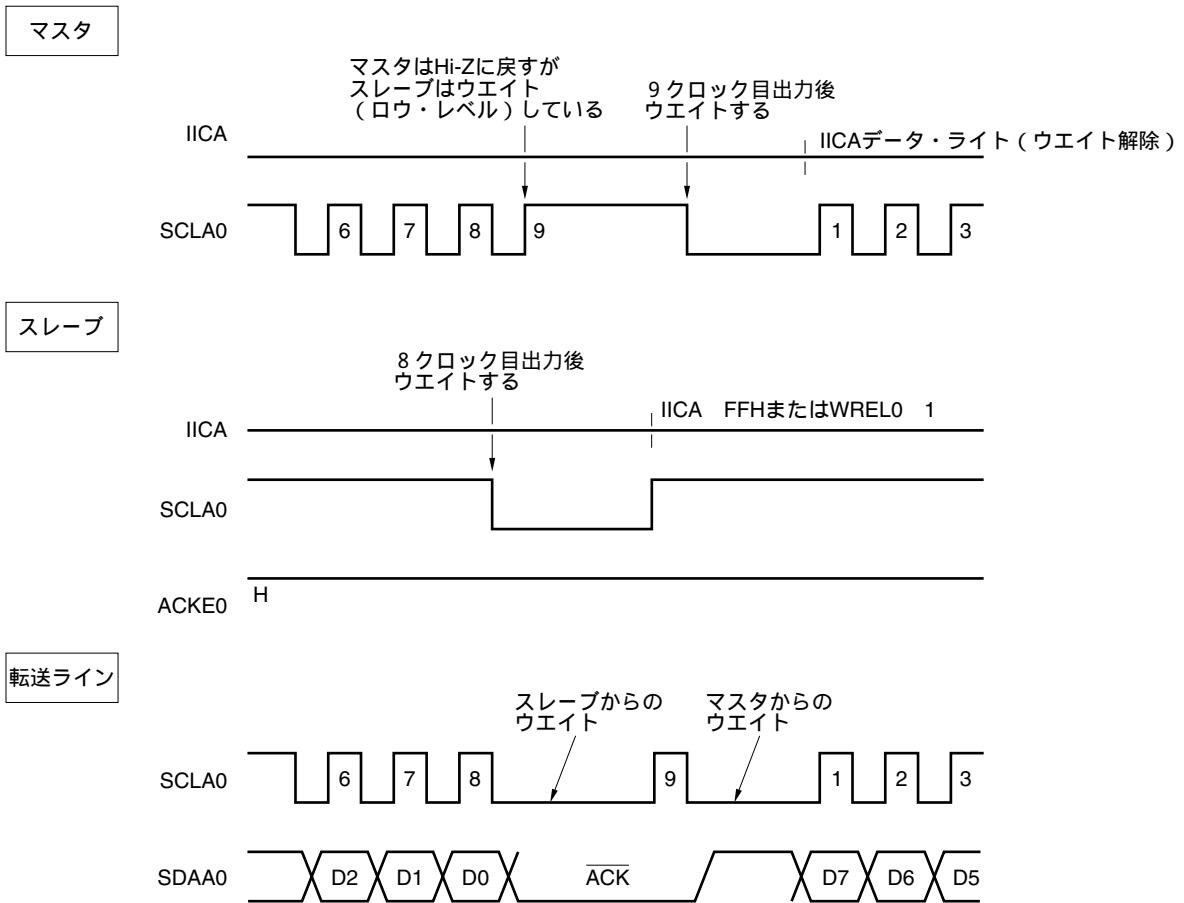
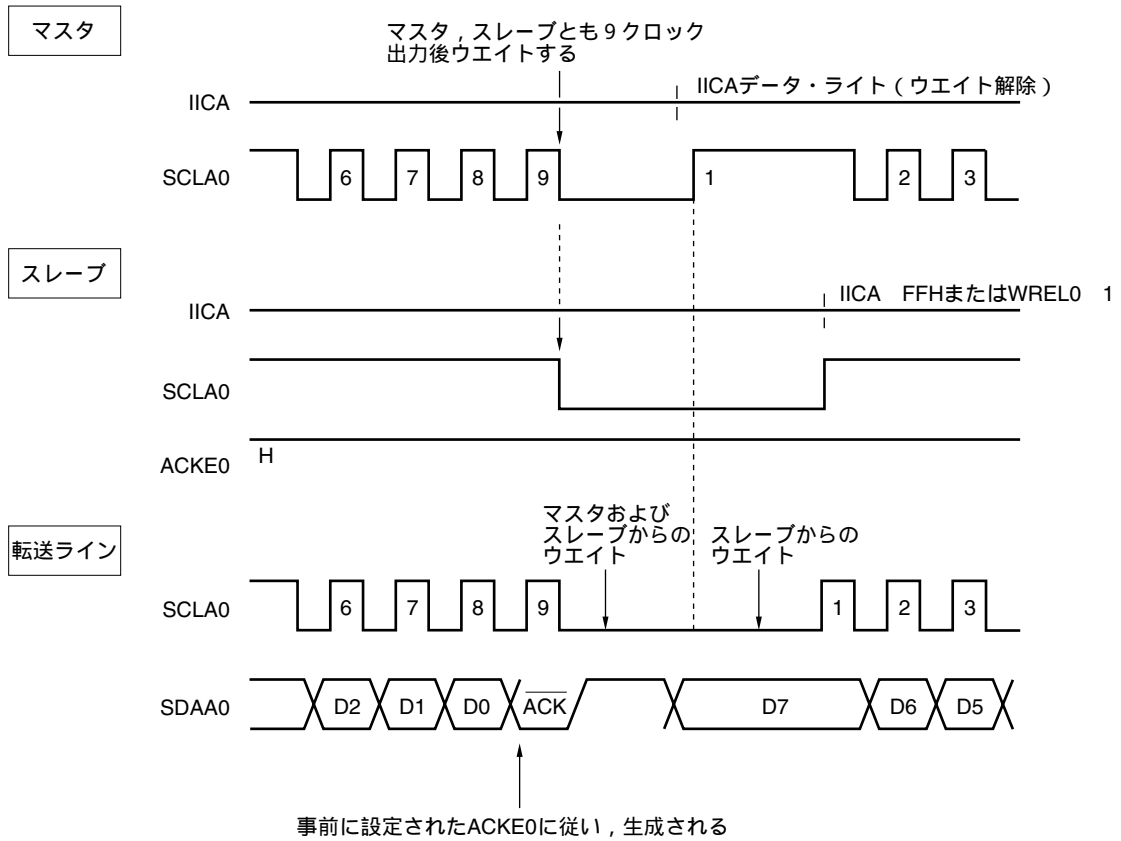


図16 - 19 ウェイト (2/2)

(2) マスタ, スレーブとも9クロック・ウェイト時

(マスタ: 送信, スレーブ: 受信, ACKE0 = 1)



備考 ACKE0 : IICAコントロール・レジスタ0 (IICACTL0) のビット2

WRELO : " のビット5

ウェイトは, IICAコントロール・レジスタ0 (IICACTL0) のビット3 (WTIM0) の設定により自動的に発生します。

通常, 受信側はIICACTL0のビット5 (WRELO) = 1またはIICAシフト・レジスタ (IICA) FFHライトにするとウェイトを解除し, 送信側はIICAにデータを書き込むとウェイトを解除します。

マスタの場合は, 次の方法でもウェイトを解除できます。

- ・ IICACTL0のビット1 (STT0) = 1
- ・ IICACTL0のビット0 (SPT0) = 1

16.5.7 ウェイト解除方法

I²Cでは、通常、次のような処理でウェイトを解除できます。

- ・ IICAシフト・レジスタ (IICA) へのデータ書き込み
- ・ IICAコントロール・レジスタ0 (IICACTL0) のビット5 (WREL0) のセット (ウェイト解除)
- ・ IICACTL0レジスタのビット1 (STT0) のセット (スタート・コンディションの生成)^注
- ・ IICACTL0レジスタのビット0 (SPT0) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

これらのウェイト解除処理を実行した場合、I²Cはウェイトを解除し、通信が再開されます。

ウェイトを解除してデータ (アドレスを含む) を送信する場合には、IICAにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICAコントロール・レジスタ0 (IICACTL0) のビット5 (WREL0) をセット (1) してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、IICACTL0のビット1 (STT0) をセット (1) してください。

ウェイト解除後にストップ・コンディションを生成する場合には、IICACTL0のビット0 (SPT0) をセット (1) してください。

1回のウェイト状態に対して1回だけ解除処理を実行してください。

たとえば、WREL0にセット (1) によるウェイト解除後、IICAへのデータ書き込みを実施した場合には、SDAA0ラインの変化タイミングとIICAへの書き込みタイミングの競合により、SDAA0への出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICE0をクリア (0) すると通信を停止するので、ウェイトを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICACTL0のビット6 (LREL0) をセット (1) すると通信から退避するので、ウェイトを解除できます。

注意 WUP (IICAコントロール・レジスタ1 (IICACTL1) のビット7) = 1のときにウェイト解除処理を実行した場合、ウェイトは解除されません。

16.5.8 割り込み要求 (INTIICA0) 発生タイミングおよびウェイト制御

IICAコントロール・レジスタ0 (IICACTL0) のビット3 (WTIM0) の設定で、表16 - 2に示すタイミングでINTIICA0が発生し、また、ウェイト制御を行います。

表16 - 2 INTIICA0発生タイミングおよびウェイト制御

WTIM0	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

- 注1. スレーブのINTIICA0信号およびウェイトは、スレーブ・アドレス・レジスタ0 (SVA0) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。
また、このとき、IICACTL0のビット2 (ACKE0) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICA0が発生します。ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりですべてINTIICA0が発生しますが、ウェイトは発生しません。
2. スレーブ・アドレス・レジスタ0 (SVA0) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICA0もウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIM0ビットにかかわらず、上記の注1, 2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIM0ビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりですべて発生します。

(2) データ受信時

- ・マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

- ・マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICAシフト・レジスタ (IICA) へのデータ書き込み
- ・ IICAコントロール・レジスタ0 (IICACTL0) のビット5 (WREL0) のセット (ウェイト解除)
- ・ IICACTL0レジスタのビット1 (STT0) のセット (スタート・コンディションの生成)^注
- ・ IICACTL0レジスタのビット0 (SPT0) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

8クロック・ウェイト選択 (WTIM0 = 0) 時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICA0は、ストップ・コンディションを検出すると発生します (SPIE0 = 1のときのみ)。

16.5.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。スレーブ・アドレス・レジスタ0 (SVA0) に自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVA0に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICA0割り込み要求が発生します。

16.5.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDAA0) の状態が、送信しているデバイスのIICAシフト・レジスタ (IICA) にも取り込まれるため、送信開始前と送信終了後のIICAデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

16.5.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ(EXC0)をセット(1)し、8クロック目の立ち下がりで割り込み要求(INTIICA0)を発生します。
スレーブ・アドレス・レジスタ0(SVA0)に格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SVA0に“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求(INTIICA0)は、8クロック目の立ち下がりで発生します。

- ・上位4ビット・データの一致 : EXC0 = 1
- ・7ビット・データの一致 : COI0 = 1

備考 EXC0 : IICAステータス・レジスタ0(IICAS0)のビット5
COI0 : " のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。
スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。
たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICAコントロール・レジスタ0(IICACTL0)のビット6(LRELO) = 1に設定してください。次の通信待機状態にします。

表16-3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定(アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定(アドレス一致後、リード・コマンド発行時)

備考 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

16.5.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合(STD0 = 1になる前にSTT0 = 1にしたとき), データが異なるまでクロックの調整をしながら, マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは, アービトレーションに負けたタイミングで, IICAステータス・レジスタ0 (IICAS0) のアービトレーション負けフラグ (ALD0) をセット (1) し, SCLA0, SDAA0ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは, 次の割り込み要求発生タイミング (8または9クロック目, ストップ・コンディション検出など) で, ソフトウェアでALD0 = 1になっていることで検出します。

割り込み要求発生タイミングについては, 16.5.8 割り込み要求 (INTIICA0) の発生タイミングおよびウェイト制御を参照してください。

備考 STD0 : IICAステータス・レジスタ0 (IICAS0) のビット1

STT0 : IICAコントロール・レジスタ0 (IICACTL0) のビット1

図16-20 アービトレーション・タイミング例

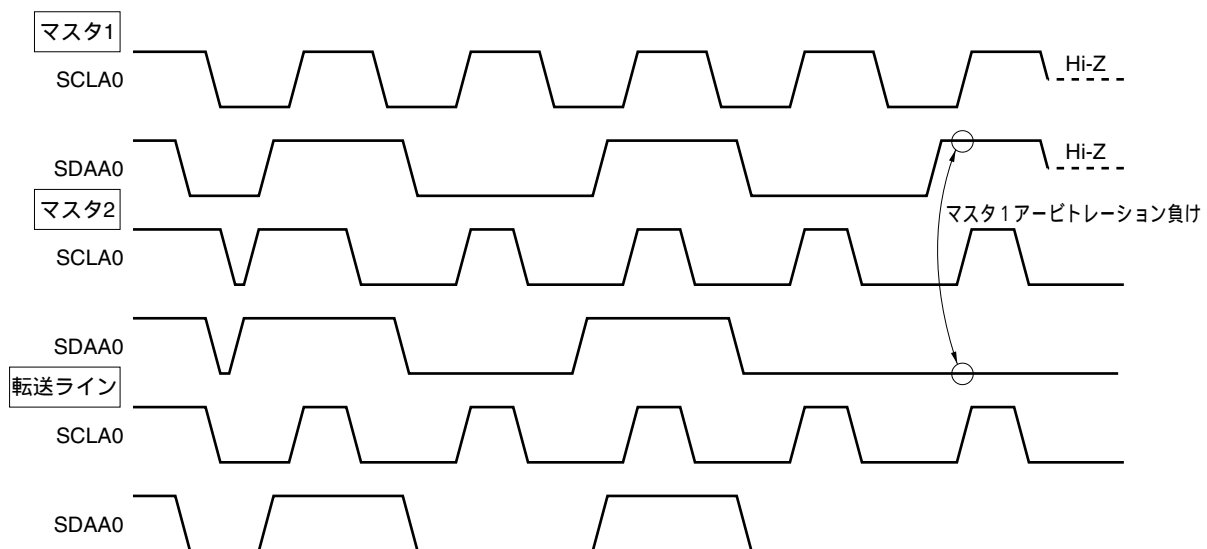


表16-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時 (SPIE0 = 1時) ^{注2}
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIE0 = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCLA0がロウ・レベル	

- 注1. WTIM0 (IICAコントロール・レジスタ0 (IICACTL0) のビット3) = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM0 = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求を発生します。
2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIE0 = 1に設定してください。

備考 SPIE0 : IICAコントロール・レジスタ0 (IICACTL0) のビット 4

16.5.13 ウェイクアップ機能

I²Cのスレーブ機能で, 自局アドレスと拡張コードを受信したときに割り込み要求信号 (INTIICA0) を発生する機能です。

アドレスが一致しないときは不要なINTIICA0信号を発生せず, 効率よく処理できます。

スタート・コンディションを検出すると, ウェイクアップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも, アービトレーション負けでスレーブになる可能性があるため, アドレスを送信しながらウェイクアップ待機状態になります。

ただしストップ・コンディションを検出すると, ウェイクアップ機能に関係なく, IICAコントロール・レジスタ0 (IICACTL0) のビット4 (SPIE0) の設定によって, 割り込み要求の発生許可/禁止が決定します。

STOPモード状態時にウェイクアップ機能を使用する場合には, WUP = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も, 自局アドレスおよび拡張コードを受信したときに割り込み要求信号 (INTIICA0) を発生します。この割り込み発生後に命令でWUPビットをクリア (0) することで通常動作に戻ります。

WUPを設定する場合とアドレス一致によりWUPをクリア (0) する場合のフローを次に示します。

図16 - 21 WUP = 1を設定する場合のフロー

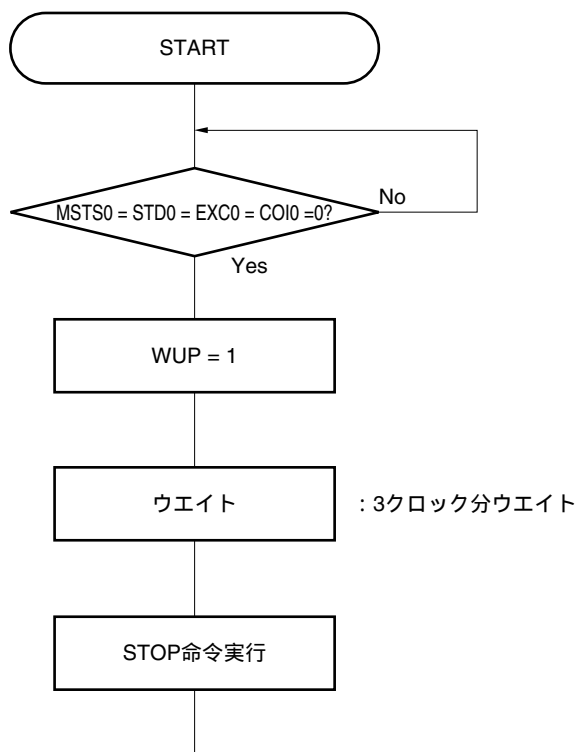
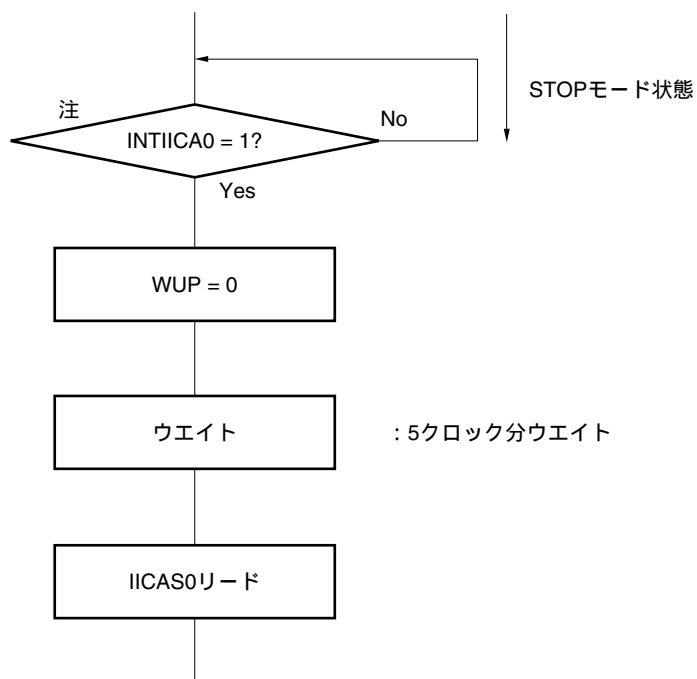


図16 - 22 アドレス一致によりWUP = 0に設定する場合のフロー（拡張コード受信含む）



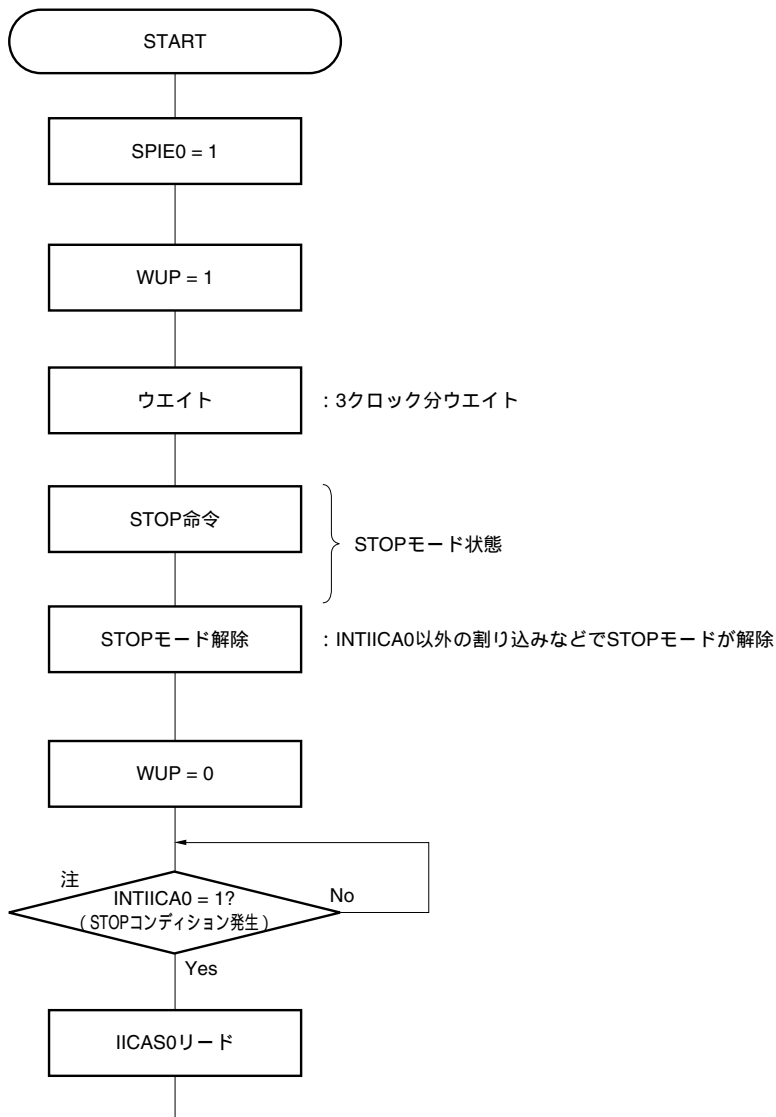
シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

注 INTIICA0のベクタ割り込み発生時も同様に以下の処理を行ってください。

また、シリアル・インタフェースIICAからの割り込み要求 (INTIICA0) 以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

- ・マスタとして動作させる場合 : 図16 - 23のフロー
- ・スレーブとして動作させる場合 : 図16 - 22のフローまたは図16 - 24のフロー

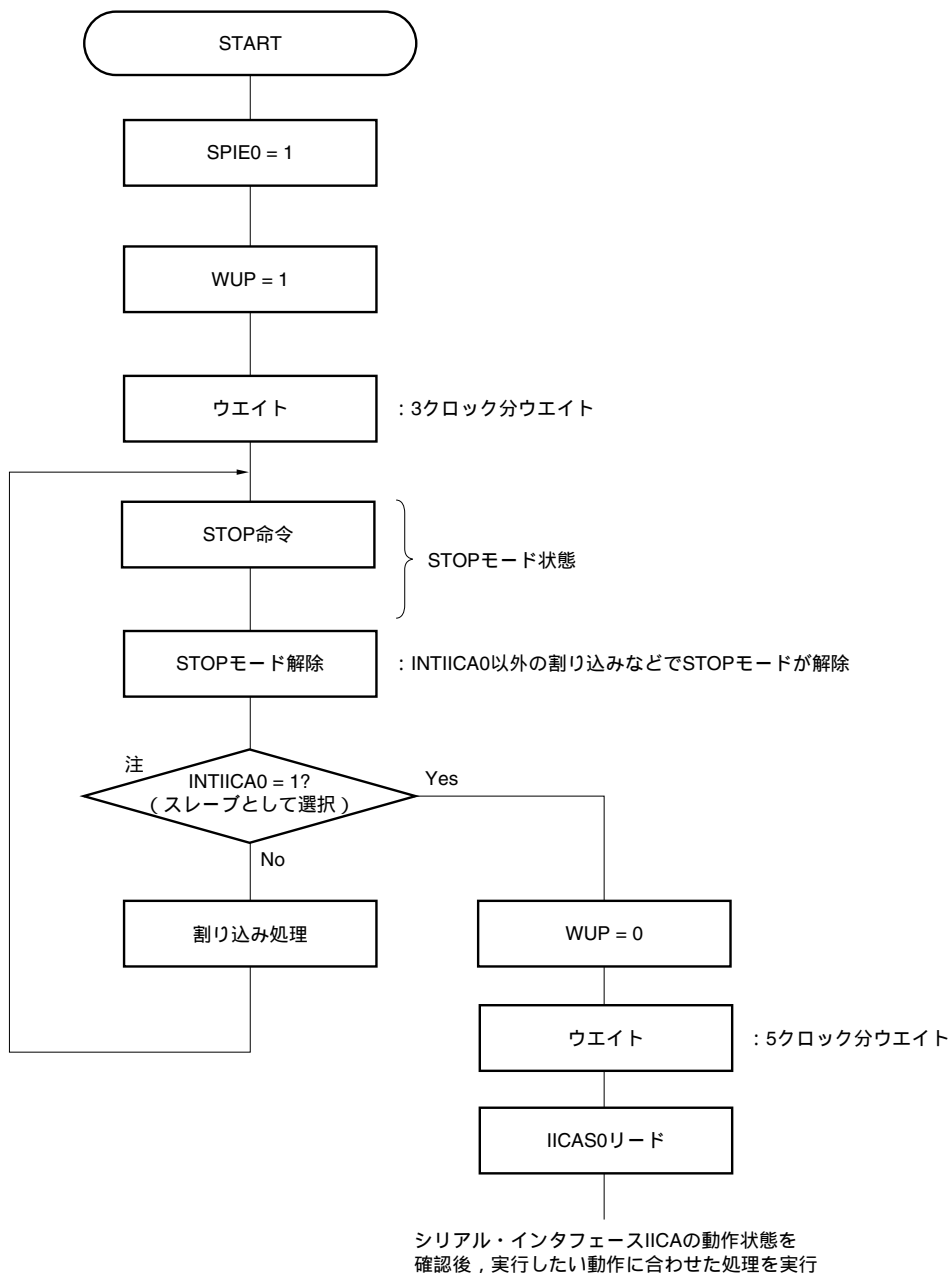
図16 - 23 INTIICA0以外でSTOPモードが解除後にマスタとして動作させる場合



シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

注 スレーブとして選択された場合も、INTIICA0 = 1になります。その場合、スレーブ処理完了後、マスタとして動作させてください。

図16 - 24 INTIICA0以外でSTOPモードが解除後にスレープとして動作させる場合
(マスタとして動作させる必要がない場合)



注 STOPコンディション発生時も、INTIICA0 = 1になります。

16.5.14 通信予約

(1) 通信予約機能許可の場合 (IICAフラグ・レジスタ0 (IICAF0) のビット0 (IICRSV) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクリッジを返さず、IICAコントロール・レジスタ0 (IICACTL0) のビット6 (LREL0) = 1で通信退避してバスを解放した)とき

バスに不参加の状態、IICACTL0のビット1 (STT0) をセット (1) すると、バスが解放されたあと(ストップ・コンディション検出時)に、自動的にスタート・コンディションを生成し、ウエイト状態になります。

IICACTL0のビット4 (SPIE0) をセット (1) し、割り込み要求信号 (INTIICA0) 発生でバスの解放を検出(ストップ・コンディション検出)したあと、IICAシフト・レジスタ (IICA) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAに書き込まれたデータは、無効です。

STT0をセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき.....スタート・コンディション生成
- ・バスが解放されていないとき(待機状態).....通信予約

通信予約として動作するのかどうかは、STT0をセット(1)し、ウエイト時間をとったあと、MSTS0 (IICAステータス・レジスタ0 (IICAS0) のビット7) で確認します。

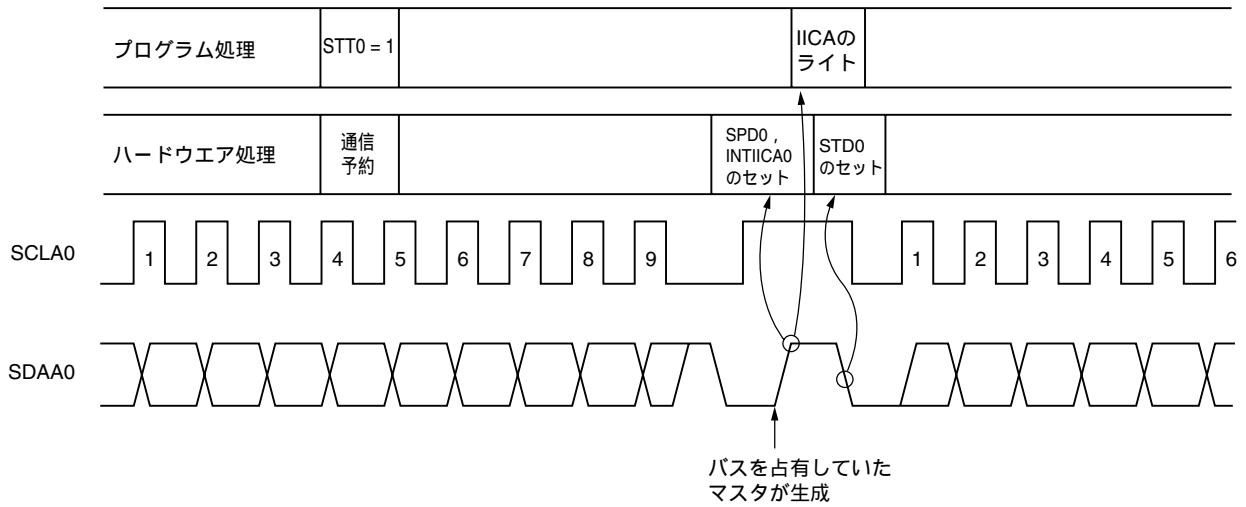
ウエイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

$$\text{STT0} = 1 \text{ から MSTS0 フラグ 確認 までの ウエイト 時間 :} \\ (\text{IICWL の 設定 値} + \text{IICWH の 設定 値} + 4) + t_f \times 2 \times f_{\text{PRS}} \quad [\text{クロック}]$$

- 備考**
- IICWL : IICAロウ・レベル幅設定レジスタ
 - IICWH : IICAハイ・レベル幅設定レジスタ
 - t_f : SDAA0, SCLA0信号の立ち下がり時間 (第28章 電気的特性参照)
 - f_{PRS} : 周辺ハードウェア・クロック周波数

通信予約のタイミングを図16 - 25に示します。

図16 - 25 通信予約のタイミング



備考 IICA : IICAシフト・レジスタ

STT0 : IICAコントロール・レジスタ0 (IICACTL0) のビット1

STD0 : IICAステータス・レジスタ0 (IICAS0) のビット1

SPD0 : " のビット0

通信予約は図16 - 26に示すタイミングで受け付けられます。IICAステータス・レジスタ0 (IICAS0) のビット1 (STD0) = 1になったあと、ストップ・コンディション検出までにIICAコントロール・レジスタ0 (IICACTL0) のビット1 (STT0) = 1で通信予約をします。

図16 - 26 通信予約受け付けタイミング

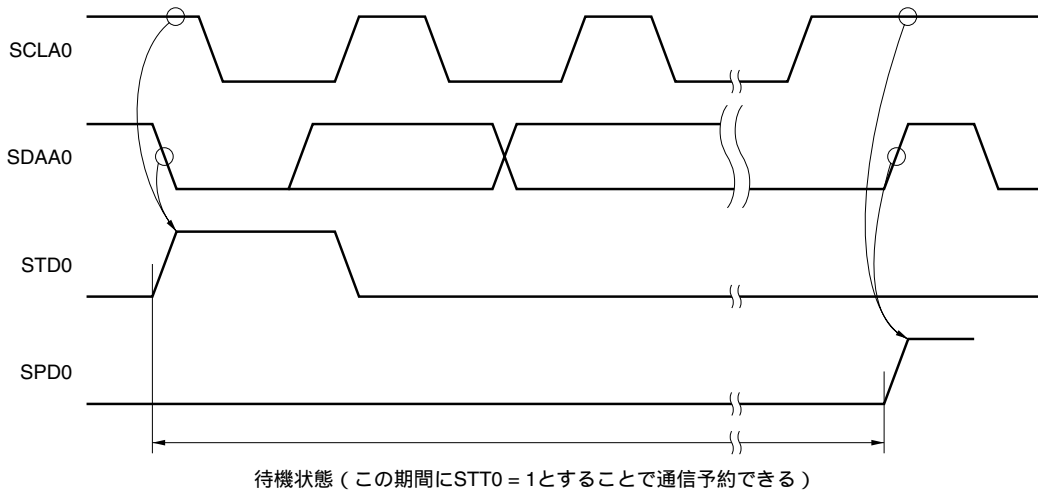
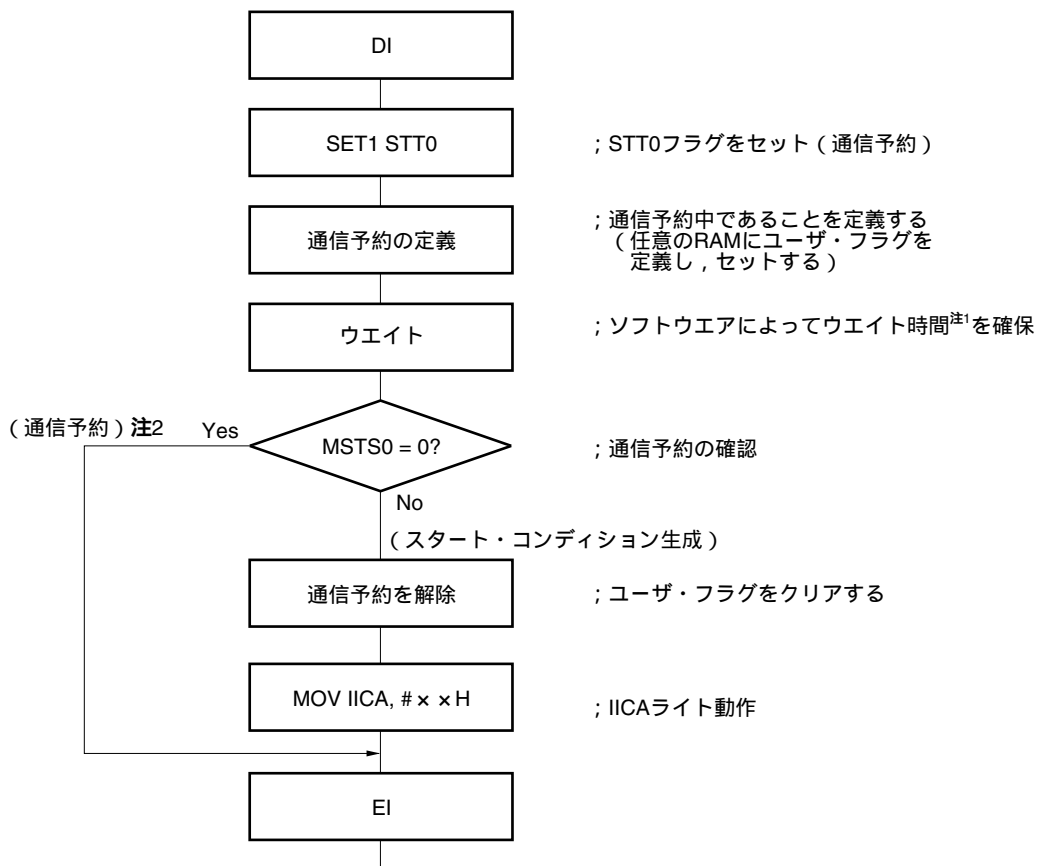


図16 - 27に通信予約の手順を示します。

図16 - 27 通信予約の手順



注1. ウェイト時間は次のようになります。

$$(IICWL\text{の設定値} + IICWH\text{の設定値} + 4) + t_F \times 2 \times f_{PRS} \quad [\text{クロック}]$$

- 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタ (IICA) への書き込みを実行します。

備考 STT0 : IICAコントロール・レジスタ0 (IICACTL0) のビット1

MST0 : IICAステータス・レジスタ0 (IICAS0) のビット7

IICA : IICAシフト・レジスタ

IICWL : IICAロウ・レベル幅設定レジスタ

IICWH : IICAハイ・レベル幅設定レジスタ

t_F : SDAA0, SCLA0信号の立ち下がり時間 (第28章 電気的特性参照)

f_{PRS} : 周辺ハードウェア・クロック周波数

(2) 通信予約機能禁止の場合 (IICAフラグ・レジスタ0 (IICAF0) のビット0 (IICRSV) = 1)

バスが通信中で、この通信に不参加の状態ではIICAコントロール・レジスタ0 (IICACTL0) のビット1 (STT0) をセット (1) すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクリッジを返さず、IICACTL0のビット6(LREL0) = 1で通信退避してバスを解放した) とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCF (IICAF0のビット7) で確認できます。STT0 = 1としてからSTCFがセット (1) されるまで5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

16.5.15 その他の注意事項

(1) STCEN (IICAフラグ・レジスタ0 (IICAF0) のビット1) = 0の場合

I²C動作許可 (IICE0 = 1) 直後, 実際のバス状態にかかわらず通信状態 (IICBSY (IICAF0のビット6) = 1)と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は, まずストップ・コンディションを生成し, バスを解放してからマスタ通信を行ってください。

マルチマスタでは, バスが解放されていない (ストップ・コンディションを検出していない) 状態では, マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

IICAコントロール・レジスタ1 (IICACTL1) を設定する

IICAコントロール・レジスタ0 (IICACTL0) のビット7 (IICE0) をセット (1) する

IICACTL0のビット0 (SPT0) をセット (1) する

(2) STCEN = 1の場合

I²C動作許可 (IICE0 = 1) 直後, 実際のバス状態にかかわらず解放状態 (IICBSY = 0) と認識しますので, 1回目のスタート・コンディションを生成 (STT0 (IICAコントロール・レジスタ0 (IICACTL0) のビット1) = 1) する場合は, ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDAA0端子がロウ・レベルで, かつSCLA0端子がハイ・レベルのときに, I²C動作を許可して通信に途中参加すると, I²CのマクロはSDAA0端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は, アクノリッジを返し, 他者との間のI²C通信を妨害してしまいます。これを回避するために, 次の順番でI²Cを起動してください。

IICACTL0のビット4 (SPIE0) をクリア (0) し, ストップ・コンディション検出による割り込み要求信号 (INTIICA0) 発生を禁止する

IICACTL0のビット7 (IICE0) をセット (1) し, I²Cの動作を許可する

スタート・コンディションを検出するまで待つ

アクノリッジを返すまで (IICE0をセット (1) してから, 4~80クロック中) に, IICACTL0のビット6 (LREL0) をセット (1) にし, 強制的に検出を無効とする

(4) STT0, SPT0 (IICACTL0のビット1, 0) をセットしたあと, クリア (0) される前の再セットは禁止します。

(5) 送信予約をした場合には, SPIE0 (IICACTL0のビット4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に, IICAに通信データを書き込むことによって, 転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと, スタート時には割り込み要求が発生しないため, ウェイト状態で停止します。ただし, ソフトウェアでMSTS0 (IICAS0のビット7) を検出する場合には, SPIE0をセット (1) する必要はありません。

16.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

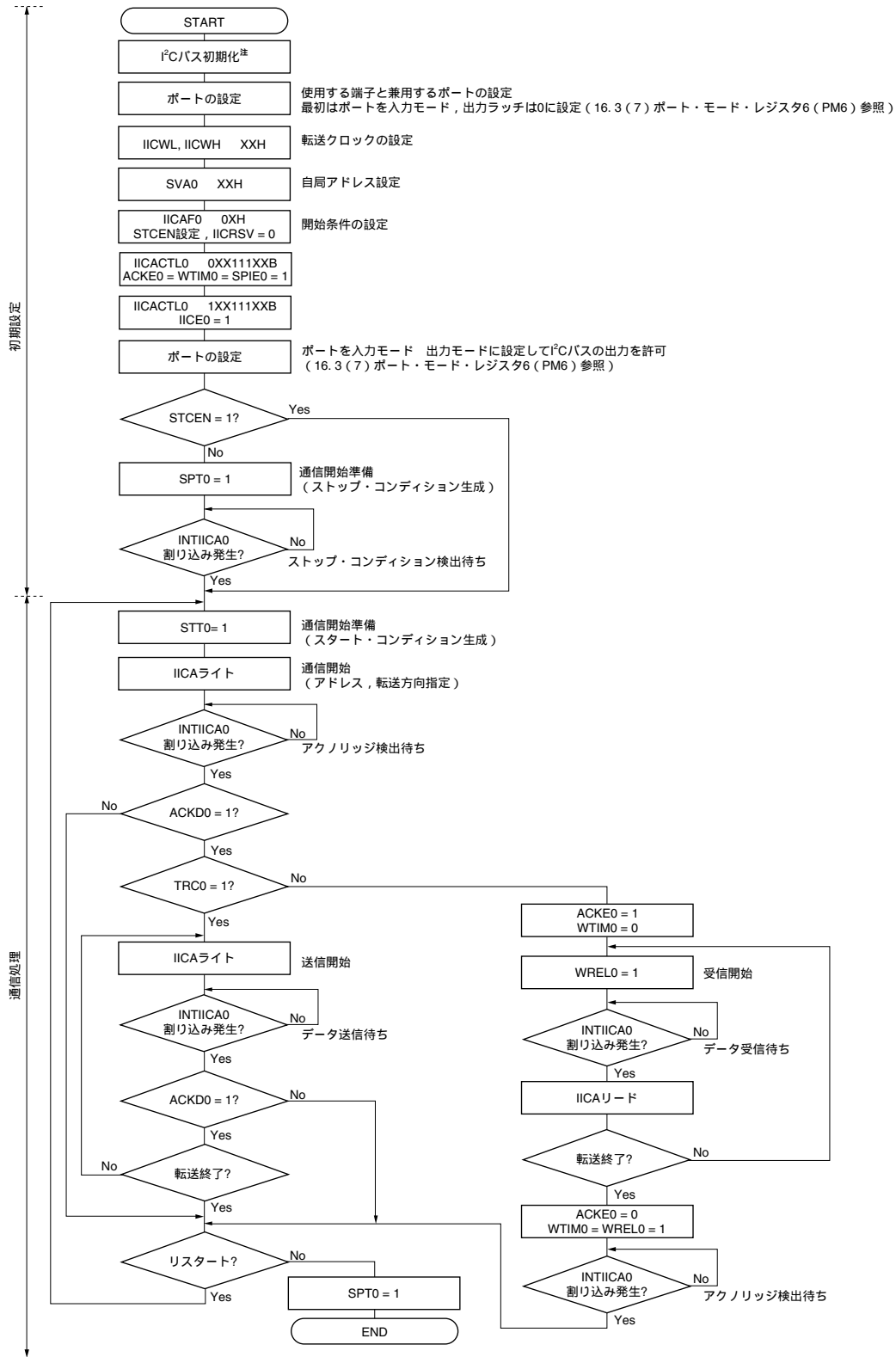
I²Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICA0割り込みの発生を待ちます。INTIICA0割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

(1) シングルマスタ・システムでのマスタ動作

図16-28 シングルマスタ・システムでのマスタ動作

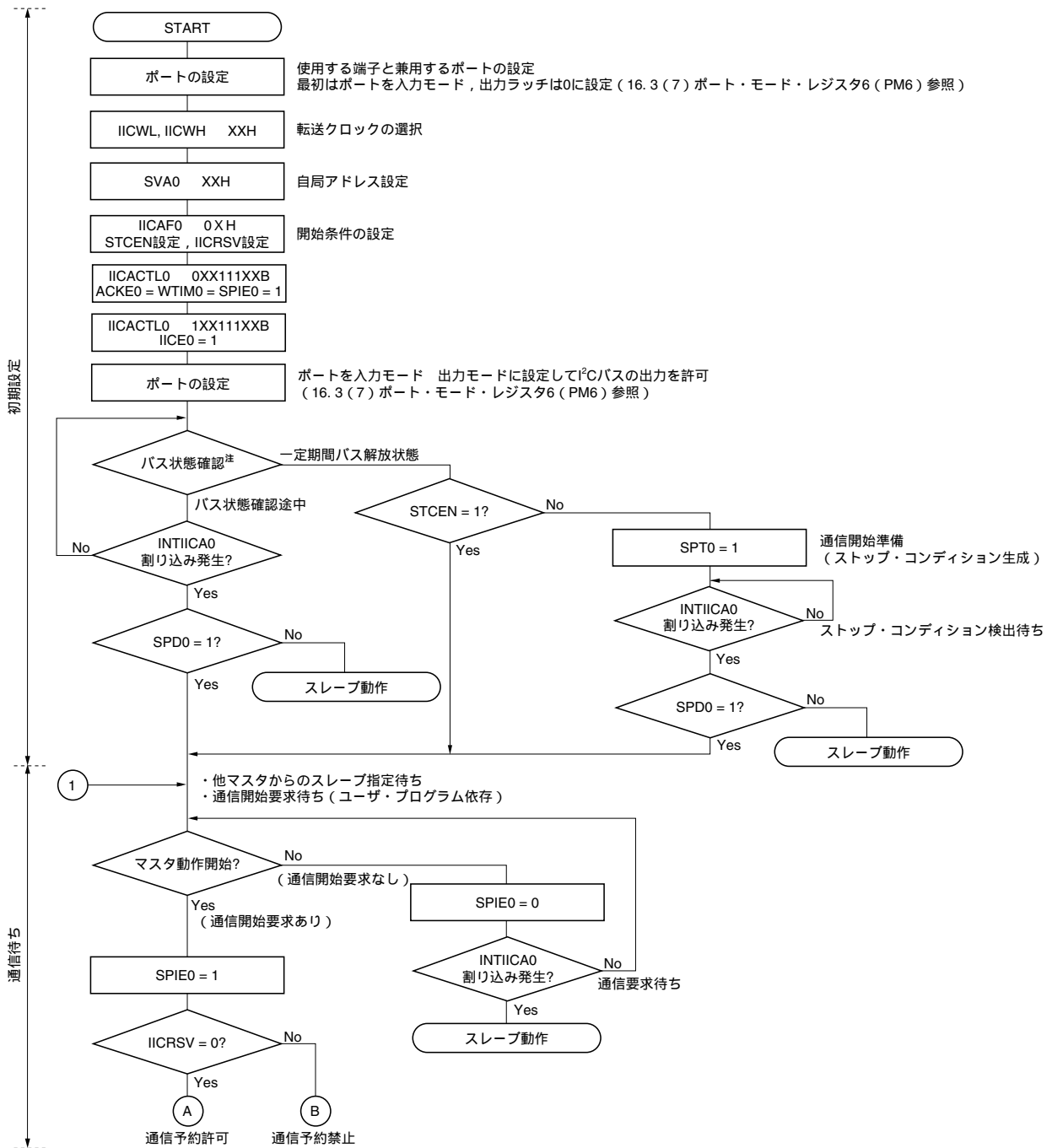


注 通信している製品の仕様に準拠し、I²Cバスを解放 (SCLA0, SDAA0端子 = ハイ・レベル) してください。たとえば、EEPROMがSDAA0端子にロウ・レベルを出力した状態であれば、SCLA0端子を出力ポートに設定し、SDAA0端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

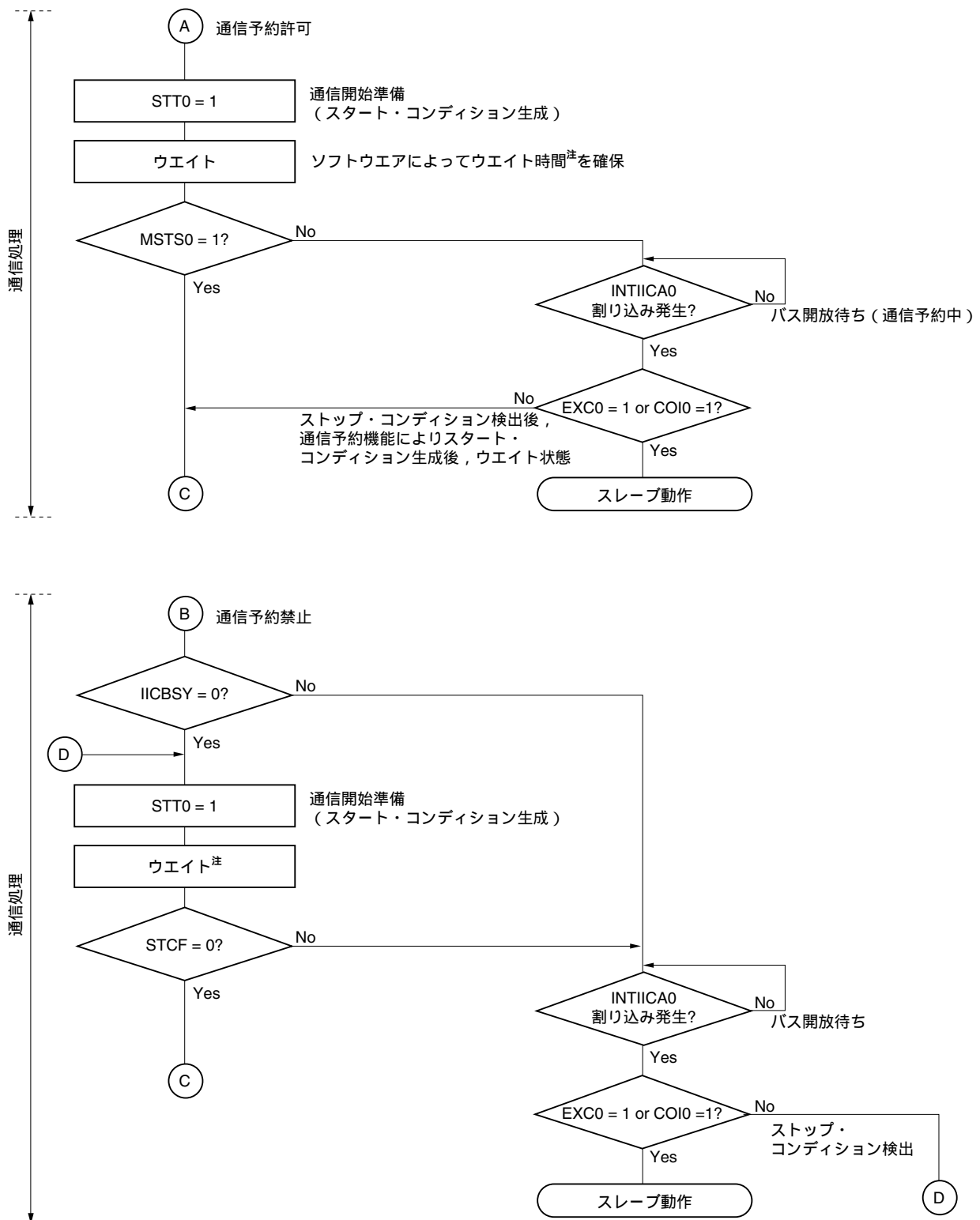
(2) マルチマスタ・システムでのマスタ動作

図16 - 29 マルチマスタ・システムでのマスタ動作 (1/3)



注 一定期間 (たとえば1フレーム分), バス解放状態 (CLD0ビット = 1, DAD0ビット = 1) であることを確認してください。定期的にSDAA0端子がロウ・レベルの場合は, 通信している製品の仕様に準拠し, I²Cバスを解放 (SCLA0, SDAA0端子 = ハイ・レベル) するか判断してください。

図16 - 29 マルチマスタ・システムでのマスタ動作 (2/3)

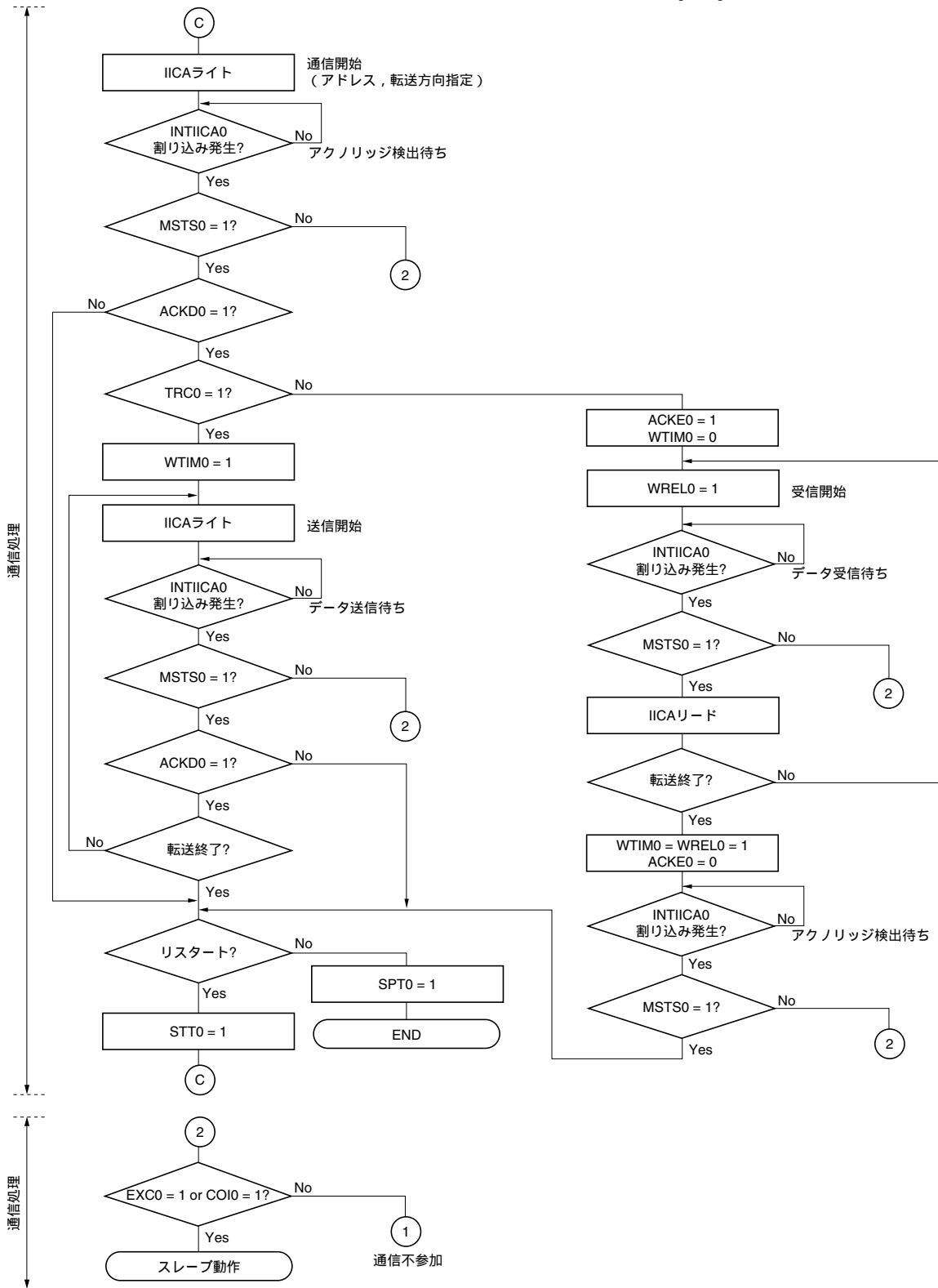


注 ウエイト時間は次のようになります。

$$(IICWL\text{の設定値} + IICWH\text{の設定値} + 4) + t_F \times 2 \times f_{PRS} \quad [\text{クロック}]$$

- 備考
- IICWL : IICAロウ・レベル幅設定レジスタ
 - IICWH : IICAハイ・レベル幅設定レジスタ
 - t_F : SDAA0, SCLA0信号の立ち下がり時間 (第28章 電気的特性参照)
 - f_{PRS} : 周辺ハードウェア・クロック周波数

図16 - 29 マルチマスタ・システムでのマスタ動作 (3/3)



備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

2. マルチマスタ・システムでマスタとして使用する場合は、INTIICA0割り込み発生ごとにMSTS0ビットをリードし、アービトレーション結果を確認してください。

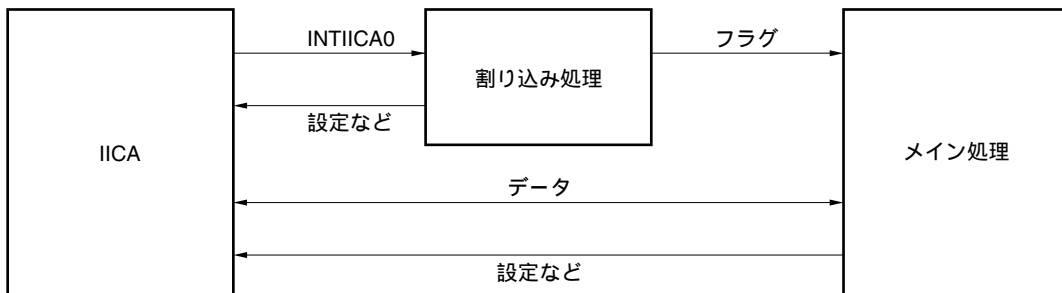
3. マルチマスタ・システムでスレープとして使用する場合は、INTIICA0割り込み発生ごとにIICAS0, IICAF0レジスタでステータスを確認して次に行う処理を決定してください。

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICA0割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICA0割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICA0の代わりにメイン処理に渡すという方法で、データ通信処理を行います。

通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード：データ通信を行っていない状態
- ・通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

レディ・フラグ

データ通信が可能になったことを示します。通常データ通信ではINTIICA0割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

通信方向フラグ

通信の方向を示します。TRC0の値と同じです。

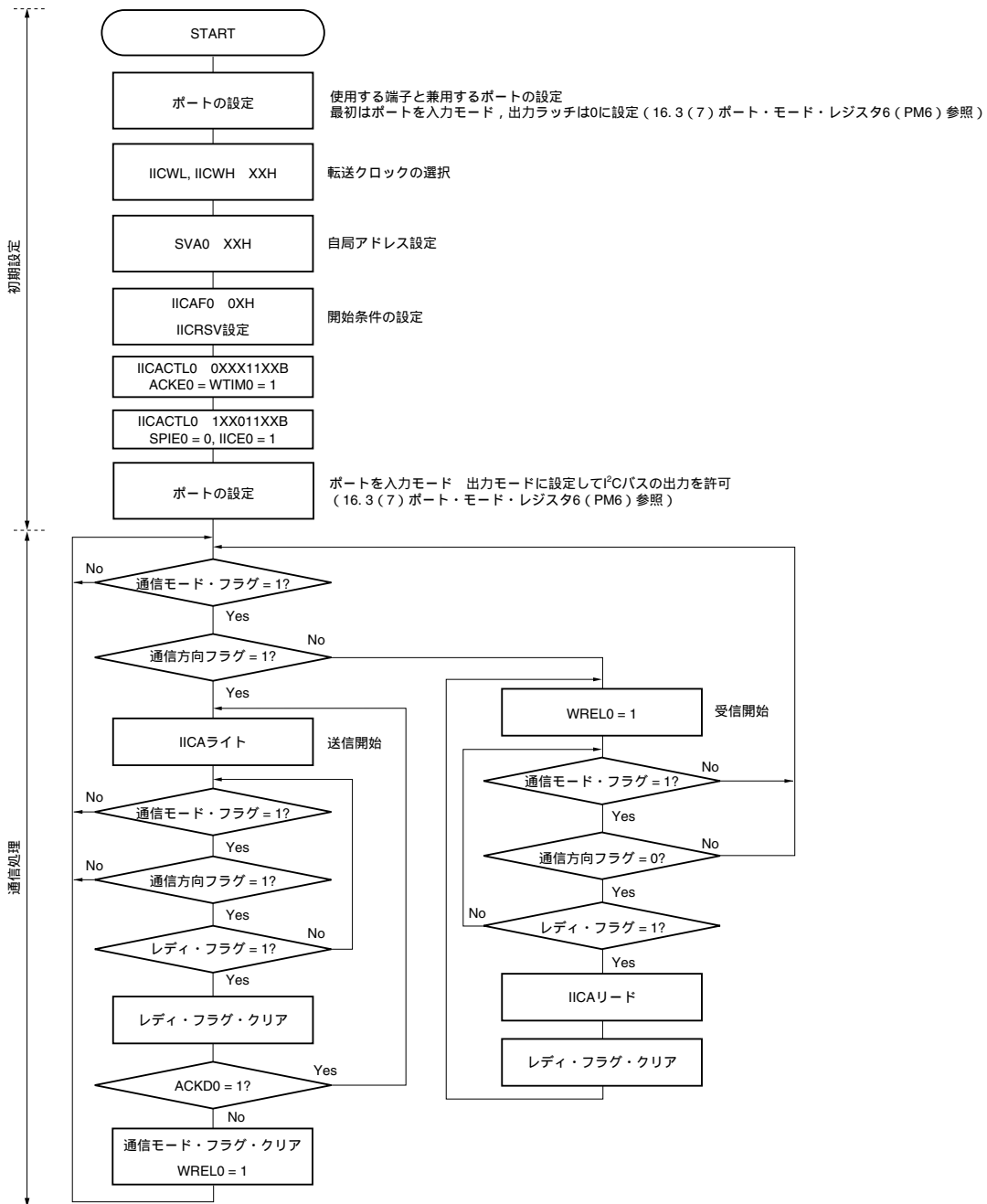
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図16 - 30 スレーブ動作手順（1）



備考 送信および受信フォーマットは通信している製品の仕様に準拠してください。

スレーブのINTIICA0割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICA0割り込みではステータスを確認して、次のように行います。

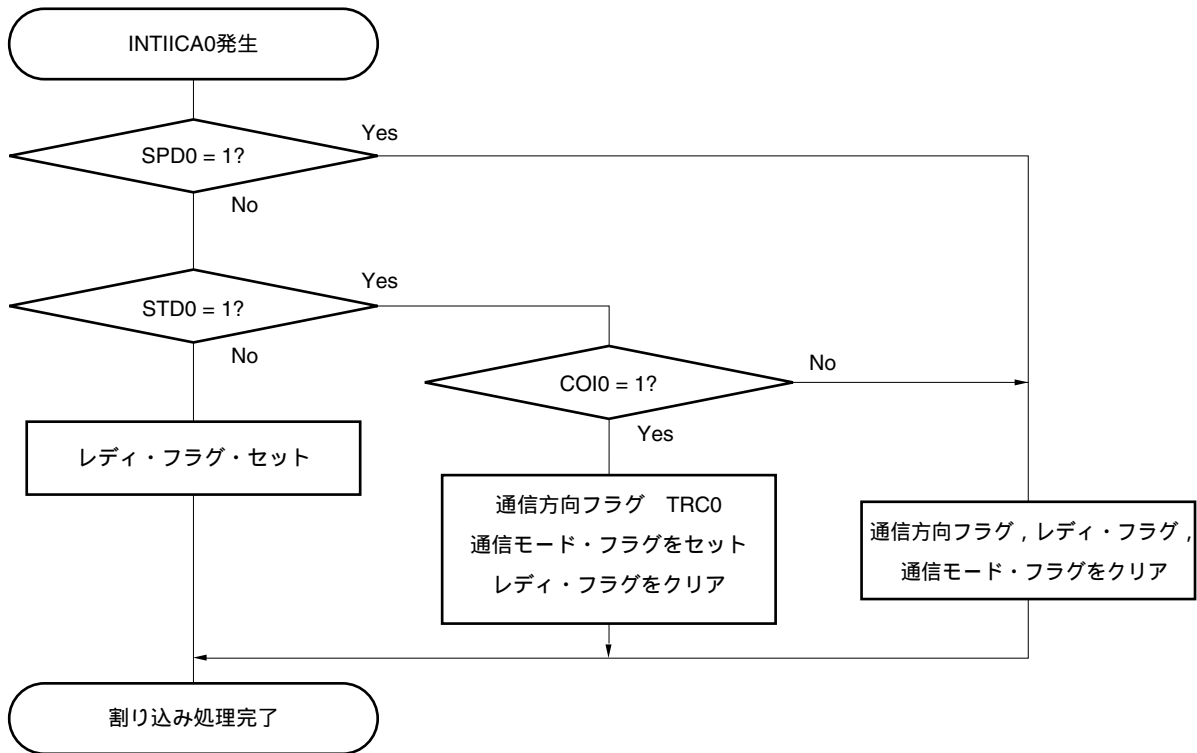
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。

データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の ~ は、図16-31 スレーブ動作手順(2)の ~ と対応しています。

図16-31 スレーブ動作手順(2)



16. 5. 17 I²C割り込み要求 (INTIICA0) の発生タイミング

次に、データの送受信、INTIICA0割り込み要求信号発生タイミングと、INTIICA0信号タイミングでのIICAS0レジスタの値を示します。

備考 ST : スタート・コンディション
AD6-AD0 : アドレス
R/W : 転送方向指定
 \overline{ACK} : アクノリッジ
D7-D0 : データ
SP : ストップ・コンディション

(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (送受信)

(i) WTIM0 = 0のとき

SPT0 = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4 5

1 : IICAS0 = 1000 × 110B
 2 : IICAS0 = 1000 × 000B
 3 : IICAS0 = 1000 × 000B (WTIM0をセット(1))^注
 4 : IICAS0 = 1000 × × 00B (SPT0をセット(1))
 5 : IICAS0 = 00000001B

注 ストップ・コンディションを生成するために、WTIM0をセット(1)し、INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき

SPT0 = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICAS0 = 1000 × 110B
 2 : IICAS0 = 1000 × 100B
 3 : IICAS0 = 1000 × × 00B (SPT0をセット(1))
 4 : IICAS0 = 00000001B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

(i) WTIM0 = 0のとき

STT0 = 1						SPT0 = 1						
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1		2 3				4		5 6 7

1 : IICAS0 = 1000 × 110 B
 2 : IICAS0 = 1000 × 000 B (WTIM0をセット(1))^{注1}
 3 : IICAS0 = 1000 × × 00 B (WTIM0をクリア(0))^{注2}, STT0をセット(1)
 4 : IICAS0 = 1000 × 110 B
 5 : IICAS0 = 1000 × 000 B (WTIM0をセット(1))^{注3}
 6 : IICAS0 = 1000 × × 00 B (SPT0をセット(1))
 7 : IICAS0 = 00000001 B

注1. スタート・コンディションを生成するために, WTIM0をセット(1)し, INTIICA0割り込み要求信号の発生タイミングを変更してください。
 2. 設定を元に戻すために, WTIM0をクリア(0)してください。
 3. ストップ・コンディションを生成するために, WTIM0をセット(1)し, INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき

STT0 = 1						SPT0 = 1						
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1		2				3		4 5

1 : IICAS0 = 1000 × 110 B
 2 : IICAS0 = 1000 × × 00 B (STT0をセット(1))
 3 : IICAS0 = 1000 × 110 B
 4 : IICAS0 = 1000 × × 00 B (SPT0をセット(1))
 5 : IICAS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

(i) WTIM0 = 0のとき

SPT0 = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4 5

1 : IICAS0 = 1010 × 110 B
 2 : IICAS0 = 1010 × 000 B
 3 : IICAS0 = 1010 × 000 B (WTIM0をセット(1)※)
 4 : IICAS0 = 1010 × × 00 B (SPT0をセット(1))
 5 : IICAS0 = 00000001 B

注 ストップ・コンディションを生成するために、WTIM0をセット(1)し、INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき

SPT0 = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

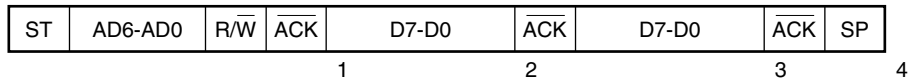
1 : IICAS0 = 1010 × 110 B
 2 : IICAS0 = 1010 × 100 B
 3 : IICAS0 = 1010 × × 00 B (SPT0をセット(1))
 4 : IICAS0 = 00001001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(2) スレーブ動作 (スレーブ・アドレス受信時)

(a) Start ~ Address ~ Data ~ Data ~ Stop

(i) WTIM0 = 0のとき



1 : IICAS0 = 0001 × 110 B

2 : IICAS0 = 0001 × 000 B

3 : IICAS0 = 0001 × 000 B

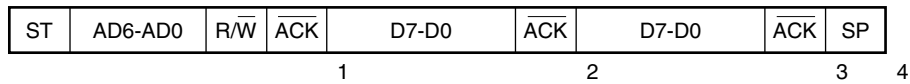
4 : IICAS0 = 00000001 B

備考 必ず発生

SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき



1 : IICAS0 = 0001 × 110 B

2 : IICAS0 = 0001 × 100 B

3 : IICAS0 = 0001 × × 00 B

4 : IICAS0 = 00000001 B

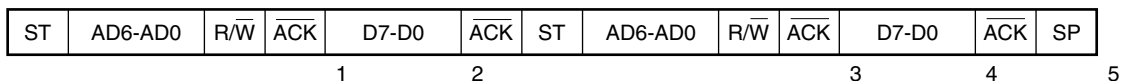
備考 必ず発生

SPIE0 = 1のときだけ発生

× 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0のとき (リスタート後, SVA0一致)



1 : IICAS0 = 0001 x 110 B

2 : IICAS0 = 0001 x 000 B

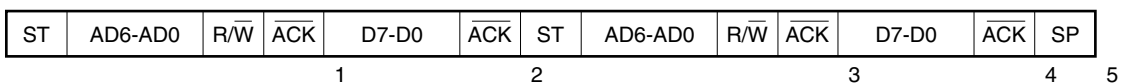
3 : IICAS0 = 0001 x 110 B

4 : IICAS0 = 0001 x 000 B

5 : IICAS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき (リスタート後, SVA0一致)



1 : IICAS0 = 0001 x 110 B

2 : IICAS0 = 0001 x x 00 B

3 : IICAS0 = 0001 x 110 B

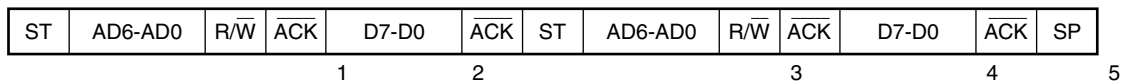
4 : IICAS0 = 0001 x x 00 B

5 : IICAS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM0 = 0のとき (リスタート後, アイドル不一致 (拡張コード))



1 : IICAS0 = 0001 x 110 B

2 : IICAS0 = 0001 x 000 B

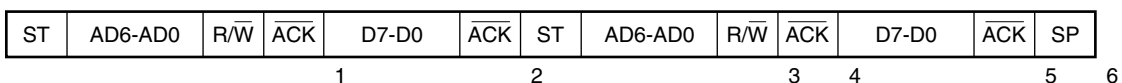
3 : IICAS0 = 0010 x 010 B

4 : IICAS0 = 0010 x 000 B

5 : IICAS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき (リスタート後, アイドル不一致 (拡張コード))



1 : IICAS0 = 0001 x 110 B

2 : IICAS0 = 0001 x x 00 B

3 : IICAS0 = 0010 x 010 B

4 : IICAS0 = 0010 x 110 B

5 : IICAS0 = 0010 x x 00 B

6 : IICAS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3		4

1 : IICAS0 = 0001 x 110 B
 2 : IICAS0 = 0001 x 000 B
 3 : IICAS0 = 00000110 B
 4 : IICAS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3		4

1 : IICAS0 = 0001 x 110 B
 2 : IICAS0 = 0001 x x 00 B
 3 : IICAS0 = 00000110 B
 4 : IICAS0 = 00000001 B

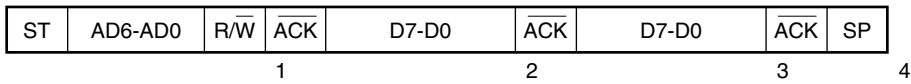
備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(3) スレーブ動作 (拡張コード受信時)

拡張コード受信時は、常に通信に参加しています

(a) Start ~ Code ~ Data ~ Data ~ Stop

(i) WTIM0 = 0のとき



1 : IICAS0 = 0010 x 010 B

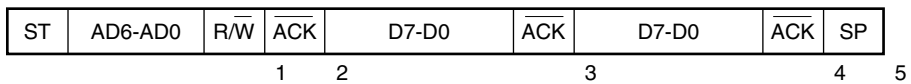
2 : IICAS0 = 0010 x 000 B

3 : IICAS0 = 0010 x 000 B

4 : IICAS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 x 任意

(ii) WTIM0 = 1のとき



1 : IICAS0 = 0010 x 010 B

2 : IICAS0 = 0010 x 110 B

3 : IICAS0 = 0010 x 100 B

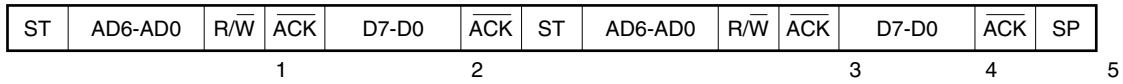
4 : IICAS0 = 0010 x x 00 B

5 : IICAS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 x 任意

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

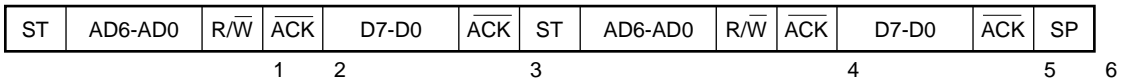
(i) WTIM0 = 0のとき (リスタート後, SVA0一致)



- 1 : IICAS0 = 0010 × 010 B
- 2 : IICAS0 = 0010 × 000 B
- 3 : IICAS0 = 0001 × 110 B
- 4 : IICAS0 = 0001 × 000 B
- 5 : IICAS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき (リスタート後, SVA0一致)

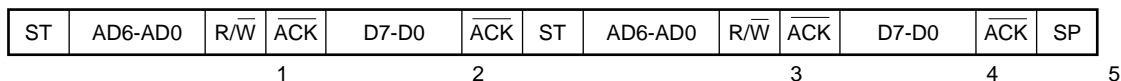


- 1 : IICAS0 = 0010 × 010 B
- 2 : IICAS0 = 0010 × 110 B
- 3 : IICAS0 = 0010 × × 00 B
- 4 : IICAS0 = 0001 × 110 B
- 5 : IICAS0 = 0001 × × 00 B
- 6 : IICAS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM0 = 0のとき (リスタート後, 拡張コード受信)



1 : IICAS0 = 0010 x 010 B

2 : IICAS0 = 0010 x 000 B

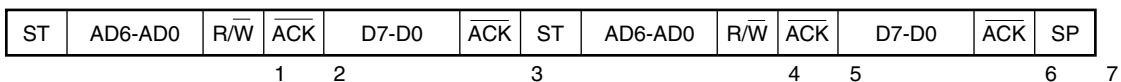
3 : IICAS0 = 0010 x 010 B

4 : IICAS0 = 0010 x 000 B

5 : IICAS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき (リスタート後, 拡張コード受信)



1 : IICAS0 = 0010 x 010 B

2 : IICAS0 = 0010 x 110 B

3 : IICAS0 = 0010 x x 00 B

4 : IICAS0 = 0010 x 010 B

5 : IICAS0 = 0010 x 110 B

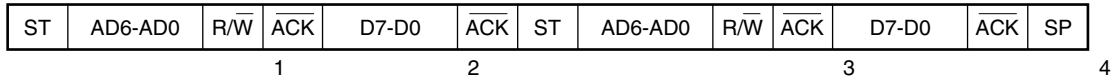
6 : IICAS0 = 0010 x x 00 B

7 : IICAS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICAS0 = 00100010 B

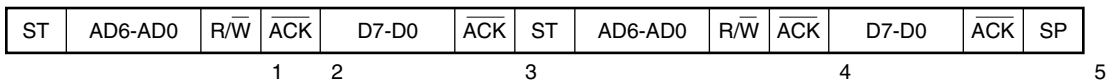
2 : IICAS0 = 00100000 B

3 : IICAS0 = 00000110 B

4 : IICAS0 = 00000001 B

- 備考** 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICAS0 = 00100010 B

2 : IICAS0 = 00100110 B

3 : IICAS0 = 00100 × 00 B

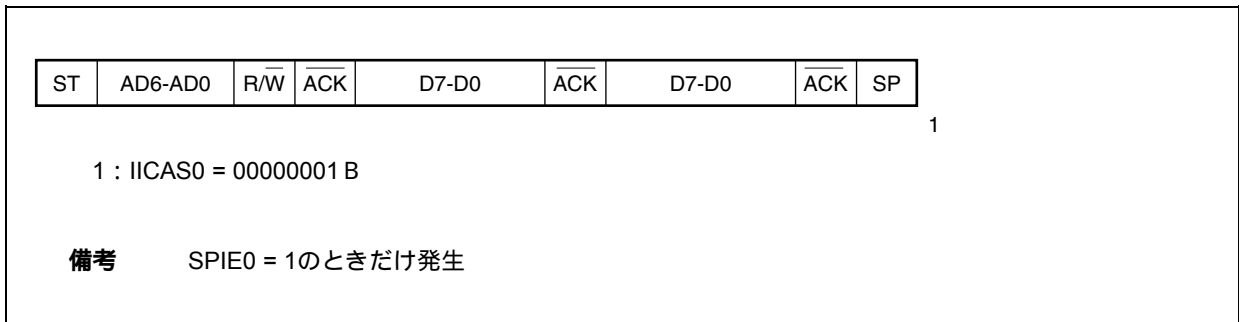
4 : IICAS0 = 00000110 B

5 : IICAS0 = 00000001 B

- 備考** 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop

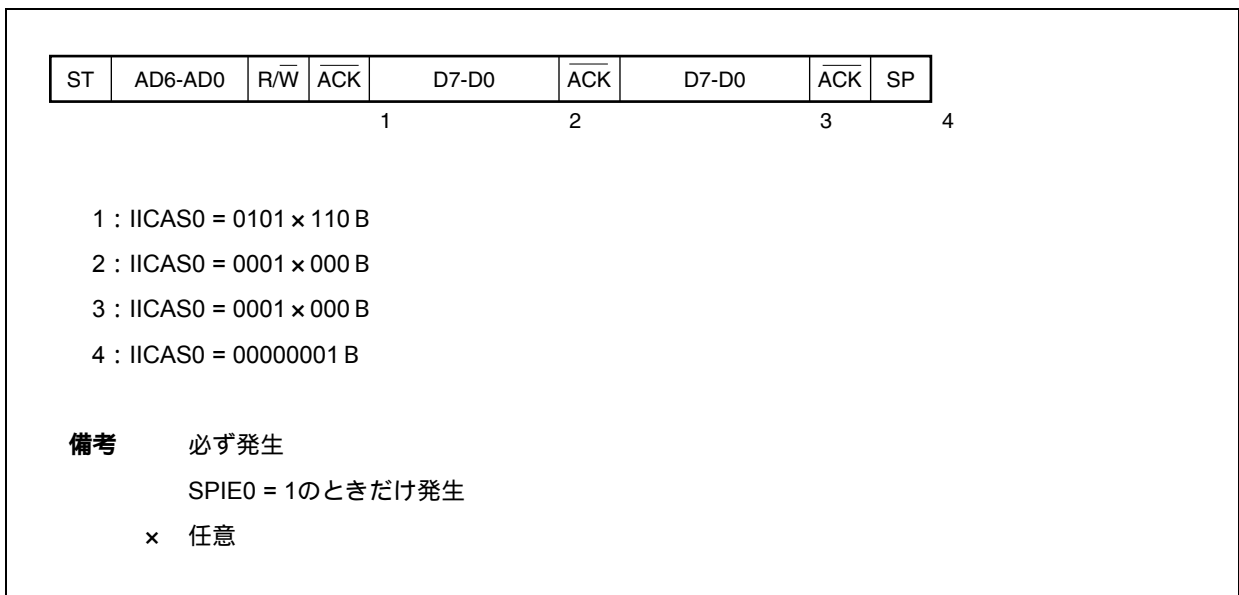


(5) アービトレーション負けの動作 (アービトレーション負けのあと、スレーブとして動作)

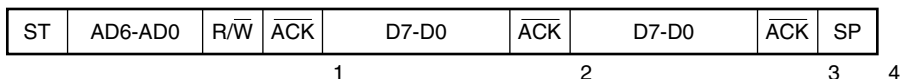
マルチマスタ・システムでマスタとして使用する場合は、INTIICA0割り込み要求信号の発生ごとに MSTS0ビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIM0 = 0のとき



(ii) WTIM0 = 1のとき



1 : IICAS0 = 0101 x 110 B

2 : IICAS0 = 0001 x 100 B

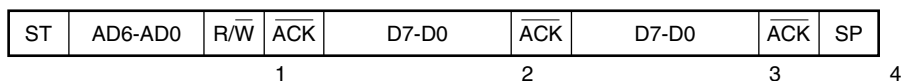
3 : IICAS0 = 0001 x x 00 B

4 : IICAS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 x 任意

(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIM0 = 0のとき



1 : IICAS0 = 0110 x 010 B

2 : IICAS0 = 0010 x 000 B

3 : IICAS0 = 0010 x 000 B

4 : IICAS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 x 任意

(ii) WTIM0 = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1 2		3		4	5

1 : IICAS0 = 0110 x 010 B

2 : IICAS0 = 0010 x 110 B

3 : IICAS0 = 0010 x 100 B

4 : IICAS0 = 0010 x x 00 B

5 : IICAS0 = 00000001 B

- 備考** 必ず発生
 SPIE0 = 1のときだけ発生
 x 任意

(6) アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)

マルチマスタ・システムでマスタとして使用する場合は, INTIICA0割り込み要求信号の発生ごとに MSTS0ビットをリードし, アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIM0 = 1のとき)

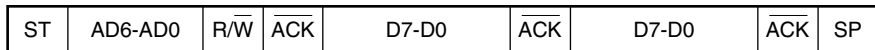
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1					2

1 : IICAS0 = 01000110 B

2 : IICAS0 = 00000001 B

- 備考** 必ず発生
 SPIE0 = 1のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合



1

2

1 : IICAS0 = 0110 x 010 B

ソフトウェアでLREL0 = 1を設定

2 : IICAS0 = 00000001 B

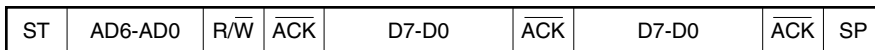
備考 必ず発生

SPIE0 = 1のときだけ発生

x 任意

(c) データ転送時にアービトレーションに負けた場合

(i) WTIM0 = 0のとき



1

2

3

1 : IICAS0 = 10001110 B

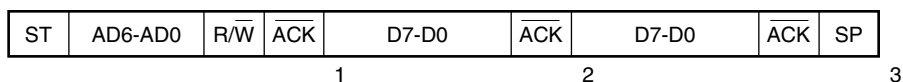
2 : IICAS0 = 01000000 B

3 : IICAS0 = 00000001 B

備考 必ず発生

SPIE0 = 1のときだけ発生

(ii) WTIM0 = 1のとき



1 : IICAS0 = 10001110 B

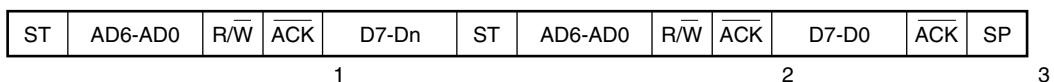
2 : IICAS0 = 01000100 B

3 : IICAS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生

(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外 (例 SVA0不一致)



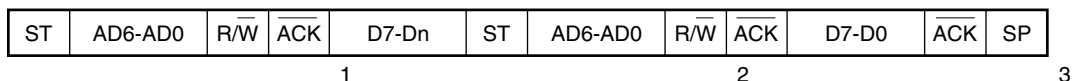
1 : IICAS0 = 1000 × 110 B

2 : IICAS0 = 01000110 B

3 : IICAS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意
 n = 6-0

(ii) 拡張コード



1 : IICAS0 = 1000 x 110 B

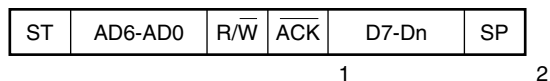
2 : IICAS0 = 01100010 B

ソフトウェアでLREL0 = 1を設定

3 : IICAS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意
 n = 6-0

(e) データ転送時にストップ・コンディションで負けた場合



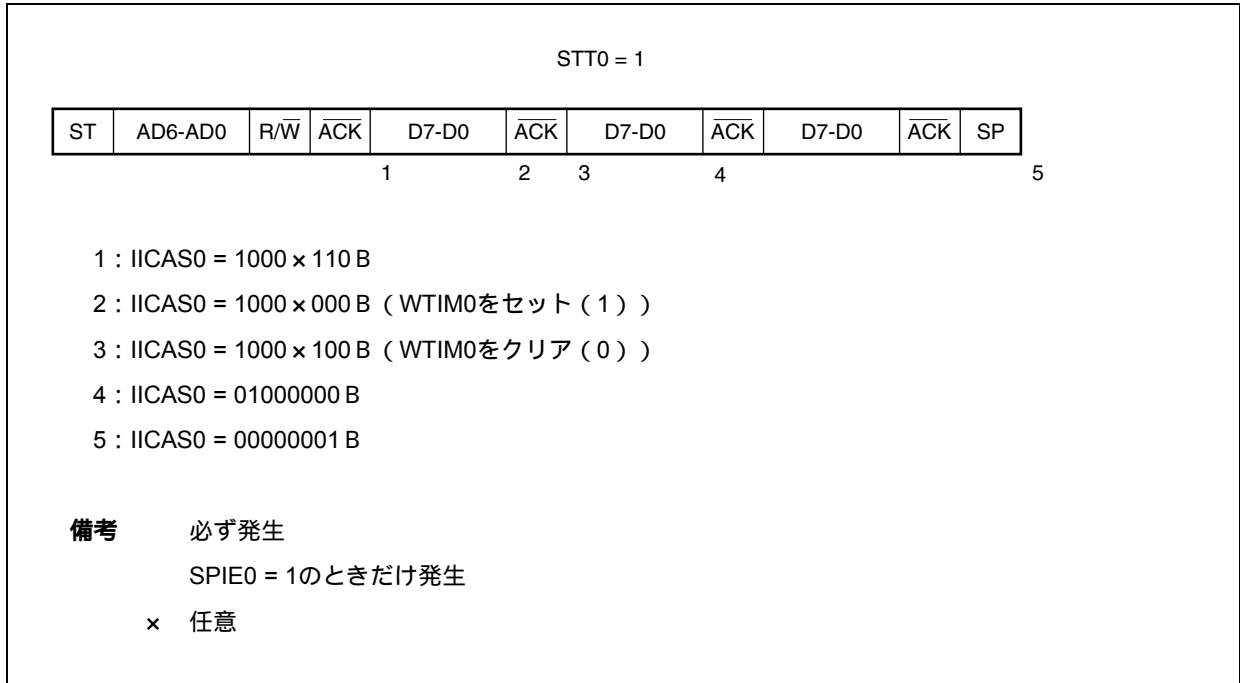
1 : IICAS0 = 10000110 B

2 : IICAS0 = 01000001 B

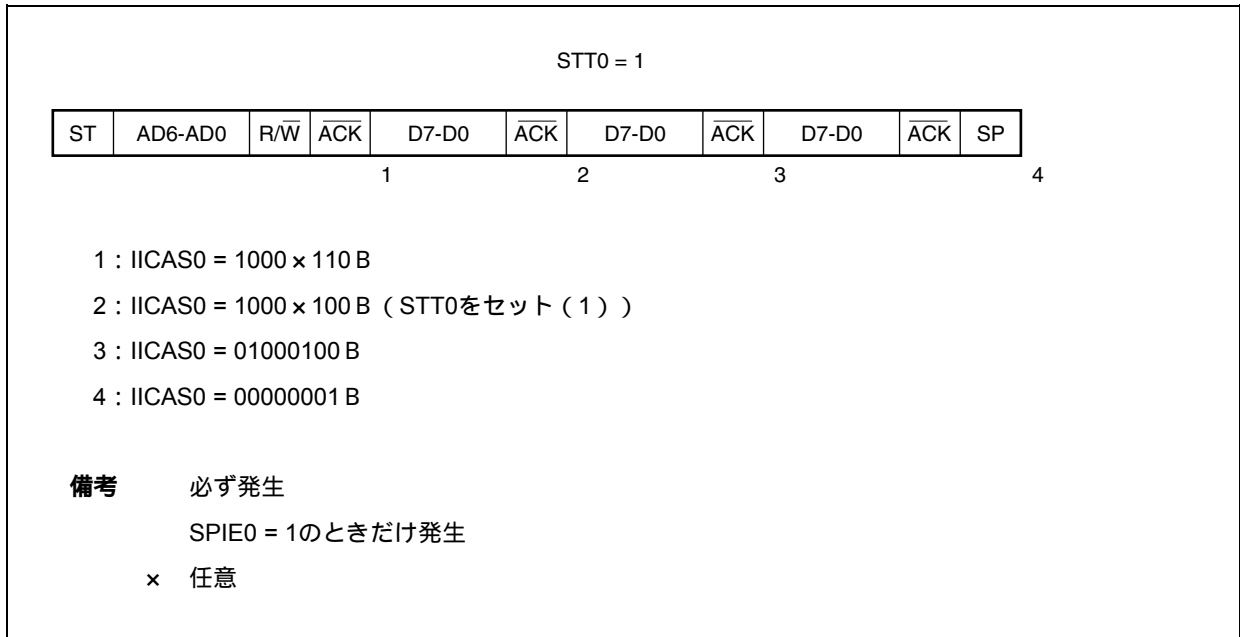
備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意
 n = 6-0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0 = 0のとき



(ii) WTIM0 = 1のとき



(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIM0 = 0のとき

STT0 = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2	3 4

1 : IICAS0 = 1000 × 110 B
 2 : IICAS0 = 1000 × 000 B (WTIM0をセット (1))
 3 : IICAS0 = 1000 × × 00 B (STT0をセット (1))
 4 : IICAS0 = 01000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき

STT0 = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2	3

1 : IICAS0 = 1000 × 110 B
 2 : IICAS0 = 1000 × × 00 B (STT0をセット (1))
 3 : IICAS0 = 01000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0 = 0のとき

SPT0 = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3		4		5

1 : IICAS0 = 1000 × 110 B
 2 : IICAS0 = 1000 × 000 B (WTIM0をセット (1))
 3 : IICAS0 = 1000 × 100 B (WTIM0をクリア (0))
 4 : IICAS0 = 01000100 B
 5 : IICAS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき

SPT0 = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3		4		4

1 : IICAS0 = 1000 × 110 B
 2 : IICAS0 = 1000 × 100 B (SPT0をセット (1))
 3 : IICAS0 = 01000100 B
 4 : IICAS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

16.6 タイミング・チャート

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRC0ビット（IICAステータス・レジスタ0（IICAS0）のビット3）を送信し、スレーブとのシリアル通信を開始します。

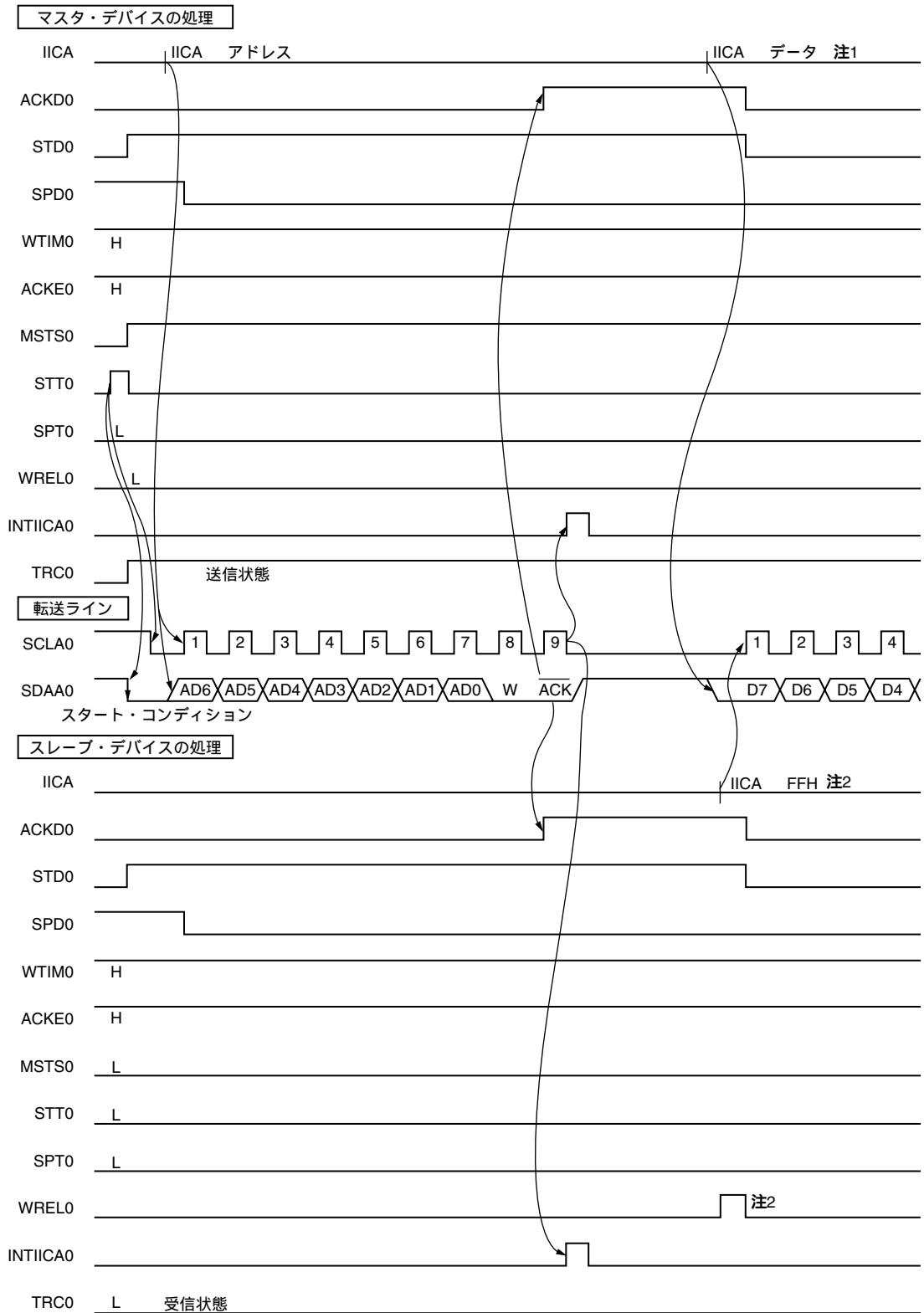
データ通信のタイミング・チャートを図16 - 32，図16 - 33に示します。

シリアル・クロック（SCLA0）の立ち下がりに同期してIICAシフト・レジスタ（IICA）のシフト動作が行われ、送信データがSOラッチに転送され、SDAA0端子からMSBファーストで出力されます。

また、SCLA0の立ち上がりでSDAA0端子に入力されたデータがIICAに取り込まれます。

図16 - 32 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

(1) スタート・コンディション~アドレス

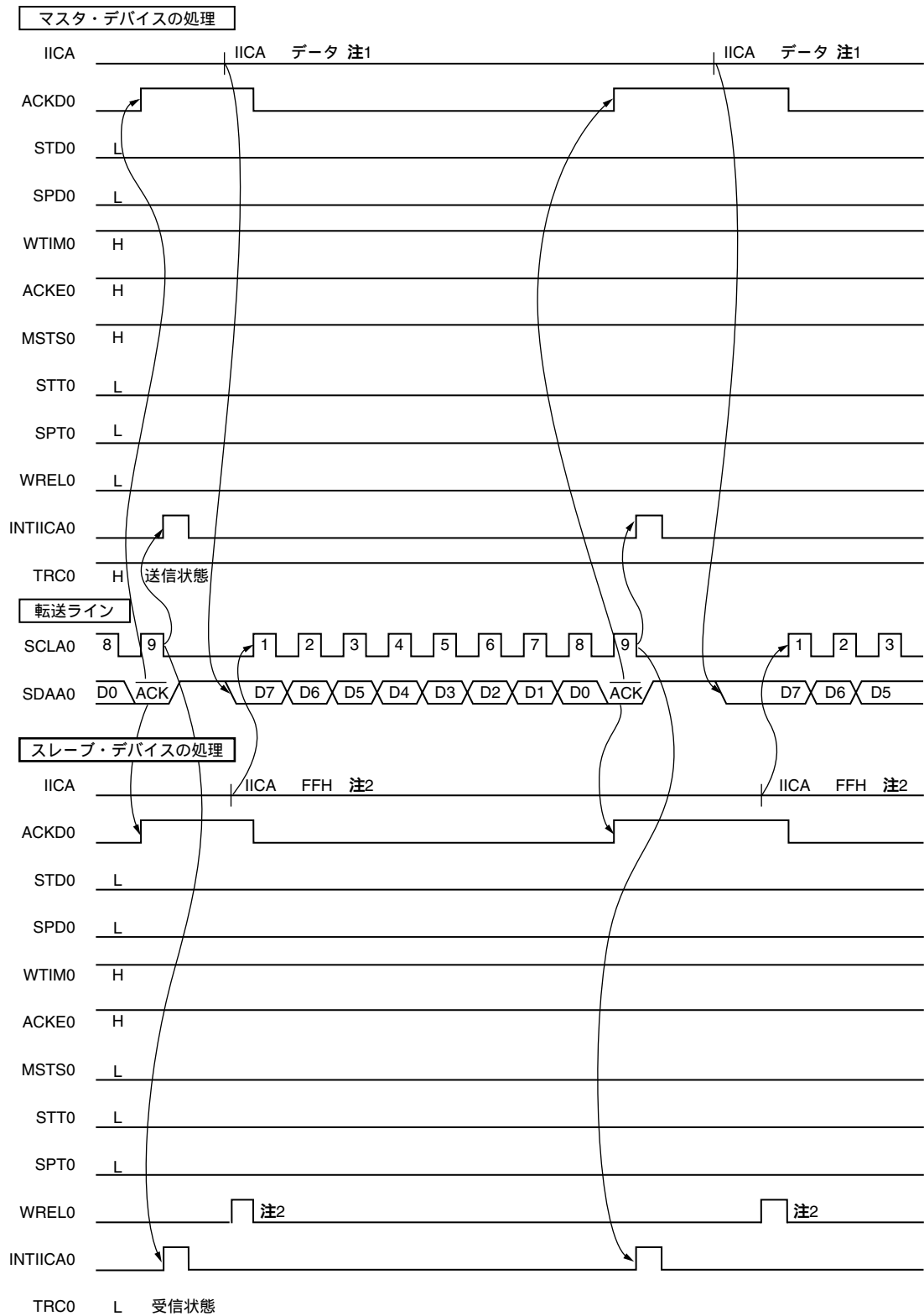


注 1. マスタ送信時のウエイト解除は, WREL0のセットではなく, IICAへのデータ書き込みで行ってください。

2. スレーブ・ウエイト解除は, IICA FFHまたはWREL0のセットのどちらかで行ってください。

図16 - 32 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

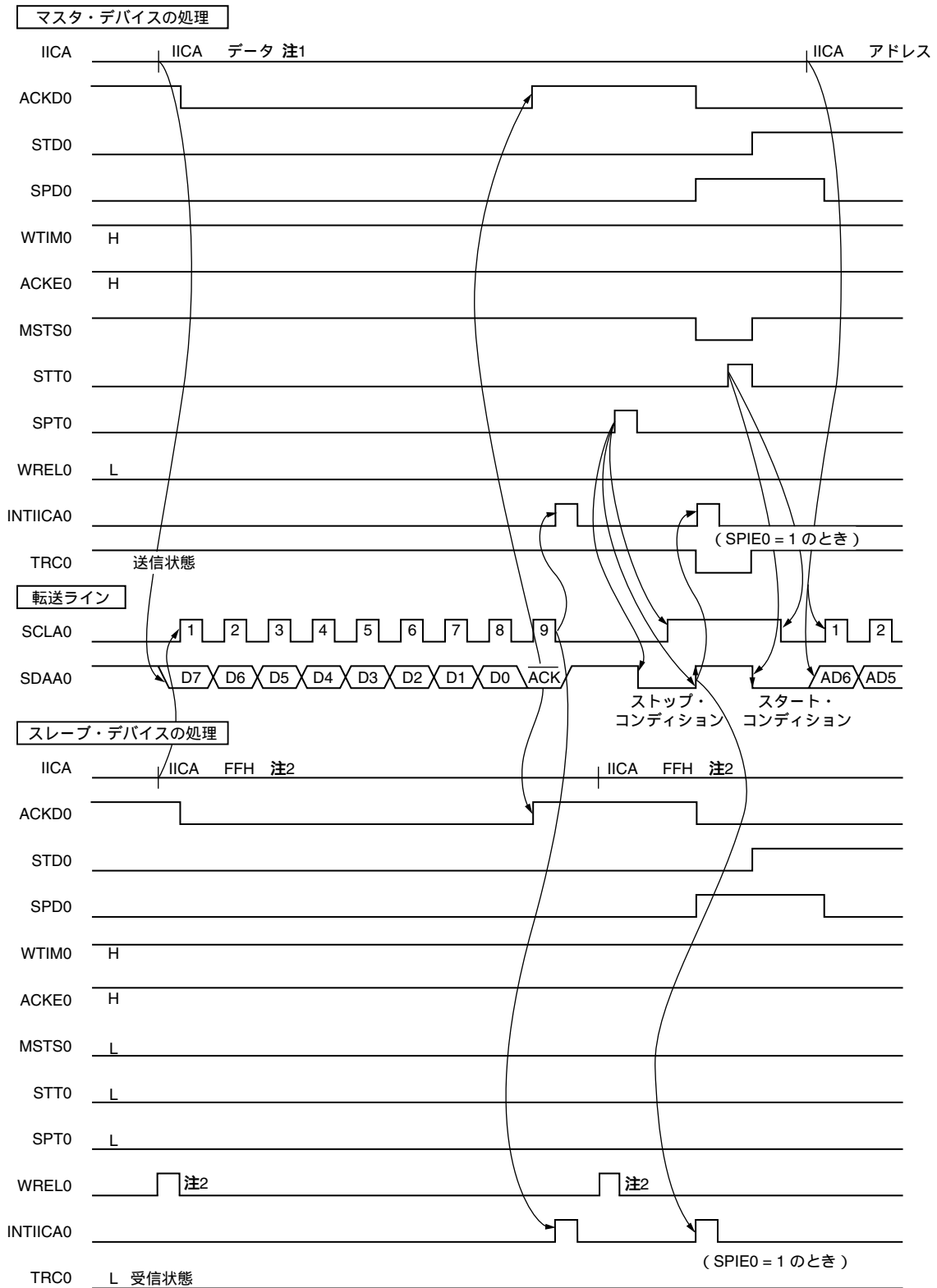
(2) データ



- 注 1. マスタ送信時のウエイト解除は, WRELOのセットではなく, IICAへのデータ書き込みで行ってください。
2. スレーブ・ウエイト解除は, IICA FFHまたはWRELOのセットのどちらかで行ってください。

図16 - 32 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

(3) ストップ・コンディション



- 注 1. マスタ送信時のウエイト解除は, WRELOのセットではなく, IICAへのデータ書き込みで行ってください。
2. スレーブ・ウエイト解除は, IICA FFHまたはWRELOのセットのどちらかで行ってください。

図16 - 33 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウェイト選択時) (1/3)

(1) スタート・コンディション~アドレス

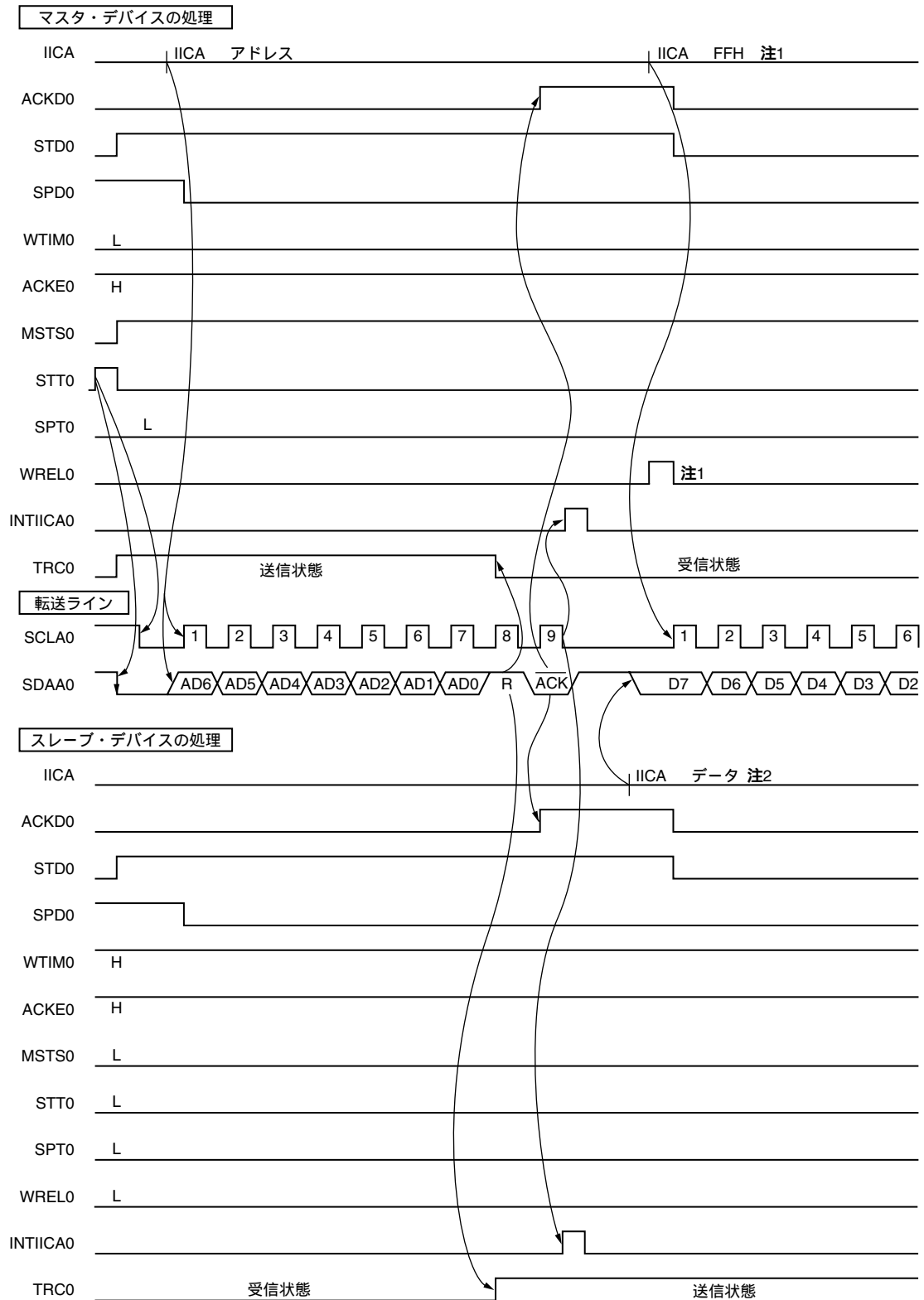
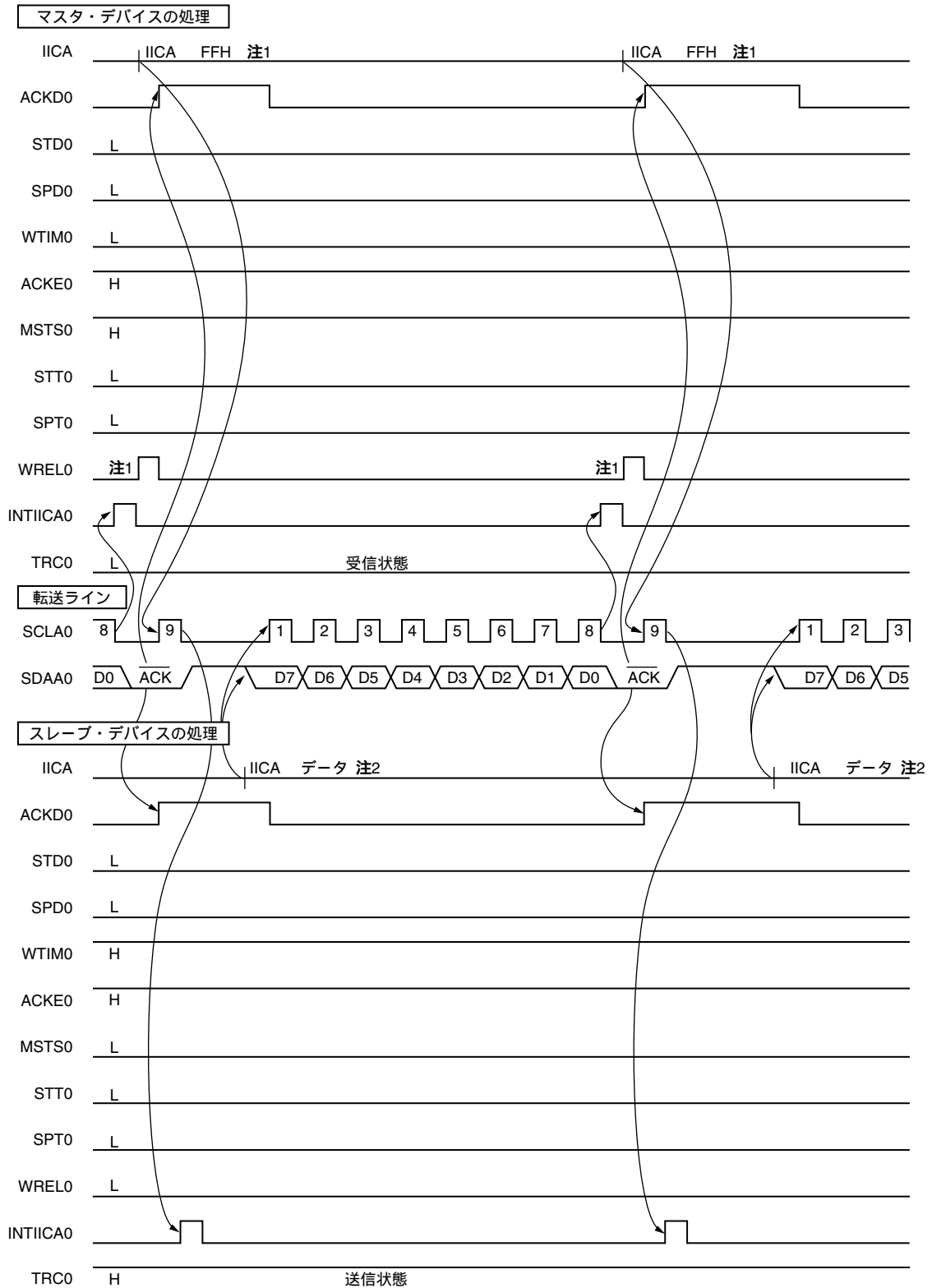


図16 - 33 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウエイト選択時) (2/3)

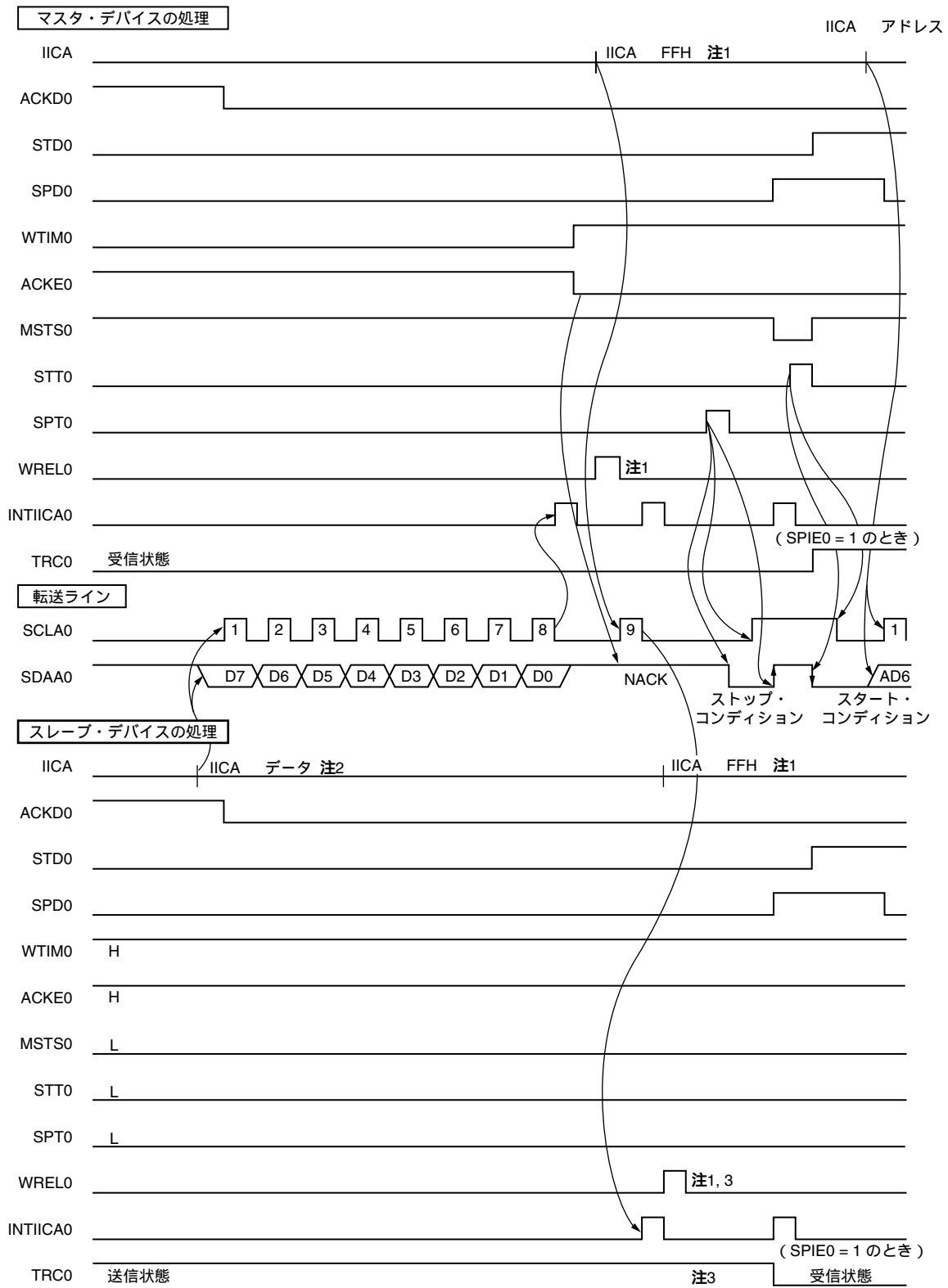
(2) データ



- 注 1. マスタ・ウエイト解除は, IICA FFHまたはWREL0のセットのどちらかで行ってください。
- 2. スレーブ送信時のウエイト解除は, WREL0のセットではなく, IICAへのデータ書き込みで行ってください。

図16-33 スレーブ マスタ通信例 (マスタ: 8 クロック, スレーブ: 9クロックでウエイト選択時) (3/3)

(3) ストップ・コンディション



第17章 乗除算器

17.1 乗除算器の機能

乗除算器は、78K0/Kx2-Aマイクロコントローラの全製品に搭載されています。

乗除算器には、次のような機能があります。

- ・ 16ビット × 16ビット = 32ビット (乗算)
- ・ 32ビット ÷ 16ビット = 32ビット 剰余16ビット (除算)

17.2 乗除算器の構成

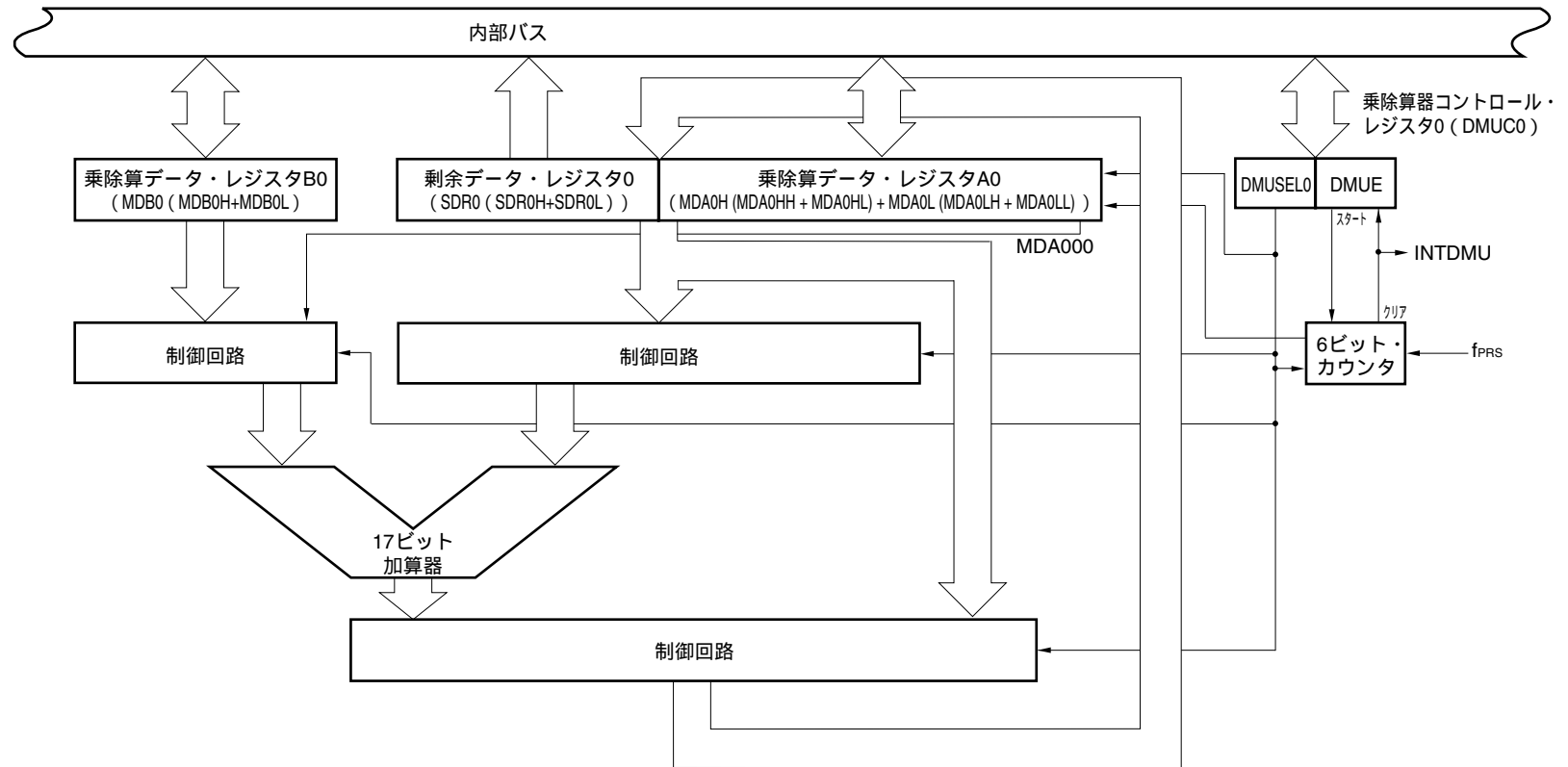
乗除算器は、次のハードウェアで構成されています。

表17 - 1 乗除算器の構成

項 目	構 成
レジスタ	剰余データ・レジスタ0 (SDR0) 乗除算データ・レジスタA0 (MDA0H, MDA0L) 乗除算データ・レジスタB0 (MDB0)
制御レジスタ	乗除算器コントロール・レジスタ0 (DMUC0)

乗除算器のブロック図を図17 - 1に示します。

図17-1 乗除算器のブロック図



(1) 剰余データ・レジスタ0 (SDR0)

SDR0は、剰余データ格納用の16ビット・レジスタです。乗算モード時は“0”が、除算モード時は演算結果の“剰余”が格納されます。

SDR0は8ビット・メモリ命令または16ビット・メモリ命令で読み出せます。

リセット信号の発生により、0000Hになります。

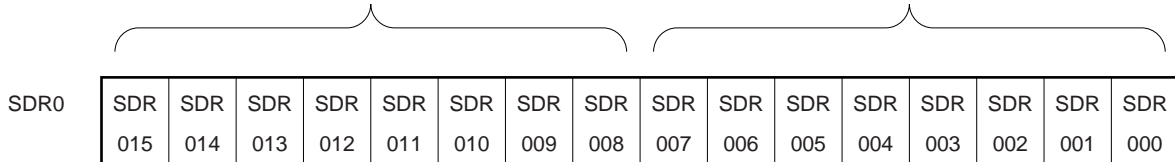
図17 - 2 剰余データ・レジスタ0 (SDR0) のフォーマット

アドレス : FF60H, FF61H リセット時 : 0000H R

略号

FF61H (SDR0H)

FF60H (SDR0L)



注意1. 演算処理中(乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1のとき)に SDR0の値を読み出した場合、その値は保証されません。

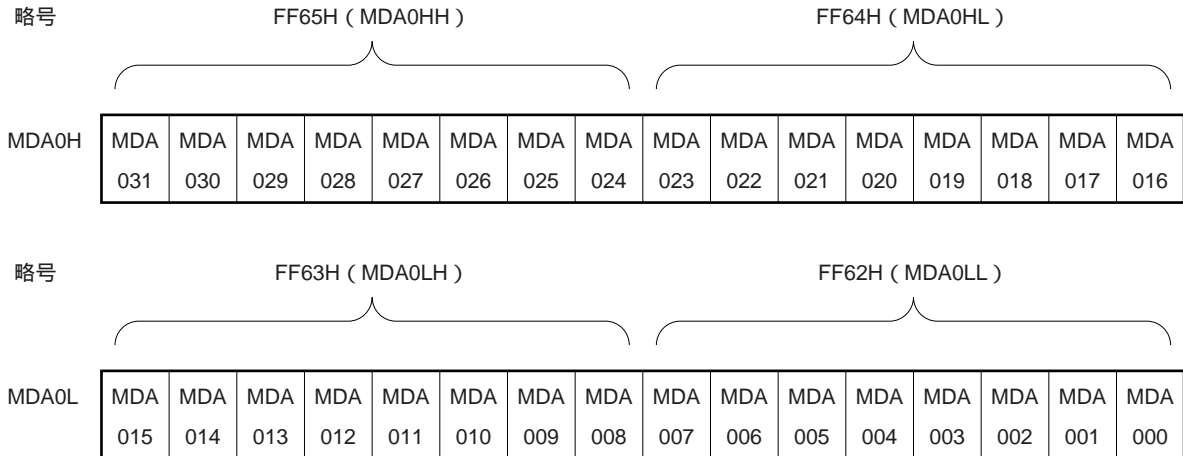
2. 演算開始時 (DMUEを1に設定するとき) , SDR0はリセットされます。

(2) 乗除算データ・レジスタA0 (MDA0H, MDA0L)

MDA0は、乗算モード時は16ビットの乗数Aを、除算モード時は32ビットの被除数を設定し、32ビットの演算結果を格納するレジスタです（上位16ビット：MDA0H、下位16ビット：MDA0L）。

図17-3 乗除算データ・レジスタA0 (MDA0H, MDA0L) のフォーマット

アドレス：FF62H, FF63H, FF64H, FF65H リセット時：0000H, 0000H R/W



- 注意1.** 乗算モードでの演算開始時（乗除算器コントロール・レジスタ0 (DMUC0) を81Hに設定するとき）、MDA0Hはクリア (0) されます。
- 2.** 演算処理中（乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1のとき）に、MDA0の値を書き換えないでください。この場合でも演算は実施しますが、演算結果は不定となります。
- 3.** 演算処理中（DMUEが1のとき）にMDA0の値を読み出した場合、その値は保証しません。

MDA0の演算実行時の機能を次に示します。

表17 - 2 MDA0の演算実行時の機能

DMUSEL0	演算モード	設定	演算結果
0	除算モード	被除数	除算結果 (商)
1	乗算モード	上位16ビット: "0", 下位16ビット: 乗数A	乗算結果 (積)

備考 DMUSEL0 : 乗除算器コントロール・レジスタ0 (DMUC0) のビット0

乗算時と除算時のレジスタ構成を次に示します。

・乗算時のレジスタ構成

< 乗数A > < 乗数B > < 積 >

MDA0 (ビット15-0) × MDB0 (ビット15-0) = MDA0 (ビット31-0)

・除算時のレジスタ構成

< 被除数 > < 除数 > < 商 > < 剰余 >

MDA0 (ビット31-0) ÷ MDB0 (ビット15-0) = MDA0 (ビット31-0) ... SDR0 (ビット15-0)

MDA0は乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1に設定されている間, クロック入力と同時に計算結果をフェッチします。

MDA0H, MDA0Lは8ビット・メモリ命令または16ビット・メモリ命令で設定します。

リセット信号の発生により, 0000Hになります。

(3) 乗除算データ・レジスタB0 (MDB0)

MDB0は, 乗算モード時は16ビットの乗数Bを, 除算モード時は16ビットの除数を格納するレジスタです。

MDB0は8ビット・メモリ命令または16ビット・メモリ命令で設定します。

リセット信号の発生により, 0000Hになります。

図17 - 4 乗除算データ・レジスタB0 (MDB0) のフォーマット

アドレス: FF66H, FF67H リセット時: 0000H R/W

略号

FF67H (MDB0H)

FF66H (MDB0L)

MDB0	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB
	015	014	013	012	011	010	009	008	007	006	005	004	003	002	001

注意1. 演算処理中(乗除算器コントロール・レジスタ0(DMUC0)のビット7(DMUE)が1のとき)に, MDB0の値を書き換えないでください。この場合でも演算は実施しますが, 演算結果は不定となります。

2. 除算モード時は, MDB0に0000Hを設定しないでください。設定した場合, 演算結果が不定値となってMDA0, SDR0に格納します。

17.3 乗除算器を制御するレジスタ

乗除算器は、乗除算器コントロール・レジスタ0 (DMUC0) で制御します。

(1) 乗除算器コントロール・レジスタ0 (DMUC0)

DMUC0は、乗除算器の動作を制御する8ビット・レジスタです。

DMUC0は1ビット・メモリ命令または8ビット・メモリ命令で設定します。

リセット信号の発生により、00Hになります。

図17-5 乗除算器コントロール・レジスタ0 (DMUC0) のフォーマット

アドレス：FF68H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DMUC0	DMUE	0	0	0	0	0	0	DMUSEL0

DMUE ^注	演算動作の開始 / 停止
0	演算動作停止
1	演算動作開始

DMUSEL0	演算モード (乗算 / 除算) の選択
0	除算モード
1	乗算モード

注 DMUEをセット (1) すると、演算動作を開始します。演算終了後は自動的にDMUEがクリア (0) されます。

- 注意1. 演算処理中 (DMUEが1のとき) にDMUEを0に設定した場合には、演算結果は保証されません。ただしクリア命令中に演算が終了した場合には、割り込みフラグがセットされ、演算結果は保証されます。
2. 演算処理中 (DMUEが1のとき) に、DMUSEL0を書き換えないでください。書き換えた場合、演算結果が不定値となって乗除算データ・レジスタA0 (MDA0)、剰余データ・レジスタ0 (SDR0) に格納されます。
3. 演算処理中 (DMUEが1のとき) にDMUEを0に設定すると、演算処理は停止します。再度演算処理を行う場合は乗除算データ・レジスタA0 (MDA0)、乗除算データ・レジスタB0 (MDB0)、乗除算器コントロール・レジスタ0 (DMUC0) を設定し、演算動作を開始 (DMUE = 1) してください。

17.4 乗除算器の動作

17.4.1 乗算動作

- ・初期設定

1. 乗除算データ・レジスタA0L (MDA0L) と乗除算データ・レジスタB0 (MDB0) に演算データを設定してください。
2. 乗除算器コントロール・レジスタ0 (DMUC0) のビット0 (DMUSEL0) とビット7 (DMUE) にそれぞれ1を設定してください。演算動作が開始します。

- ・演算処理中

3. 演算開始から周辺ハードウェア・クロック (f_{PRS}) の16クロックで演算は終了します (演算処理中にMDA0Lレジスタ, MDA0Hレジスタに格納されるデータは演算途中データであるため, リード値は保証しません)。

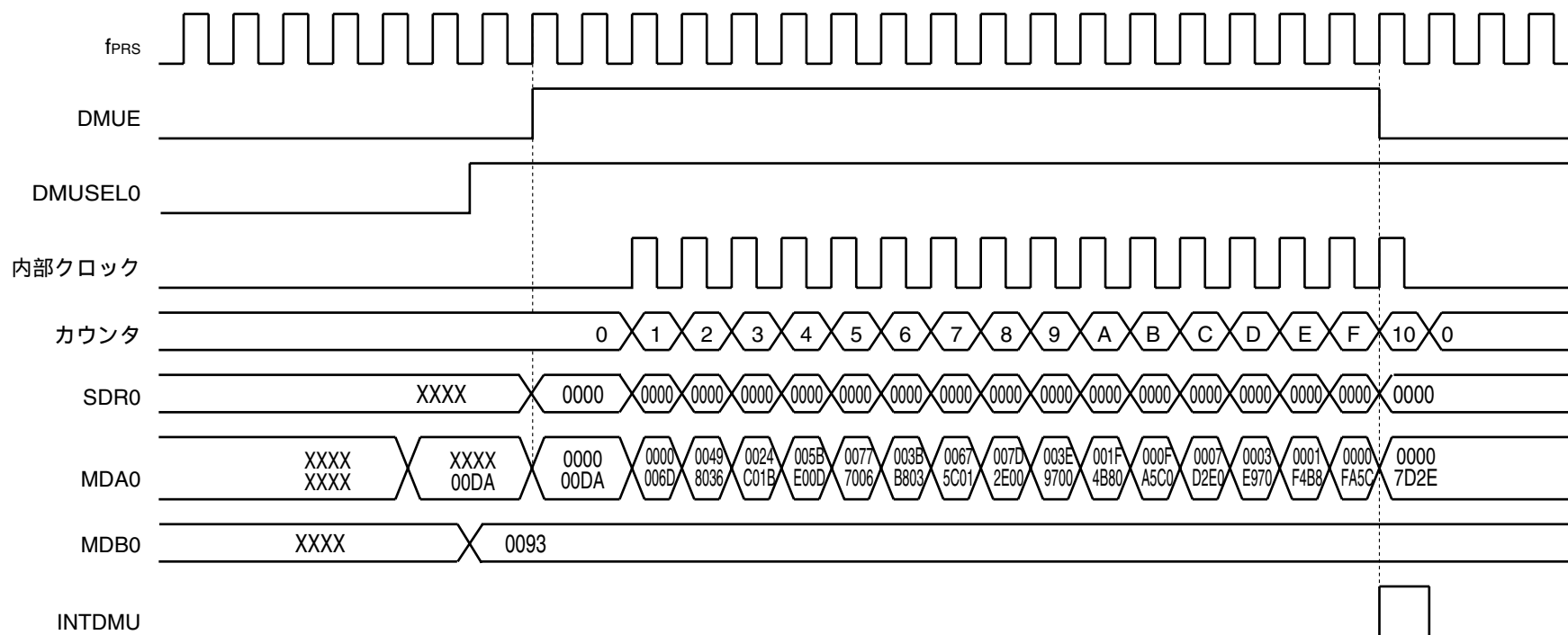
- ・演算終了

4. MDA0Lレジスタ, MDA0Hレジスタに, 演算結果データが格納されます。
5. DMUE がクリア (0) されます (演算終了)。
6. 演算終了後, 割り込み要求信号 (INTDMU) が発生されます。

- ・次回演算

7. 次に乗算を行う場合は, 17.4.1 **乗算動作**の初期設定から行ってください。
8. 次に除算を行う場合は, 17.4.2 **除算動作**の初期設定から行ってください。

図17 - 6 乗算動作のタイミング図 (00DAH × 0093H)



17.4.2 除算動作

・初期設定

1. 乗除算データ・レジスタA0 (MDA0L, MDA0H), 乗除算データ・レジスタB0 (MDB0) に演算データを設定してください。
2. 乗除算コントロール・レジスタ0 (DMUC0) のビット0 (DMUSEL0) に0, ビット7 (DMUE) に1を設定してください。演算動作が開始します。

・演算処理中

3. 演算開始から周辺ハードウェア・クロック (f_{PRS}) の32クロックで演算は終了します(演算処理中にMDA0Lレジスタ, MDA0Hレジスタ, 剰余データ・レジスタ0 (SDR0) に格納されるデータは演算途中データであるため, リード値は保証しません)。

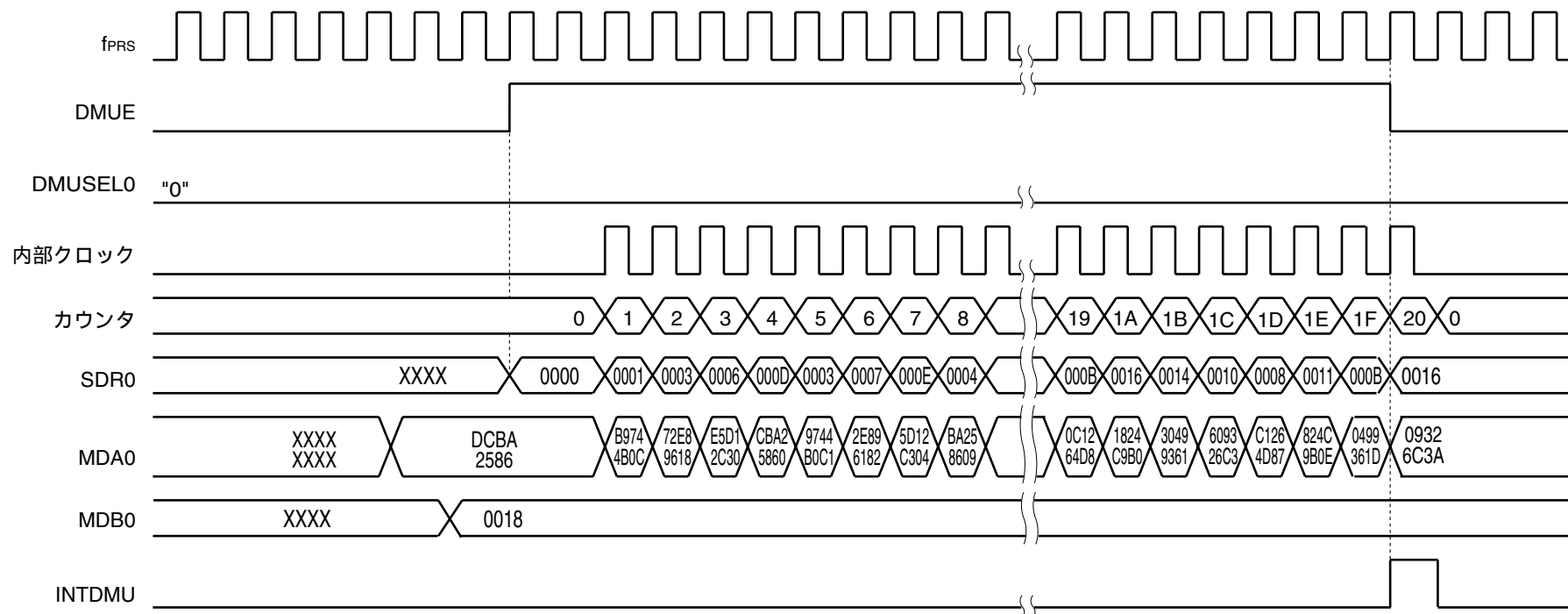
・演算終了

4. MDA0Lレジスタ, MDA0Hレジスタ, SDR0レジスタに, 演算結果データが格納されます。
5. DMUE がクリア (0) されます (演算終了)。
6. 演算終了後, 割り込み要求信号 (INTDMU) が発生されます。

・次回演算

7. 次に乗算を行う場合は, 17.4.1 **乗算動作**の初期設定から行ってください。
8. 次に除算を行う場合は, 17.4.2 **除算動作**の初期設定から行ってください。

図17 - 7 除算動作のタイミング図 (DCBA2586H ÷ 0018H)



第18章 割り込み機能

18.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理の優先順位 (プライオリティ) にしたがって処理されます。優先順位 (プライオリティ) については表18 - 1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

18.2 割り込み要因と構成

割り込み要因には、マスカブル割り込みとソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計4要因あります (表18 - 1参照)。

表18 - 1 割り込み要因一覧 (1/2)

割り込みの種類	内部 / 外部	基本構成タイプ 注1	デフォルト・プライオリティ 注2	割り込み要因		ベクタ・テーブル・アドレス	78K0/ KB2-A	78K0/ KC2-A	
				名称	トリガ				
マスクブル	内部	(A)	0	INTLVI	低電圧検出 ^{注3}	0004H			
		外部	(B)	1	INTP0	端子入力エッジ検出	0006H		
				2	INTP1		0008H		
				3	INTP2		000AH	-	
				4	INTP3		000CH	-	
				5	INTP4		000EH		
				6	INTP5		0010H		
	内部	(A)	7	INTSRE6	UART6の受信エラー発生	0012H			
			8	INTSR6	UART6の受信完了	0014H			
			9	INTST6	UART6の送信完了	0016H			
			10	INTCSI10	CSI10の通信完了	0018H			
			11	INTTMH1	TMH1とCMP01の一致 (コンペア・レジスタ指定時)	001AH			
			12	INTTMH0	TMH0とCMP00の一致 (コンペア・レジスタ指定時)	001CH			
			13	INTTM50	TM50とCR50の一致 (コンペア・レジスタ指定時)	001EH			
			14	INTTM000	TM00とCR000の一致 (コンペア・レジスタ指定時), TI010端子の有効エッジ検出 (キャプチャ・レジスタ指定時)	0020H			
			15	INTTM010	TM00とCR010の一致 (コンペア・レジスタ指定時), TI000端子の有効エッジ検出 (キャプチャ・レジスタ指定時)	0022H			
			16	INTAD	A/D変換終了	0024H			
			17	INTIICA0	IICA通信完了	0026H			
			18	INTRTCI	リアルタイム・カウンタのインターバル信号	0028H	-		
19	INTTM51 ^{注4}	TM51とCR51の一致 (コンペア・レジスタ指定時)	002AH						

注1. 基本構成タイプの (A) - (D) は、それぞれ図18 - 1の (A) - (D) に対応しています。

2. デフォルト・プライオリティは、複数のマスクブル割り込みが同時に発生している場合に、優先して処理するベクタ割り込みの順位です。0が最高順位、26が最低順位です。

3. 低電圧検出レジスタ (LVIM) のビット1 (LVIMD) = 0選択時。

4. 8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合、INTTM5H1信号の割り込みタイミングで割り込みが発生します (図8 - 13 転送タイミングを参照)。

表18 - 1 割り込み要因一覧 (2/2)

割り込みの種類	内部 / 外部	基本構成タイプ 注1	デフォルト・プライオリティ 注2	割り込み要因		ベクタ・テーブル・アドレス	78K0/ KB2-A	78K0/ KC2-A
				名称	トリガ			
マスク ブル	外部	(C)	20	INTKR	キー割り込み検出	002CH	-	
	内部	(A)	21	INTRTC	リアルタイム・カウンタの定周期信号/ アラーム一致検出	002EH	-	
	外部	(B)	22	INTP6	端子入力エッジ検出	0030H		
			23	INTP7		0032H		
	内部	(A)	24	INTDMU	乗除算演算終了	0034H		
	外部	(B)	25	INTP8	端子入力エッジ検出	0038H	-	
26			INTP9	003AH		-		
ソフトウェア	-	(D)	-	BRK	BRK命令の実行	003EH		
リセット	-	-	-	RESET	リセット入力	0000H		
				POC	パワーオン・クリア			
				LVI	低電圧検出注3			
				WDT	WDTのオーバフロー			

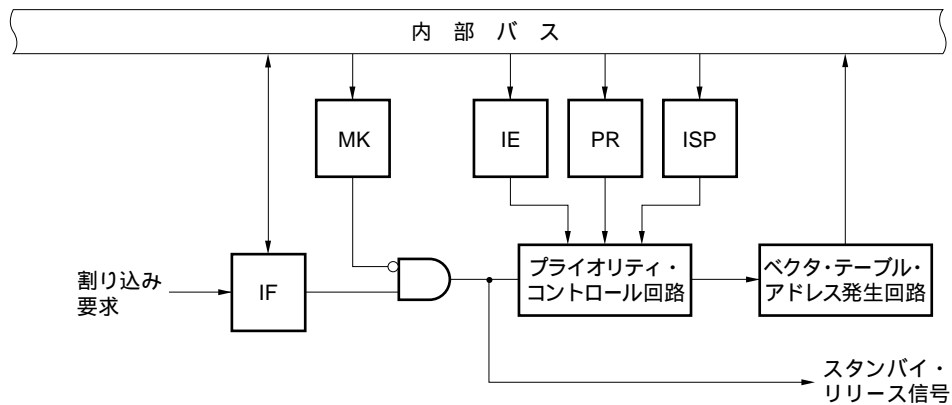
注1. 基本構成タイプの (A) - (D) は、それぞれ図18 - 1の (A) - (D) に対応しています。

2. デフォルト・プライオリティは、複数のマスクブル割り込みが同時に発生している場合に、優先して処理するベクタ割り込みの順位です。0が最高順位、26が最低順位です。

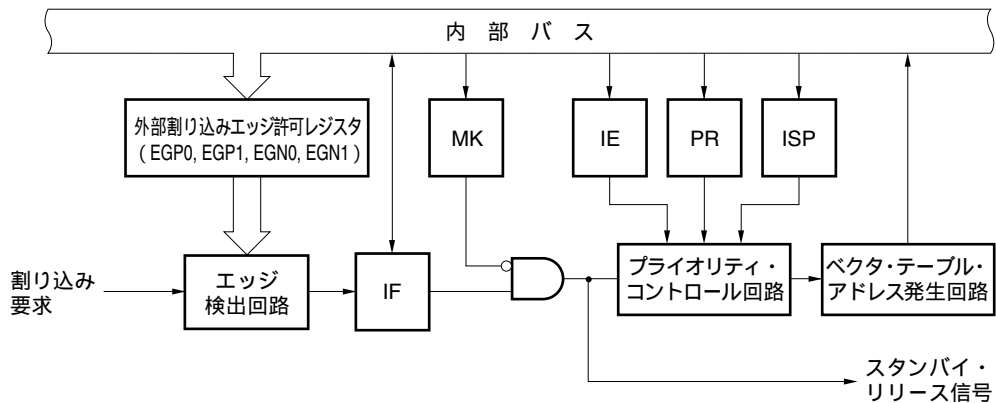
3. 低電圧検出レジスタ (LVIM) のビット1 (LVIMD) = 1選択時。

図18 - 1 割り込み機能の基本構成 (1/2)

(A) 内部マスク割り込み



(B) 外部マスク割り込み (INTPn)

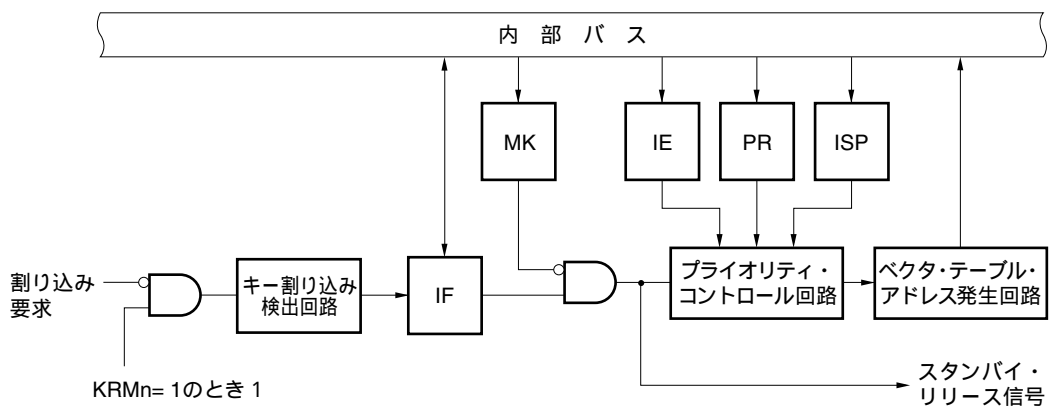


備考 n = 0, 1, 4-7 : 78K0/KB2-A
 n = 0-9 : 78K0/KC2-A

- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサースervice・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ

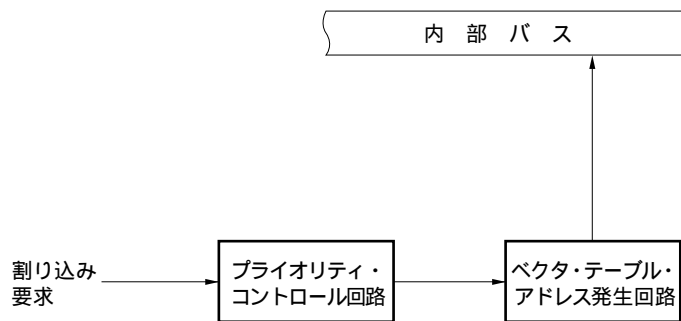
図18 - 1 割り込み機能の基本構成 (2/2)

(C) 外部マスカブル割り込み (INTKR)



備考 n = 0-5 : 78K0/KC2-A

(D) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサービス・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ
- KRM : キー・リターン・モード・レジスタ

18.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ，割り込みマスク・フラグ，優先順位指定フラグ名称を表18 - 2に示します。

表18 - 2 割り込み要求ソースに対応する各種フラグ

78K0/ KB2-A	78K0/ KC2-A	割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
				レジスタ		レジスタ		レジスタ
		INTLVI	LVIF	IF0L	LVIMK	MK0L	LVIPR	PR0L
		INTP0	PIF0		PMK0		PPR0	
		INTP1	PIF1		PMK1		PPR1	
-		INTP2	PIF2		PMK2		PPR2	
-		INTP3	PIF3		PMK3		PPR3	
		INTP4	PIF4		PMK4		PPR4	
		INTP5	PIF5		PMK5		PPR5	
		INTSRE6	SREIF6		SREMK6		SREPR6	
		INTSR6	SRIF6	IF0H	SRMK6	MK0H	SRPR6	PR0H
		INTST6	STIF6		STMK6		STPR6	
		INTCSI10	CSIIF10		CSIMK10		CSIPR10	
		INTTMH1	TMIFH1		TMMKH1		TMPRH1	
		INTTMH0	TMIFH0		TMMKH0		TMPRH0	
		INTTM50	TMIF50		TMMK50		TMPR50	
		INTTM000	TMIF000		TMMK000		TMPR000	
		INTTM010	TMIF010		TMMK010		TMPR010	
		INTAD	ADIF	IF1L	ADMK	MK1L	ADPR	PR1L
		INTIICA0	IICAIF0		IICAMK0		IICAPR0	
-		INTRTCI	RTCIF		RTCIMK		RTCIPR	
		INTTM51 ^注	TMIF51		TMMK51		TMPR51	
-		INTKR	KRIF		KRMK		KRPR	
-		INTRTC	RTCIF		RTCMK		RTCPR	
		INTP6	PIF6		PMK6		PPR6	
		INTP7	PIF7		PMK7		PPR7	
		INTDMU	DMUIF	IF1H	DMUMK	MK1H	DMUPR	PR1H
-		INTP8	PIF8		PMK8		PPR8	
-		INTP9	PIF9		PMK9		PPR9	

注 8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合，INTTM5H1信号の割り込みタイミングで割り込みが発生します（図8 - 13 転送タイミングを参照）。

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット(1)され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア(0)されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0H, IF1LとIF1Hをあわせて16ビット・レジスタIF0, IF1として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

- 注意1. タイマ,シリアル・インタフェース ,A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。
2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。
- なお、C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット(1)されても、「mov IF0L, a」でクリア(0)されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

図18 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット (1/2)

78K0/KB2-A

アドレス : FFE0H リセット時 : 00H R/W

略号	[7]	[6]	[5]	4	3	[2]	[1]	[0]
IF0L	SREIF6	PIF5	PIF4	0	0	PIF1	PIF0	LVIF

アドレス : FFE1H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF0H	TMIF010	TMIF000	TMIF50	TMIFH0	TMIFH1	CSIF10	STIF6	SRIF6

アドレス : FFE2H リセット時 : 00H R/W

略号	[7]	[6]	5	4	[3]	2	[1]	[0]
IF1L	PIF7	PIF6	0	0	TMIF51	0	IICAF0	ADIF

アドレス : FFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	[0]
IF1H	0	0	0	0	0	0	0	DMUIF

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意 IF0Lのビット3, 4, IF1Lのビット2, 4, 5, IF1Hのビット1-7には必ず0を設定してください。

図18 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット (2/2)

78K0/KC2-A

アドレス : FFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	SREIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIF

アドレス : FFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	TMIF010	TMIF000	TMIF50	TMIFH0	TMIFH1	CSIF10	STIF6	SRIF6

アドレス : FFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	PIF7	PIF6	RTCIF	KRIF	TMIF51	RTCIIF	IICAIF0	ADIF

アドレス : FFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	0	0	0	0	PIF9	PIF8	0	DMUIF

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意 IF1Hのビット1, 4-7には必ず0を設定してください。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

また、MK0LとMK0H, MK1LとMK1Hをあわせて16ビット・レジスタMK0, MK1として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図18 - 3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット (1/2)

78K0/KB2-A

アドレス：FFE4H リセット時：FFH R/W

略号	[7]	[6]	[5]	4	3	[2]	[1]	[0]
MK0L	SREMK6	PMK5	PMK4	1	1	PMK1	PMK0	LVIMK

アドレス：FFE5H リセット時：FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0H	TMMK010	TMMK000	TMMK50	TMMKH0	TMMKH1	CSIMK10	STMK6	SRMK6

アドレス：FFE6H リセット時：FFH R/W

略号	[7]	[6]	5	4	[3]	2	[1]	[0]
MK1L	PMK7	PMK6	1	1	TMMK51	1	IICAMK0	ADMK

アドレス：FFE7H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	[0]
MK1H	1	1	1	1	1	1	1	DMUMK

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 MK0Lのビット3, 4, MK1Lのビット2, 4, 5, MK1Hのビット1-7には必ず1を設定してください。

図18 - 3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット (2/2)

78K0/KC2-A

アドレス : FFE4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	SREMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK

アドレス : FFE5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	TMMK010	TMMK000	TMMK50	TMMKH0	TMMKH1	CSIMK10	STMK6	SRMK6

アドレス : FFE6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	PMK7	PMK6	RTCMK	KRMK	TMMK51	RTCIMK	IICAMK0	ADMK

アドレス : FFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	1	1	1	1	PMK9	PMK8	1	DMUMK

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 MK1Hのビット1, 4-7には必ず1を設定してください。

(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1L, PR1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

また、PR0LとPR0H, PR1LとPR1Hをあわせて16ビット・レジスタPR0, PR1として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図18 - 4 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット (1/2)

78K0/KB2-A

アドレス：FFE8H リセット時：FFH R/W

略号	[7]	[6]	[5]	4	3	[2]	[1]	[0]
PR0L	SREPR6	PPR5	PPR4	1	1	PPR1	PPR0	LVIPR

アドレス：FFE9H リセット時：FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR0H	TMPR010	TMPR000	TMPR50	TMPRH0	TMPRH1	CSIPR10	STPR0	SRPR6

アドレス：FFEAH リセット時：FFH R/W

略号	[7]	[6]	5	4	[3]	2	[1]	[0]
PR1L	PPR7	PPR6	1	1	TMPR51	1	IICAPR0	ADPR

アドレス：FFEBH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	[0]
PR1H	1	1	1	1	1	1	1	IICPR0

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注意 PR0Lのビット3, 4, PR1Lのビット2, 4, 5, PR1Hのビット1-7には必ず1を設定してください。

図18 - 4 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット (2/2)

78K0/KC2-A

アドレス : FFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR0L	SREPR6	PPR5	PPR4	PPR3	PPR2	PPR1	PPR0	LVIPR

アドレス : FFE9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR0H	TMPR010	TMPR000	TMPR50	TMPRH0	TMPRH1	CSIPR10	STPR6	SRPR6

アドレス : FFEAH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR1L	PPR7	PPR6	RTCPR	KRPR	TMPR51	RTCIPR	IICAPR0	ADPR

アドレス : FFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR1H	1	1	1	1	PPR9	PPR8	1	DMUPR

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注意 PR1Hのビット1, 4-7には, 必ず1を設定してください。

(4) 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)

INTPnの有効エッジを設定するレジスタです。

EGP0, EGP1, EGN0, EGN1は, それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

備考 n = 0, 1, 4-7 : 78K0/KC2-A

n = 0-9 : 78K0/KC2-A

図18 - 5 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1) のフォーマット

78K0/KB2-A

アドレス : FF48H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	0	0	EGP1	EGP0

アドレス : FF49H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	0	0	EGN1	EGN0

78K0/KC2-A

アドレス : FF48H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FF49H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

アドレス : FF4AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP1	0	0	0	0	0	0	EGP9	EGP8

アドレス : FF4BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN1	0	0	0	0	0	0	EGN9	EGN8

EGPn	EGNn	INTPn端子の有効エッジの選択
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

注意 78K0/KB2-A : EGP0とEGN0のビット2, 3には必ず0を設定してください。

78K0/KC2-A : EGP1とEGN1のビット2-7には必ず0を設定してください。

備考 n = 0, 1, 4-7 : 78K0/KB2-A

n = 0-9 : 78K0/KC2-A

EGPnとEGNnに対応するポートを表18 - 3に示します。

表18 - 3 EGPnとEGNnに対応するポート

検出許可レジスタ		エッジ検出 ポート	割り込み要求 信号
EGP0	EGN0	P120	INTP0
EGP1	EGN1	P35	INTP1
EGP2	EGN2	P34 ^注	INTP2 ^注
EGP3	EGN3	P33 ^注	INTP3 ^注
EGP4	EGN4	P32	INTP4
EGP5	EGN5	P31	INTP5
EGP6	EGN6	P13	INTP6
EGP7	EGN7	P12	INTP7
EGP8	EGN8	P02 ^注	INTP8 ^注
EGP9	EGN9	P42 ^注	INTP9 ^注

注 78K0/KC2-Aのみ

注意 外部割り込み機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

備考 n = 0, 1, 4-7 : 78K0/KB2-A

n = 0-9 : 78K0/KC2-A

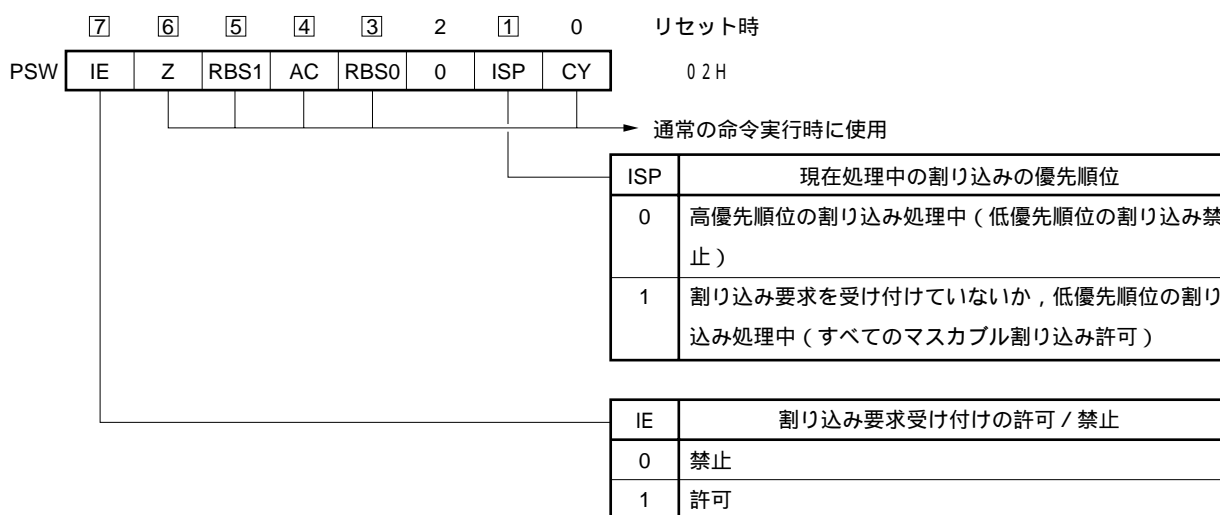
(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可 / 禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスク可能割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは02Hとなります。

図18 - 6 プログラム・ステータス・ワードの構成



18.4 割り込み処理動作

18.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中(ISPフラグがリセット(0)されているとき)に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表18-4のようになります。

割り込み要求の受け付けタイミングについては、図18-8, 18-9を参照してください。

表18-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
x × PR = 0のとき	7クロック	32クロック
x × PR = 1のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウェイトする時間が最大となります。

備考 1クロック : 1/f_{CPU} (f_{CPU} : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

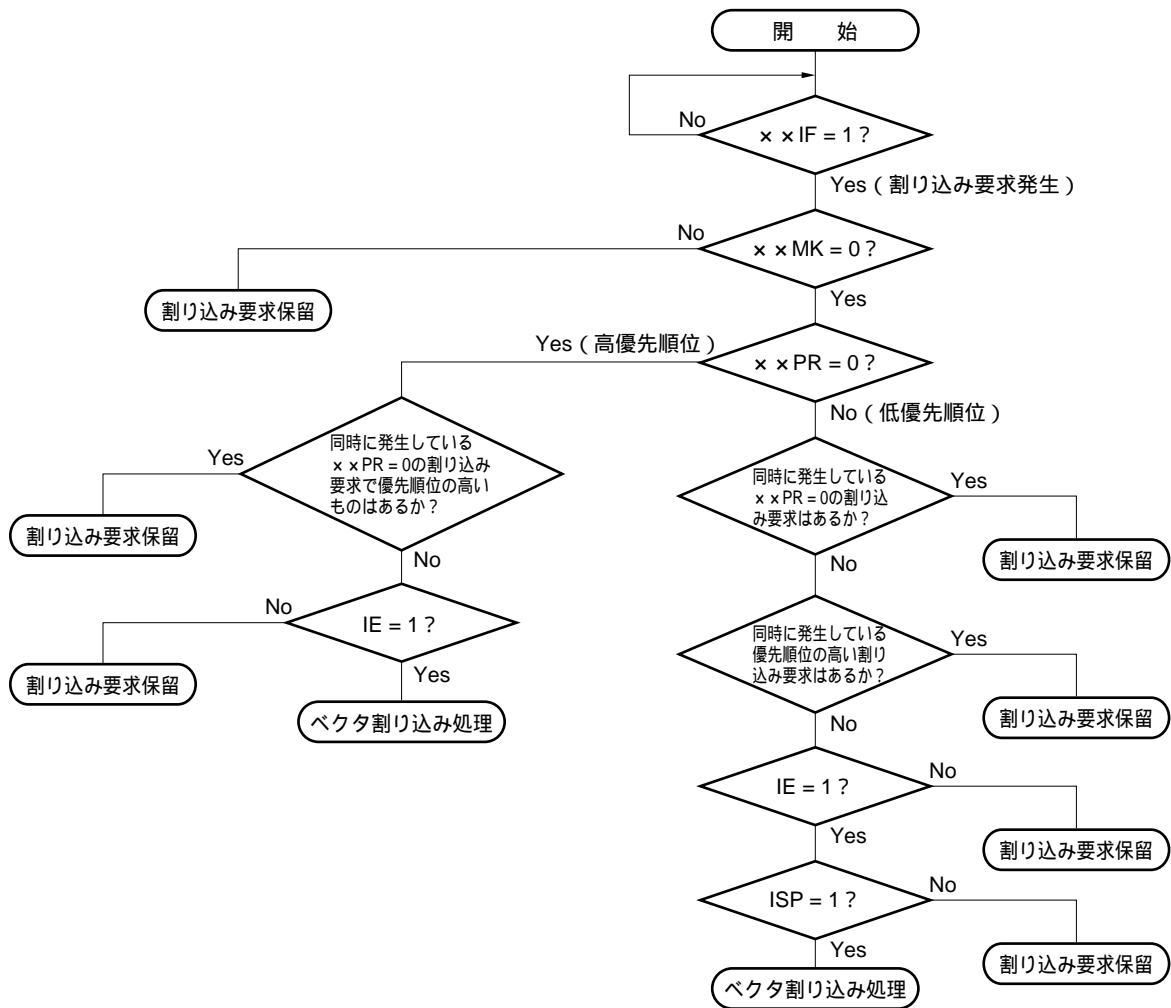
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図18-7に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図18 - 7 割り込み要求受け付け処理アルゴリズム



x x IF : 割り込み要求フラグ

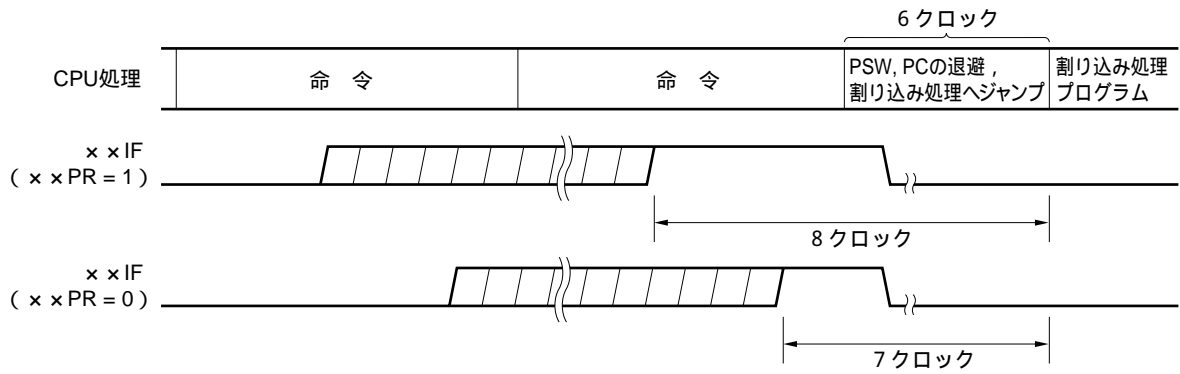
x x MK : 割り込みマスク・フラグ

x x PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

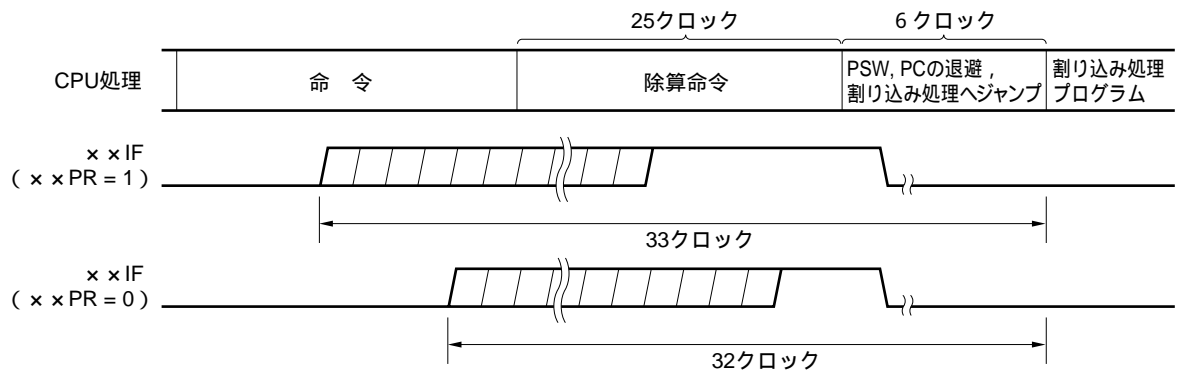
ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図18 - 8 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

図18 - 9 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

18.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

18.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表18 - 5に多重割り込み可能な割り込み要求の関係を、図18 - 10に多重割り込みの例を示します。

表18 - 5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求				ソフトウェア 割り込み要求
		PR = 0		PR = 1		
		IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP = 0		×	×	×	
	ISP = 1		×		×	
ソフトウェア割り込み			×		×	

備考1. : 多重割り込み可能。

2. × : 多重割り込み不可能。

3. ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

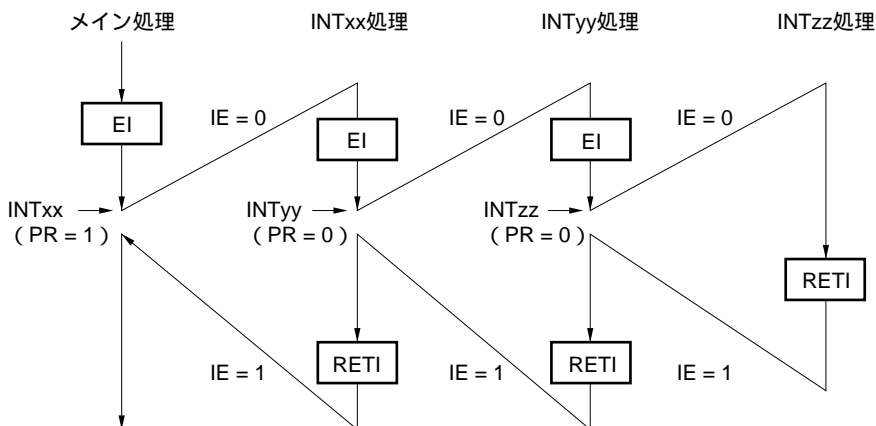
4. PRはPR0L, PR0H, PR1L, PR1Hに含まれるフラグです。

PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

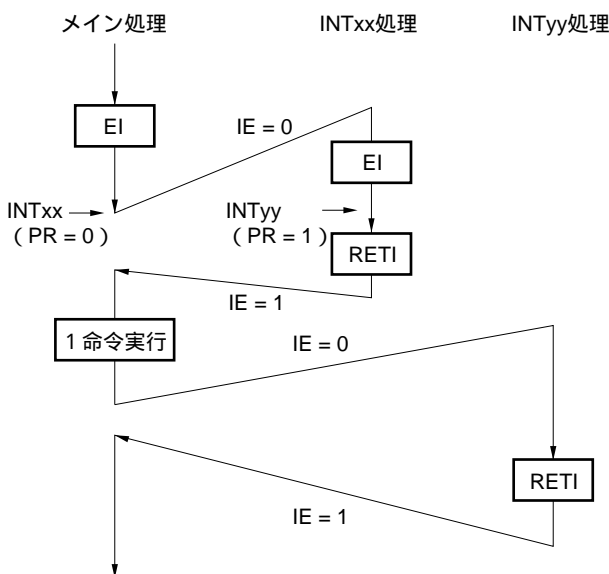
図18 - 10 多重割り込みの例 (1/2)

例1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2 . 優先順位制御により、多重割り込みが発生しない例

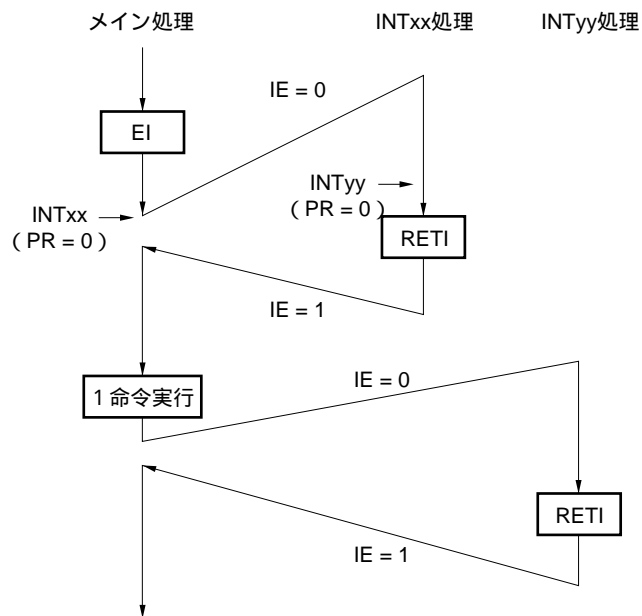


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 0 : 高優先順位レベル
- PR = 1 : 低優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

図18 - 10 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 0 : 高優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

18.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, # byte
- ・ MOV A, PSW
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ MOV1 CY, PSW. bit
- ・ AND1 CY, PSW. bit
- ・ OR1 CY, PSW. bit
- ・ XOR1 CY, PSW. bit
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ PUSH PSW
- ・ POP PSW
- ・ BT PSW. bit, \$addr16
- ・ BF PSW. bit, \$addr16
- ・ BTCLR PSW. bit, \$addr16
- ・ EI
- ・ DI
- ・ IF0L, IF0H, IF1L, IF1H, MK0L, MK0H, MK1L, MK1H, PR0L, PR0H, PR1L, PR1Hの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図18 - 11に示します。

図18 - 11 割り込み要求の保留



- 備考1** . 命令N：割り込み要求の保留命令
- 2 . 命令M：割り込み要求の保留命令以外の命令
- 3 . x x IF（割り込み要求）の動作は、x x PR（優先順位レベル）の値の影響を受けません。

第19章 キー割り込み機能

項 目	78K0/KB2-A	78K0/KC2-A
	30ピン	48ピン
キー割り込み	-	6 ch

19.1 キー割り込みの機能

キー・リターン・モード・レジスタ (KRM) の設定により、キー割り込み入力端子 (KRn) に立ち下がりエッジを入力することによって、キー割り込み (INTKR) を発生させることができます。

表19 - 1 キー割り込み検出端子の割り当て

フラグ	設定される端子
KRMn	KRn信号を1ビット単位で制御

備考 n = 0-5

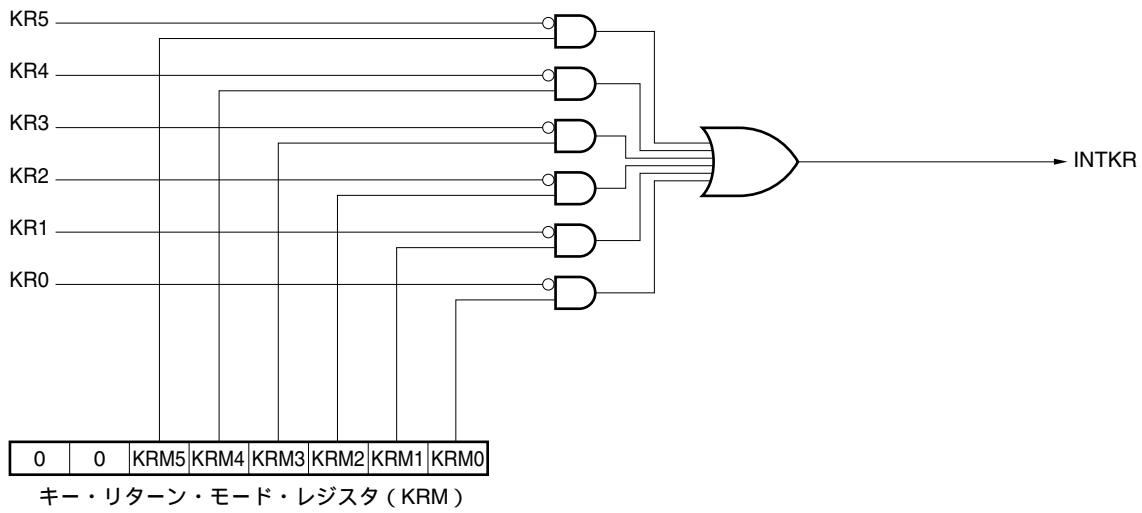
19.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表19-2 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・モード・レジスタ (KRM)

図19-1 キー割り込みのブロック図



19.3 キー割り込みを制御するレジスタ

(1) キー・リターン・モード・レジスタ (KRM)

KRM_nビットをKR_n信号で制御するレジスタです。

KRMは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19-2 キー・リターン・モード・レジスタ (KRM) のフォーマット

アドレス：FF6EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
KRM	0	0	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRM _n	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

- 注意1. KRM_nのうち使用するビットに1を設定する場合、それに対応するプルアップ抵抗レジスタ7 (PU7) のビット_n (PU7_n) に1を設定してください。
- KRMを変更すると、割り込み要求フラグがセットされる場合があります。したがって、あらかじめ割り込みを禁止してからKRMレジスタを変更し、割り込み要求フラグをクリアしてから、割り込みを許可してください。
 - キー割り込みモードで使用していないビットは通常ポートとして使用可能です。
 - KRMのビット6, 7には必ず0を設定してください。

備考 n = 0-5

第20章 スタンバイ機能

20.1 スタンバイ機能と構成

20.1.1 スタンバイ機能

スタンバイ機能は、78K0/Kx2-Aマイクロコントローラ的全製品に搭載されています。

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速内蔵発振回路、低速内蔵発振回路、サブシステム・クロック発振回路^注が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

注 78K0/KB2-Aには、サブシステム・クロック発振回路はありません。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速内蔵発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、かなり低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。サブシステム・クロックの発振を停止させることができません。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。

2. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。

3. A/Dコンバータ部の動作電流を低減させるためには、次の処理を行ってからSTOP命令を実行してください。

・A/D変換動作の停止： A/Dコンバータ・モード・レジスタ(ADM)のビット7(ADCS)とビット0(ADCE)を0にクリア

・A/Dコンバータ昇圧回路の停止： アナログ基準電圧制御レジスタ(ADVRC)のビット1(VRGV)を0にクリア

20.1.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタには、次の2種類があります。

- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

備考 クロックの動作/停止, 切り替えを制御するレジスタについては, **第5章 クロック発生回路**を参照してください。

(1) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで, X1クロックの発振を開始したとき, X1クロックの発振安定時間を確認することができます。

OSTCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 ($\overline{\text{RESET}}$ 入力, POC, LVI, WDTによるリセット), STOP命令, MSTOP (MOCレジスタのビット7) = 1により, 00Hになります。

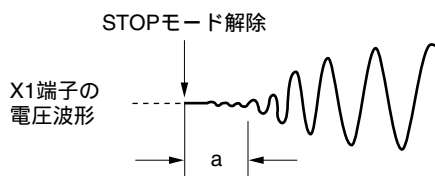
図20 - 1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFA3H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	発振安定時間のステータス	
					$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 μs 以上
1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 μs 以上
1	1	1	0	0	$2^{14}/f_x$ 以上	1.64 ms以上
1	1	1	1	0	$2^{15}/f_x$ 以上	3.27 ms以上
1	1	1	1	1	$2^{16}/f_x$ 以上	6.55 ms以上

- 注意1. 上記時間経過後，MOST11から順番に“1”となっていく，そのまま“1”を保持します。
2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に，STOPモードに入り，解除するときは，OSTSの発振安定時間を次のように設定してください。
- ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間
- したがって，STOPモード解除後のOSTCは，OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。
3. X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。



備考 f_x : X1クロック発振周波数

(2) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合，STOPモード解除後は，OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合，STOPモード解除後は，OSTCで発振安定時間が経過したかを確認してください。OSTCでは，あらかじめOSTSで設定した時間までの確認ができます。

OSTSは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，05Hになります。

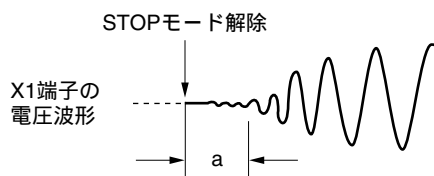
図20 - 2 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFA4H リセット時 : 05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	1	$2^{11}/f_x$	204.8 μs	102.4 μs
0	1	0	$2^{13}/f_x$	819.2 μs	409.6 μs
0	1	1	$2^{14}/f_x$	1.64 ms	819.2 μs
1	0	0	$2^{15}/f_x$	3.27 ms	1.64 ms
1	0	1	$2^{16}/f_x$	6.55 ms	3.27 ms
上記以外			設定禁止		

- 注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。
- X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
 - 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。
 - ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間
 したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないのに注意してください。
 - X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

20.2 スタンバイ機能の動作

20.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速内蔵発振クロック、サブシステム・クロック^注のいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注 78K0/KB2-Aには、サブシステム・クロックはありません。

表20 - 1 HALTモード時の動作状態 (1/2)

項 目	HALTモードの設定		メイン・システム・クロックでCPU動作中のHALT命令実行時			
			高速内蔵発振クロック (f_{RH}) でCPU動作時	X1クロック (f_x) でCPU動作時	外部メイン・システム・クロック (f_{EXCLK}) でCPU動作時	
システム・クロック	CPUへのクロック供給は停止					
メイン・システム・クロック	f_{RH}	f_{RH}	動作継続 (停止不可)	HALTモード設定前の状態を継続		
		f_x	HALTモード設定前の状態を継続	動作継続 (停止不可)	HALTモード設定前の状態を保持	
		f_{EXCLK}	外部クロックの入力により動作または停止		動作継続 (停止不可)	
サブシステム・クロック (f_{SUB})	HALTモード設定前の状態を継続					
低速内蔵発振クロック (f_{RL})	HALTモード設定前の状態を継続					
CPU	動作停止					
フラッシュ・メモリ						
RAM	HALTモード設定前の状態を保持					
ポート (ラッチ)						
16ビット・タイマ/イベント・カウンタ00	動作可能					
8ビット・タイマ/イベント・カウンタ						50
						51
8ビット・タイマ						H0
						H1
リアルタイム・カウンタ (RTC)						
ウォッチドッグ・タイマ	動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。					
クロック出力	動作可能					
A/Dコンバータ						
オペアンプ						
シリアル・インタフェース		UART6				
		CSI10				
		IICA				
乗除算器						
パワーオン・クリア機能						
低電圧検出機能						
外部割り込み						

備考1. f_{RH} : 高速内蔵発振クロック, f_x : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック

2. 製品により、搭載している機能が異なります。1.5 **ブロック図**, 1.6 **機能概要**を参照してください。

表20 - 1 HALTモード時の動作状態 (2/2)

HALTモード の設定 項目	サブシステム・クロックでCPU動作中のHALT命令実行時	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	f _{RH}	HALTモード設定前の状態を継続
	f _x	
	f _{EXCLK}	外部クロックの入力により動作または停止
サブシステム・クロック (f _{SUB})	動作継続 (停止不可)	
低速内蔵発振クロック (f _{RL})	HALTモード設定前の状態を継続	
CPU	動作停止	
フラッシュ・メモリ		
RAM	HALTモード設定前の状態を保持	
ポート (ラッチ)		
16ビット・タイマ/イベント・カウンタ ⁰⁰	動作可能。ただし周辺ハードウェア・クロック (f _{PRS}) 停止時は動作禁止。	
8ビット・タイマ/イベント・カウンタ	50 ^注	動作可能
	51 ^注	
8ビット・タイマ	H0	
	H1	
リアルタイム・カウンタ (RTC)		
ウォッチドッグ・タイマ	動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。	
クロック出力	動作可能	
A/Dコンバータ	動作不可	
オペアンプ	動作禁止	
シリアル・インタフェース	UART6	動作可能
	CSI10 ^注	
	IICA ^注	
乗除算器		
パワーオン・クリア機能		
低電圧検出機能		
外部割り込み		

注 CPUがサブシステム・クロック動作中で、高速内蔵発振クロックと高速システム・クロックが停止している場合、周辺ハードウェアの端子からの外部クロックで動作開始させないでください。

備考1. f_{RH} : 高速内蔵発振クロック, f_x : X1クロック
f_{EXCLK} : 外部メイン・システム・クロック

2. 製品により、搭載している機能が異なります。1.5 **ブロック図**, 1.6 **機能概要**を参照してください。

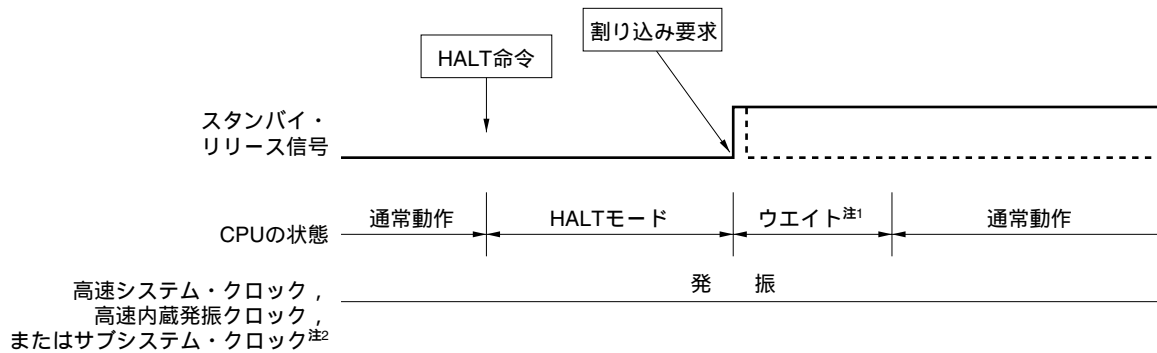
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図20 - 3 HALTモードの割り込み要求発生による解除



注1. ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 11～12クロック
- ・ベクタ割り込み処理を行わない場合 : 4～5クロック

2. 78K0/KB2-Aには、サブシステム・クロックはありません。

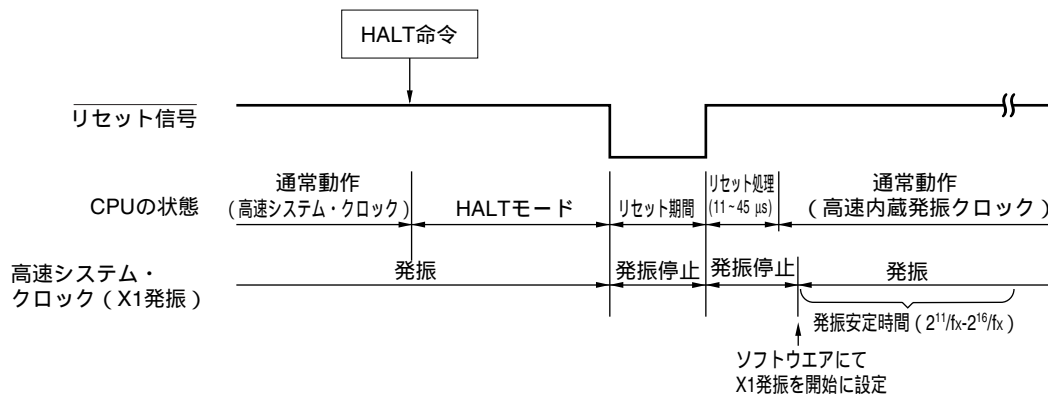
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

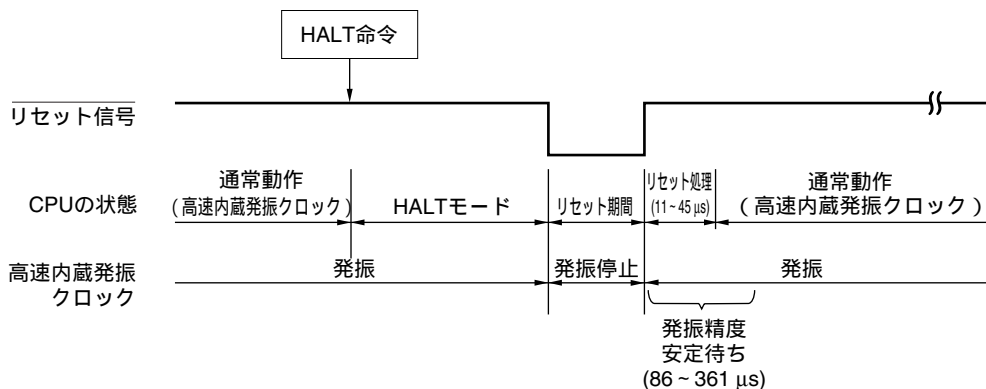
リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図20 - 4 HALTモードのリセットによる解除 (1/2)

(1) CPUクロックが高速システム・クロックの場合



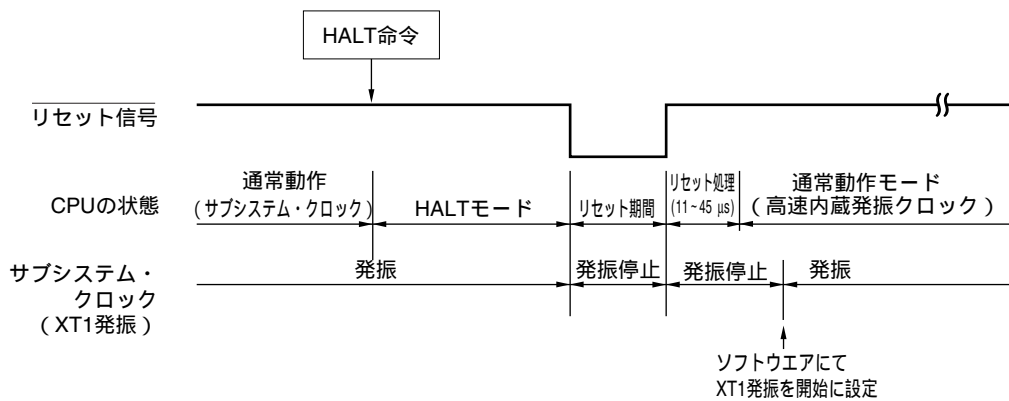
(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

図20 - 4 HALTモードのリセットによる解除 (2/2)

(3) CPUクロックがサブシステム・クロックの場合^注



注 78K0/KB2-Aには、サブシステム・クロックはありません。

表20 - 2 HALTモード時の割り込み要求に対する動作

解除ソース	MK × ×	PR × ×	IE	ISP	動作
マスカブル割り込み要求	0	0	0	×	次アドレス命令実行
	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	
	0	1	1	1	割り込み処理実行
	1	×	×	×	HALTモード保持
リセット	-	-	×	×	リセット処理

× : don't care

20.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ (OSTS) による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表20 - 3 STOPモード時の動作状態

STOPモード の設定 項目		メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速内蔵発振クロック (f_{RH}) で CPU動作時	X1クロック (f_x) でCPU動作時	外部メイン・システム・クロック (f_{EXCLK}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f_{RH}	停止		
	f_x			
	f_{EXCLK}	入力無効		
サブシステム・クロック (f_{SUB})		STOPモード設定前の状態を継続		
低速内蔵発振クロック (f_{RL})		STOPモード設定前の状態を継続		
CPU		動作停止		
フラッシュ・メモリ				
RAM		STOPモード設定前の状態を保持		
ポート (ラッチ)				
16ビット・タイマ/イベント・カウンタ00 ^注		動作停止		
8ビット・タイマ/イベント・カウンタ	50 ^注	カウント・クロックにTI50選択時のみ動作可能		
	51 ^注	カウント・クロックにTI51選択時のみ動作可能		
8ビット・タイマ	H0	8ビット・タイマ/イベント・カウンタ50動作時, カウント・クロックにTM50出力選択時のみ動作可能		
	H1	カウント・クロックに f_{RL} , $f_{RL}/2^7$, $f_{RL}/2^8$ 選択時のみ動作可能		
リアルタイム・カウンタ (RTC)		カウント・クロックにサブシステム・クロック選択時のみ動作可能		
ウォッチドッグ・タイマ		動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は, ウォッチドッグ・タイマへのクロック供給停止。		
クロック出力		カウント・クロックにサブシステム・クロック選択時のみ動作可能		
A/Dコンバータ		動作停止		
オペアンプ		動作可能		
シリアル・インタフェース	UART6	8ビット・タイマ/イベント・カウンタ50動作時, シリアル・クロックにTM50出力選択時のみ動作可能		
	CSI10 ^注	シリアル・クロックに外部クロック選択時のみ動作可能		
	IICA ^注	アドレス一致によるウェイクアップ動作可能		
乗除算器		動作停止		
パワーオン・クリア機能		動作可能		
低電圧検出機能				
外部割り込み				

注 STOPモード中は, 周辺ハードウェアの端子からの外部クロックで動作開始しないでください。

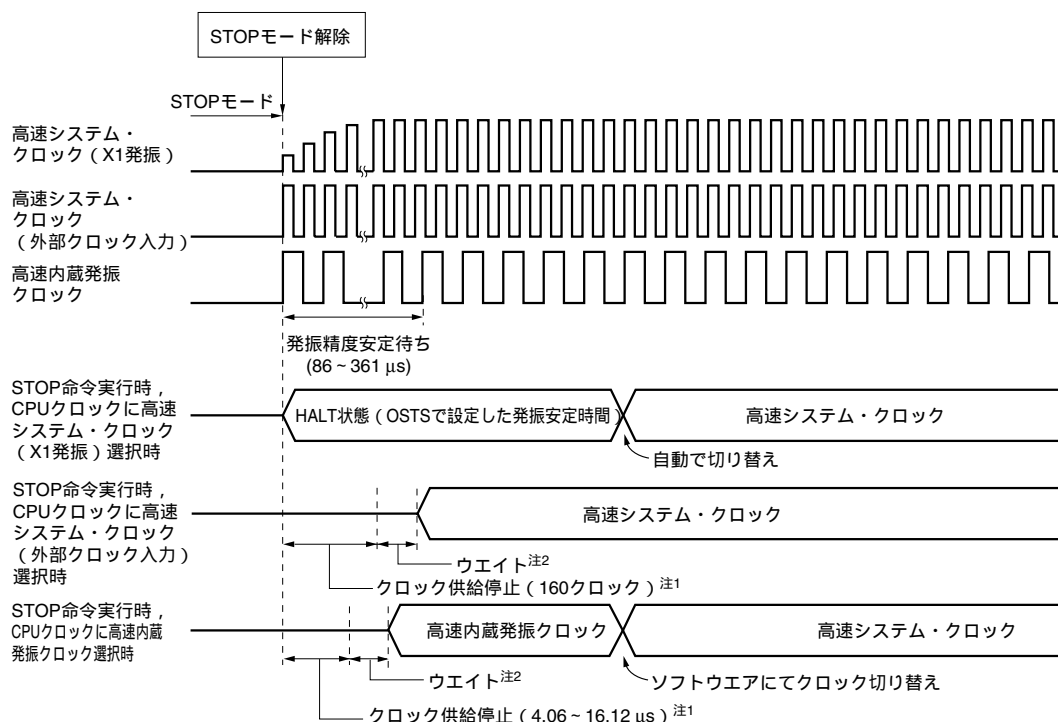
備考1. f_{RH} : 高速内蔵発振クロック, f_x : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック

2. 製品により, 搭載している機能が異なります。1.5 **ブロック図**, 1.6 **機能概要**を参照してください。

- 注意1. STOPモード中に動作停止する周辺ハードウェア, および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は, 周辺ハードウェアをリスタートしてください。
2. オプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」を選択しても, STOPモード時では低速内蔵発振クロックは, STOPモード設定前の状態を継続します。STOPモード中に停止したい場合は, ソフトウェアにて, 低速内蔵発振器の発振を停止してから, STOP命令を実行してください。
3. 高速システム・クロック (X1発振) でCPU動作していて, STOPモード解除後の発振安定時間を短縮したい場合は, STOP命令実行前に次の手順で高速内蔵発振クロックに切り替えることで実現できます。
- RSTOPを0に設定 (高速内蔵発振器の発振開始) MCM0を0に設定 (CPUをX1発振から高速内蔵発振に切り替え)
- MCS = 0であることを確認 (CPUクロックの確認) RSTS = 1であることを確認 (高速内蔵発振動作の確認)
- STOP命令実行
- STOPモード解除後, CPUクロックを高速内蔵発振クロックから高速システム・クロック (X1発振) に切り替える場合は, 発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間を確認してから, 行ってください。
4. AMPH = 1設定時にSTOP命令を実行した場合, CPUクロックが高速内蔵発振クロックのときはSTOPモード解除後に4.06 ~ 16.12 μ s間, CPUクロックが高速システム・クロック (外部クロック入力) のときはSTOPモード解除後に外部クロックの160クロック分, CPUクロックの供給が停止されます。
5. STOP命令は, 必ず高速内蔵発振器安定動作 (RSTS = 1) になっていることを確認してから行ってください。

(2) STOPモードの解除

図20 - 5 STOPモード解除時の動作タイミング (マスクされていない割り込み要求による解除の場合)



注1. AMPH = 1設定時

2. ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 17 ~ 18クロック
- ・ベクタ割り込み処理を行わない場合 : 11 ~ 12クロック

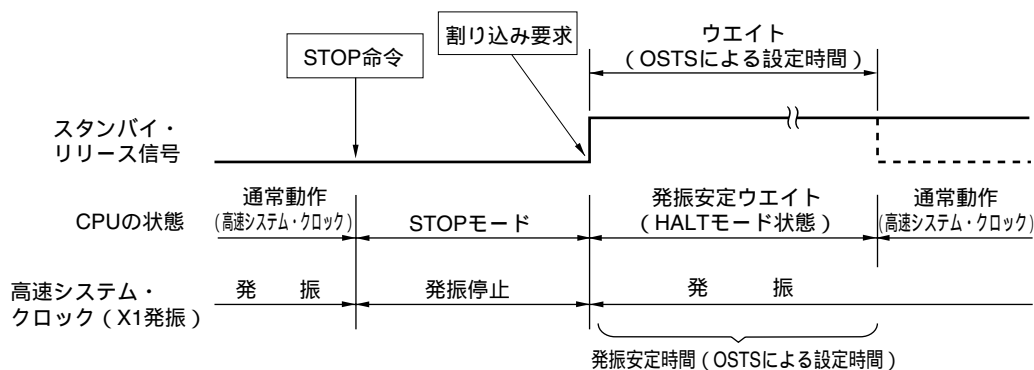
STOPモードは, 次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

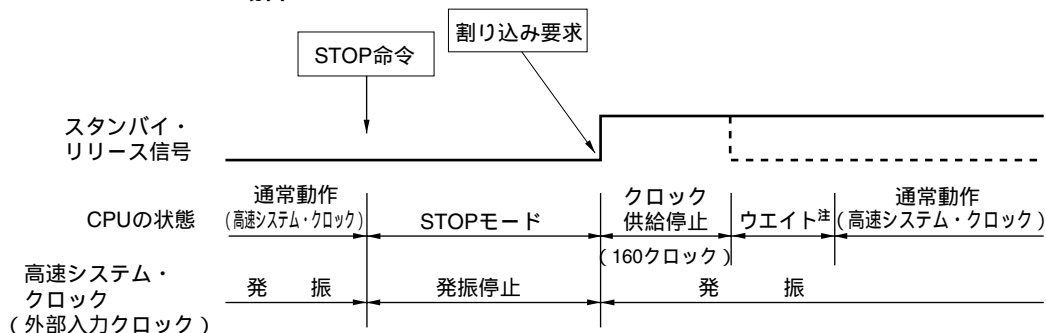
図20 - 6 STOPモードの割り込み要求発生による解除 (1/2)

(1) CPUクロックが高速システム・クロック (X1発振) の場合

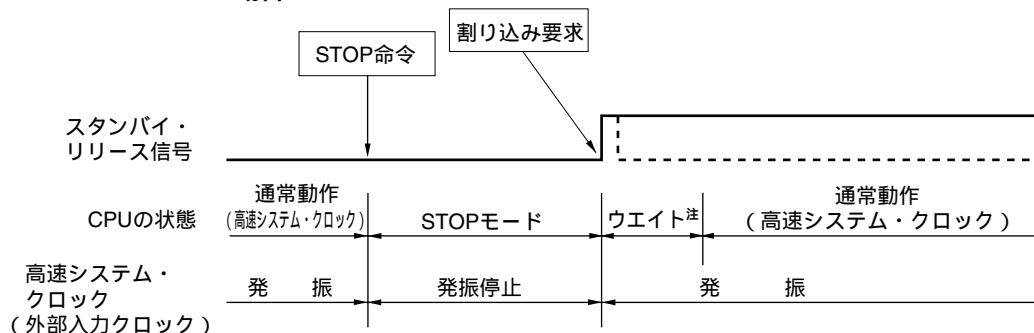


(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合

・ AMPH = 1の場合



・ AMPH = 0の場合



注 ウエイト時間は次のようになります。

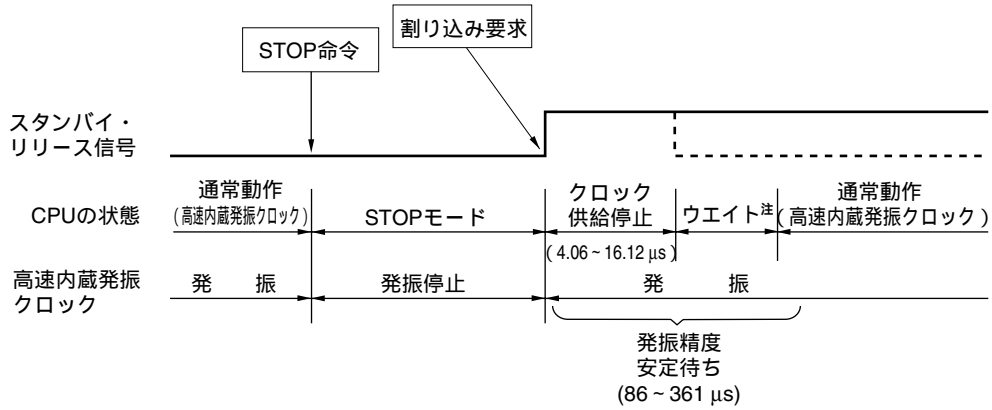
- ・ベクタ割り込み処理を行う場合 : 17~18クロック
- ・ベクタ割り込み処理を行わない場合 : 11~12クロック

備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

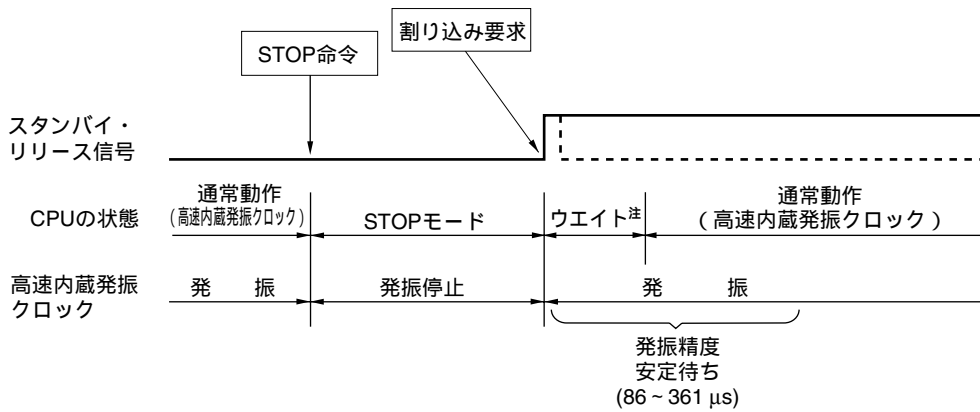
図20 - 6 STOPモードの割り込み要求発生による解除 (2/2)

(3) CPUクロックが高速内蔵発振クロックの場合

・ AMPH = 1の場合



・ AMPH = 0の場合



注 ウェイト時間は次のようになります。

- ・ ベクタ割り込み処理を行う場合 : 17 ~ 18クロック
- ・ ベクタ割り込み処理を行わない場合 : 11 ~ 12クロック

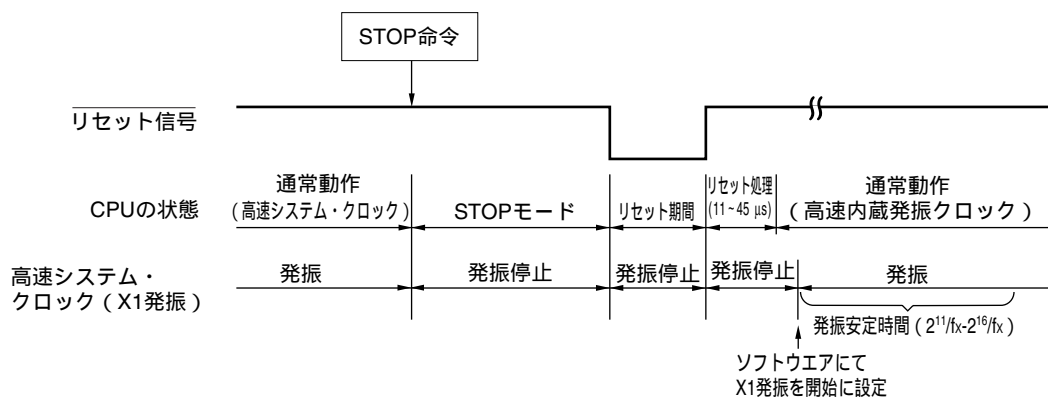
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

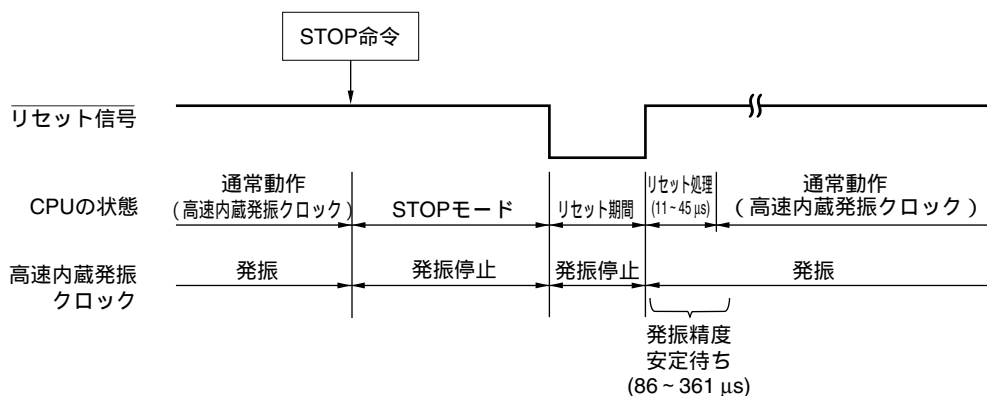
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図20 - 7 STOPモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

表20 - 4 STOPモード時の割り込み要求に対する動作

解除ソース	MK × ×	PR × ×	IE	ISP	動作
マスカブル割り込み要求	0	0	0	×	次アドレス命令実行
	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	割り込み処理実行
	0	1	1	1	
	1	×	×	×	STOPモード保持
リセット	-	-	×	×	リセット処理

× : don't care

第21章 リセット機能

リセット機能は、78K0/Kx2-Aマイクロコントローラ的全製品に搭載されています。

リセット信号を発生させる方法には、次の4種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 低電源検出回路 (LVI) の電源電圧と検出電圧との比較による内部リセット

外部リセットと内部リセットは機能面での差はなく、リセット信号の発生により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

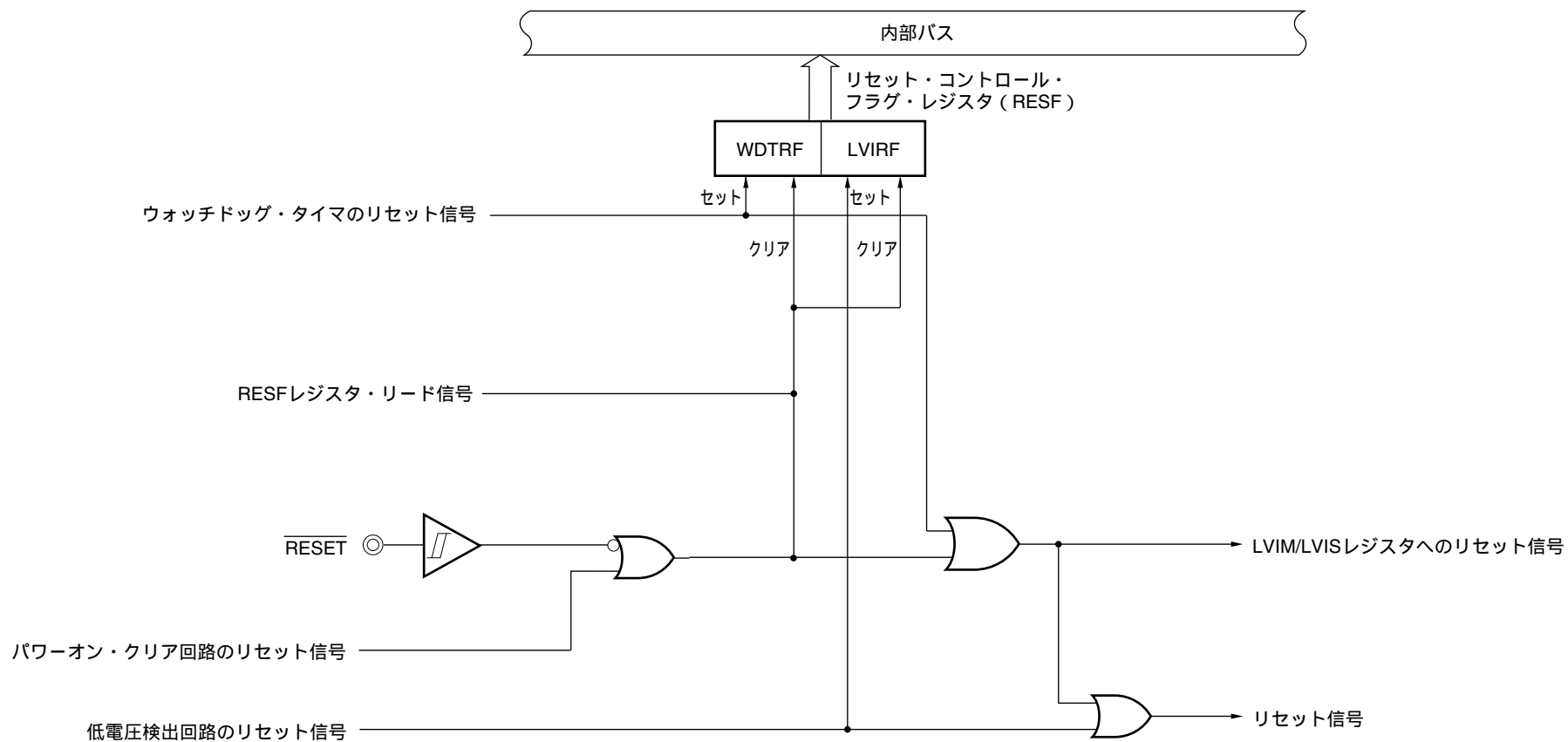
$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、またはPOC回路、LVI回路の電圧検出により、リセットがかかり、各ハードウェアは表21 - 1, 表21 - 2に示すような状態になります。また、リセット信号発生中およびリセット解除直後の発振安定時間中の各端子の状態はハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、自動的にリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (図21 - 2から図21 - 4参照)。POC回路、LVI回路の電源検出によるリセットは、リセット後 V_{DD} V_{Poc} または V_{DD} V_{Lvi} になったときにリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (第22章 パワーオン・クリア回路と第23章 低電圧検出回路参照)。

- 注意1.** 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。
2. リセット信号発生中では、X1クロック、XT1クロック^注、高速内蔵発振クロック、低速内蔵発振クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。
 3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子はハイ・インピーダンスとなります。

注 78K0/KB2-Aには、XT1クロックはありません。

図21 - 1 リセット機能のブロック図



注意 LVI回路の内部リセットの場合、LVI回路はリセットされません。

備考1. LVIM：低電圧検出レジスタ

2. LVIS：低電圧検出レベル選択レジスタ

図21 - 2 RESET入力によるリセット・タイミング

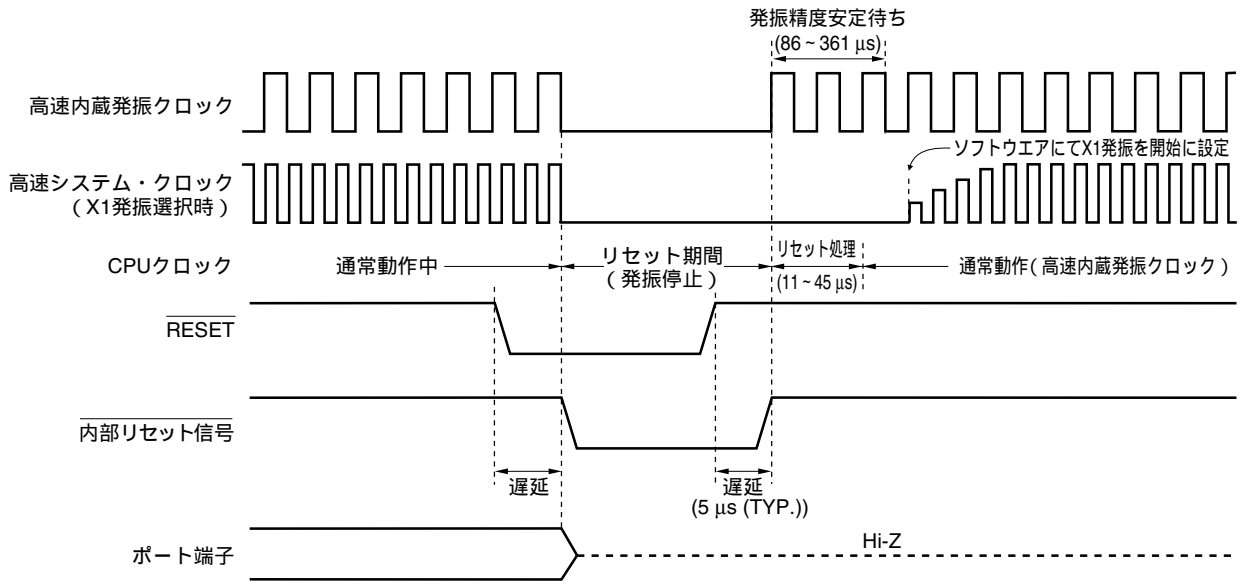
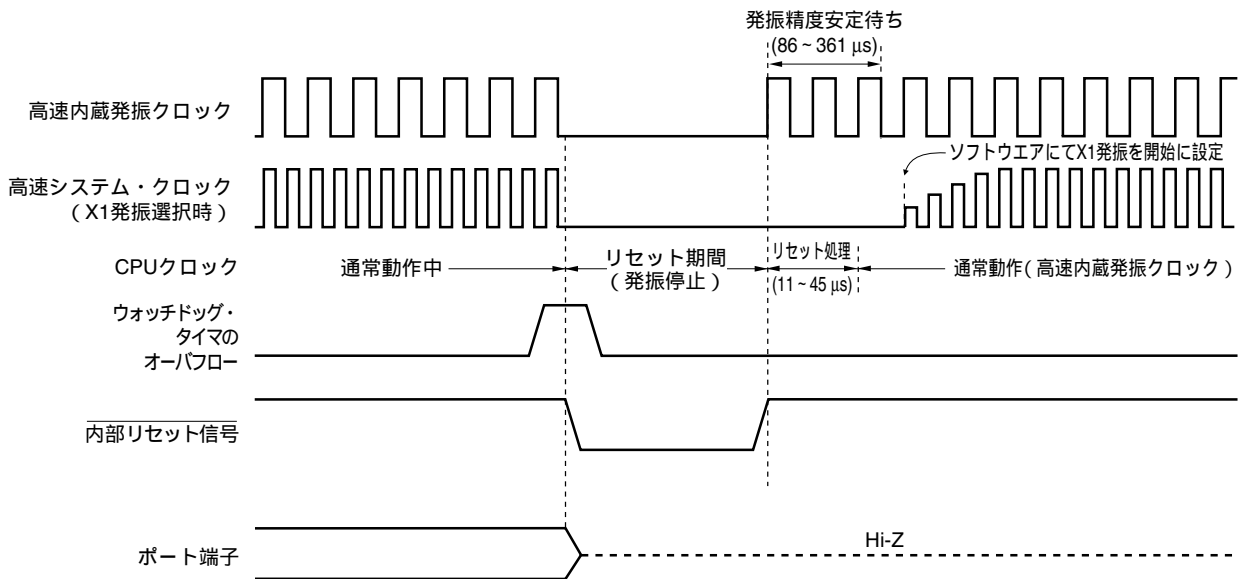
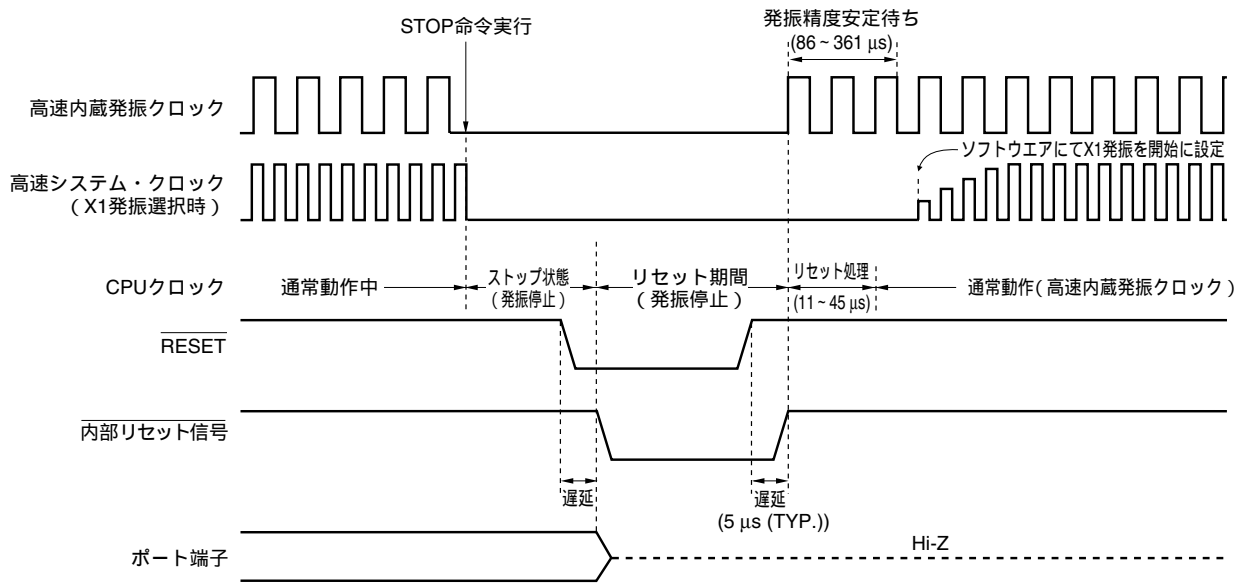


図21 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング



注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

図21-4 STOPモード中のRESET入力によるリセット・タイミング



備考 パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは、第22章 パワーオン・クリア回路と第23章 低電圧検出回路を参照してください。

表21-1 リセット期間中の動作状態

項 目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	f _{RH}	動作停止
	f _x	動作停止（端子は入出力ポート・モード）
	f _{EXCLK}	クロックの入力無効（端子は入出力ポート・モード）
サブシステム・クロック (f _{SUB})	動作停止（端子は入出力ポート・モード）	
低速内蔵発振クロック (f _{RL})	動作停止	
CPU		
フラッシュ・メモリ		
RAM		
ポート（ラッチ）		
16ビット・タイマ/イベント・カウンタ00		
8ビット・タイマ/イベント・カウンタ	50	
	51	
8ビット・タイマ	H0	
	H1	
リアルタイム・カウンタ (RTC)		
ウォッチドッグ・タイマ		
クロック出力		
A/Dコンバータ		
シリアル・インタフェース	UART6	
	CSI10	
	IICA	
乗除算器		
パワーオン・クリア機能	動作可能	
低電圧検出機能	動作停止	
外部割り込み		

備考1. f_{RH} : 高速内蔵発振クロック, f_x : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック

2. 製品により、搭載している機能が異なります。1.5 **ブロック図**, 1.6 **機能概要**を参照してください。

表21 - 2 各ハードウェアのリセット受け付け後の状態 (1/4)

ハードウェア		リセット受け付け後の状態 ^{注1}
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート・レジスタ (P0-P4, P6-P8, P12) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0-PM4, PM6-PM8, PM12)		FFH
プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3, PU4, PU7, PU12)		00H
メモリ・サイズ切り替えレジスタ (IMS)		CFH ^{注3}

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

3. メモリ・サイズ切り替えレジスタ (IMS) のリセット解除後の初期値は、内部メモリ容量にかかわらず、すべての製品において一定 (IMS = CFH) となっています。したがって、リセット解除後、製品ごとに表3 - 1に示す値を必ず設定してください。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.3 **特殊機能レジスタ (SFR: Special Function Register)** を参照してください。

表21 - 2 各ハードウェアのリセット受け付け後の状態 (2/4)

ハードウェア		リセット受け付け後の状態 ^{注1}
クロック動作モード選択レジスタ (OSCCTL)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		01H
内蔵発振モード・レジスタ (RCM)		80H
メインOSCコントロール・レジスタ (MOC)		80H
メイン・クロック・モード・レジスタ (MCM)		00H
発振安定時間カウンタ状態レジスタ (OSTC)		00H
発振安定時間選択レジスタ (OSTS)		05H
16ビット・タイマ/ イベント・カウンタ00	タイマ・カウンタ00 (TM00)	0000H
	キャプチャ/コンペア・レジスタ000, 010 (CR000, CR010)	0000H
	モード・コントロール・レジスタ00 (TMC00)	00H
	プリスケアラ・モード・レジスタ00 (PRM00)	00H
	キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)	00H
	タイマ出力コントロール・レジスタ00 (TOC00)	00H
8ビット・タイマ/イベン ト・カウンタ50, 51	タイマ・カウンタ50, 51 (TM50, TM51)	00H
	コンペア・レジスタ50, 51 (CR50, CR51)	00H
	タイマ・クロック選択レジスタ50, 51 (TCL50, TCL51)	00H
	モード・コントロール・レジスタ50, 51 (TMC50, TMC51)	00H
8ビット・タイマH0, H1	コンペア・レジスタ00, 10, 01, 11 (CMP00, CMP10, CMP01, CMP11)	00H
	モード・レジスタ (TMHMD0, TMHMD1)	00H
	キャリア・コントロール・レジスタ1 (TMCYC1) ^{注2}	00H
リアルタイム・カウンタ	サブカウント・レジスタ (RSUBC)	0000H
	秒カウント・レジスタ (SEC)	00H
	分カウント・レジスタ (MIN)	00H
	時カウント・レジスタ (HOUR)	12H
	曜日カウント・レジスタ (WEEK)	00H
	日カウント・レジスタ (DAY)	01H
	月カウント・レジスタ (MONTH)	01H
	年カウント・レジスタ (YEAR)	00H
	時計誤差補正レジスタ (SUBCUD)	00H
	アラーム分レジスタ (ALARMWM)	00H
	アラーム時レジスタ (ALARMWH)	12H
	アラーム曜日レジスタ (ALARMWW)	00H
	コントロール・レジスタ0 (RTCC0)	00H
	コントロール・レジスタ1 (RTCC1)	00H
コントロール・レジスタ2 (RTCC2)	00H	

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. 8ビット・タイマH1のみ。

備考 製品により、搭載している特殊機能レジスタ(SFR)が異なります。3.2.3 特殊機能レジスタ(SFR: Special Function Register)を参照してください。

表21-2 各ハードウェアのリセット受け付け後の状態 (3/4)

ハードウェア		リセット受け付け後の状態 ^{注1}
クロック出力	クロック出力選択レジスタ (CKS)	00H
ウォッチドッグ・タイマ	イネーブル・レジスタ (WDTE)	1AH/9AH ^{注2}
A/Dコンバータ	12ビットA/D変換結果レジスタ (ADCR)	0000H
	8ビットA/D変換結果レジスタ (ADCRH)	00H
	A/Dコンバータ・モード・レジスタ (ADM)	00H
	A/Dコンバータ・モード・レジスタ1 (ADM1)	00H
	アナログ基準電圧制御レジスタ (ADVRC)	00H
	アナログ入力チャネル指定レジスタ (ADS)	00H
	A/Dポート・コンフィギュレーション・レジスタ (ADPC)	10H
シリアル・インタフェース UART6	受信バッファ・レジスタ6 (RXB6)	FFH
	送信バッファ・レジスタ6 (TXB6)	FFH
	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)	01H
	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)	00H
	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)	00H
	クロック選択レジスタ6 (CKSR6)	00H
	ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)	FFH
	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)	16H
入力切り替え制御レジスタ (ISC)	00H	
シリアル・インタフェース CSI10	送信バッファ・レジスタ10 (SOTB10)	00H
	シリアルI/Oシフト・レジスタ10 (SIO10)	00H
	シリアル動作モード・レジスタ10 (CSIM10)	00H
	シリアル・クロック選択レジスタ10 (CSIC10)	00H
シリアル・インタフェース IICA	シフト・レジスタ (IICA)	00H
	ステータス・レジスタ0 (IICAS0)	00H
	フラグ・レジスタ0 (IICAF0)	00H
	コントロール・レジスタ0 (IICACTL0)	00H
	コントロール・レジスタ1 (IICACTL1)	00H
	ロウ・レベル幅設定レジスタ (IICWL)	FFH
	ハイ・レベル幅設定レジスタ (IICWH)	FFH
スレーブ・アドレス・レジスタ0 (SVA0)	00H	
乗除算器	剰余データ・レジスタ0 (SDR0)	0000H
	乗除算データ・レジスタA0 (MDA0H, MDA0L)	0000H
	乗除算データ・レジスタB0 (MDB0)	0000H
	乗除算器コントロール・レジスタ0 (DMUC0)	00H
キー割り込み	キー・リターン・モード・レジスタ (KRM)	00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. WDTEのリセット値は、オプション・バイトの設定で決定します。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.3 特殊機能レジスタ (SFR: Special Function Register) を参照してください。

表21 - 2 各ハードウェアのリセット受け付け後の状態 (4/4)

ハードウェア		リセット受け付け後の状態 ^{注1}
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	00H ^{注2}
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H ^{注2}
	低電圧検出レベル選択レジスタ (LVIS)	00H ^{注2}
割り込み	要求フラグ・レジスタ0L, 0H, 1L, 1H (IF0L, IF0H, IF1L, IF1H)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L, 1H (MK0L, MK0H, MK1L, MK1H)	FFH
	優先順位指定フラグ・レジスタ0L, 0H, 1L, 1H (PR0L, PR0H, PR1L, PR1H)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1)	00H
	外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)	00H

- 注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。
2. リセット要因により、次のように変化します。

リセット要因 レジスタ		RESET入力	POCによる リセット	WDTによる リセット	LVIによる リセット
RESF	WDTRFフラグ	クリア (0)	クリア (0)	セット (1)	保持
	LVIRFフラグ			保持	セット (1)
LVIM		クリア (00H)	クリア (00H)	クリア (00H)	保持
LVIS					

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.3 特殊機能レジスタ (SFR: Special Function Register) を参照してください。

21.1 リセット要因を確認するレジスタ

78K0/Kx2-Aマイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・クリア (POC) 回路によるリセットおよびRESFのデータを読み出すことにより、00Hになります。

図21 - 5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFACH リセット時 : 00H^註 R

略号	7	6	5	4	3	2	1	0
RESF	0	0	0	WDTRF	0	0	0	LVIRF

WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない, またはRESFをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出 (LVI) 回路による内部リセット要求
0	内部リセット要求は発生していない, またはRESFをクリアした
1	内部リセット要求は発生した

注 リセット要因により異なります。

注意 1ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時のRESFの状態を表21 - 3に示します。

表21 - 3 リセット要求時のRESFの状態

リセット要因 フラグ	$\overline{\text{RESET}}$ 入力	POCによる リセット	WDTによる リセット	LVIによる リセット
WDTRF	クリア (0)	クリア (0)	セット (1)	保持
LVIRF			保持	セット (1)

第22章 パワーオン・クリア回路

22.1 パワーオン・クリア回路の機能

パワーオン・クリア回路は、78K0/Kx2-Aマイクロコントローラの全製品に搭載されています。

パワーオン・クリア (POC) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。

1.59 V POCモード設定時 (オプション・バイト: POCMODE = 0) は、電源電圧 (V_{DD}) が $1.59\text{ V} \pm 0.15\text{ V}$ を越えた場合に、リセットを解除します。

2.7 V/1.59 V POCモード設定時 (オプション・バイト: POCMODE = 1) 時は、電源電圧 (V_{DD}) が $2.7\text{ V} \pm 0.2\text{ V}$ を越えた場合に、リセットを解除します。

- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.59\text{ V} \pm 0.15\text{ V}$) を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生します。

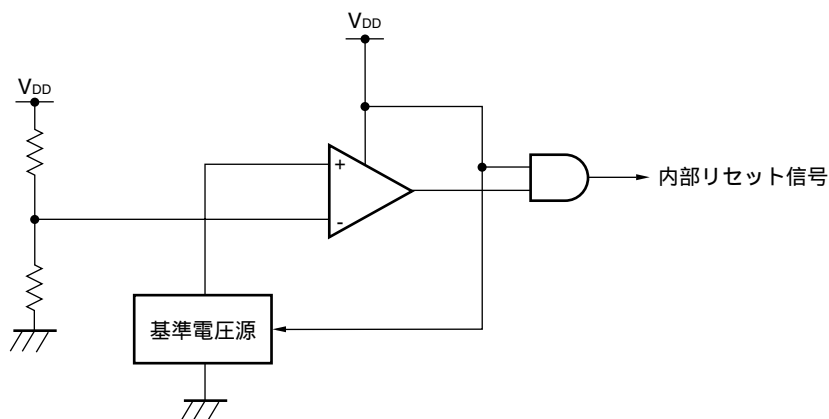
注意 POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。

備考 78K0/Kx2-Aマイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 低電圧検出 (LVI) 回路による内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ (RESF) に配置されています。RESFはWDT / LVIのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFの詳細については、第21章 リセット機能を参照してください。

22.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図22 - 1に示します。

図22 - 1 パワーオン・クリア回路のブロック図



22.3 パワーオン・クリア回路の動作

(1) 1.59 V POCモード設定時 (オプション・バイト : POCMODE = 0)

- ・電源投入時に内部リセット信号を発生し、電源電圧 (V_{DD}) が検出電圧 ($V_{POC} = 1.59 \text{ V} \pm 0.15 \text{ V}$) を越えたら、リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.59 \text{ V} \pm 0.15 \text{ V}$) を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生し、 $V_{DD} > V_{POC}$ のときリセットを解除します。

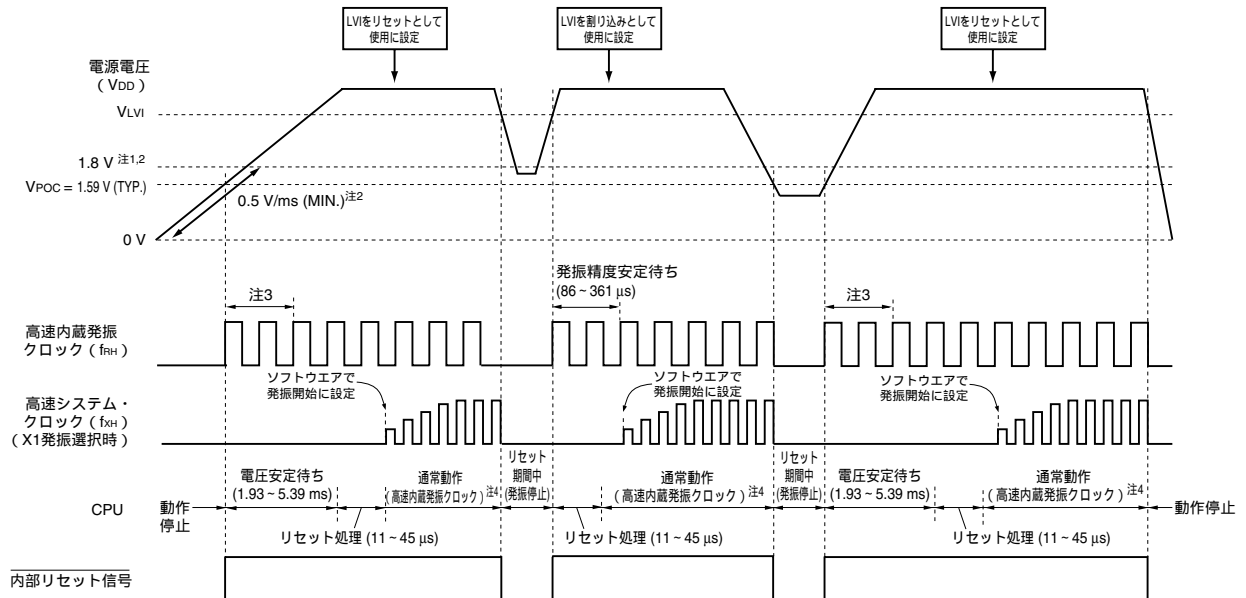
(2) 2.7 V/1.59 V POCモード設定時 (オプション・バイト : POCMODE = 1)

- ・電源投入時に内部リセット信号を発生し、電源電圧 (V_{DD}) が電源電圧投入時検出電圧 ($V_{DDPOC} = 2.7 \text{ V} \pm 0.2 \text{ V}$) を越えたら、リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.59 \text{ V} \pm 0.15 \text{ V}$) を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生し、 $V_{DD} > V_{DDPOC}$ のときリセットを解除します。

パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミングを次に示します。

図22 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (1/2)

(1) 1.59 V POCモード設定時 (オプション・バイト : POCMODE = 0)



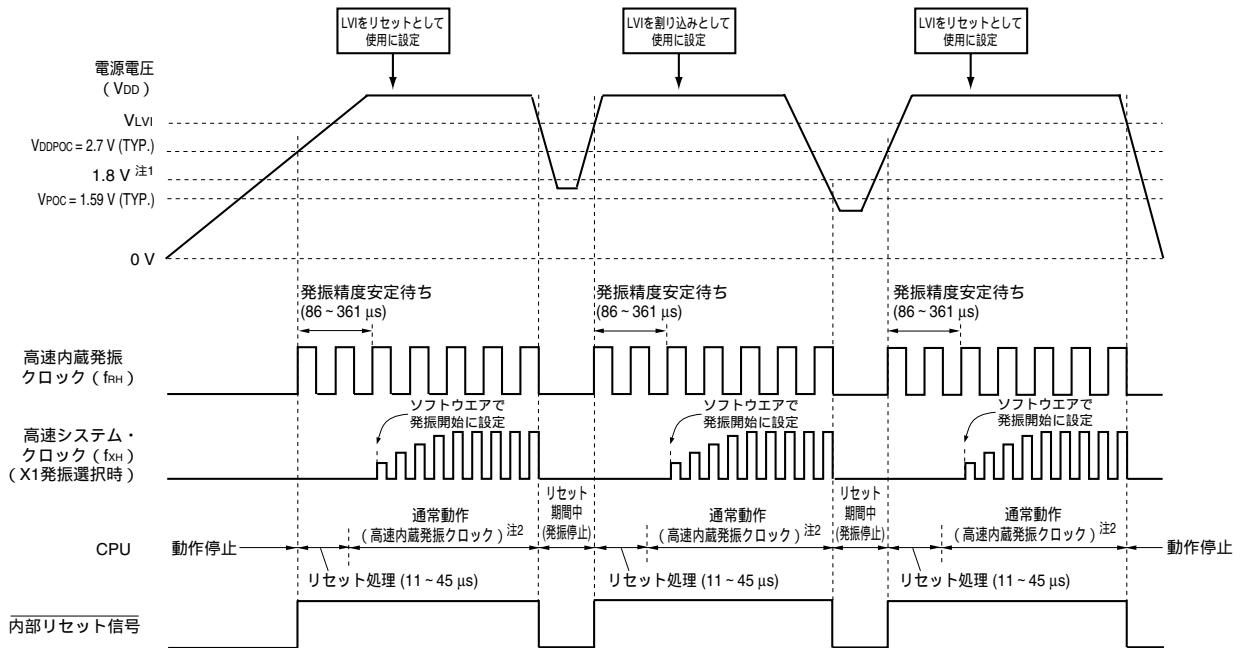
- 注1. 動作保証範囲は1.8 V V_{DD} 5.5 Vです。電源立ち下がり時に動作保証範囲未満の電圧範囲をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、または $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してください。
2. 電源投入時から1.8 Vに達するまでの電圧の立ち上がり率が、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力するか、オプション・バイトで2.7 V/1.59 V POCモードを設定 (POCMODE = 1) してください。
3. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ち時間に含まれます。
4. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロック^{注5}に切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、XT1クロック^{注5}を使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
5. 78K0/KB2-Aには、サブシステム・クロック、XT1クロックはありません。

注意 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください(第23章 低電圧検出回路を参照)。

備考 V_{LVI} : LVI検出電圧
V_{POC} : POC検出電圧

図22 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (2/2)

(2) 2.7 V/1.59 V POCモード設定時 (オプション・バイト : POCMODE = 1)



注1. 動作保証範囲は1.8 V V_{DD} 5.5 Vです。電源立ち上がり時に動作保証範囲未満の電圧範囲をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、またはRESET端子にロウ・レベルを入力してください。

2. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロック^{注3}に切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、XT1クロック^{注3}を使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
3. 78K0/KB2-Aには、サブシステム・クロック、XT1クロックはありません。

注意1. 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください (第23章 低電圧検出回路を参照)。

2. 電源電圧が1.59 V (TYP.) に達したあと、1.93 ~ 5.39 msの電圧安定待ち時間が必要となります。1.59 V (TYP.) から2.7 V (TYP.) に達する時間が、1.93 ms以内の場合は、リセット処理前に0 ~ 5.39 msの電源安定待ち時間が自動的に発生します。

備考 V_{LVI} : LVI検出電圧
 V_{POC} : POC検出電圧

22.4 パワーオン・クリア回路の注意事項

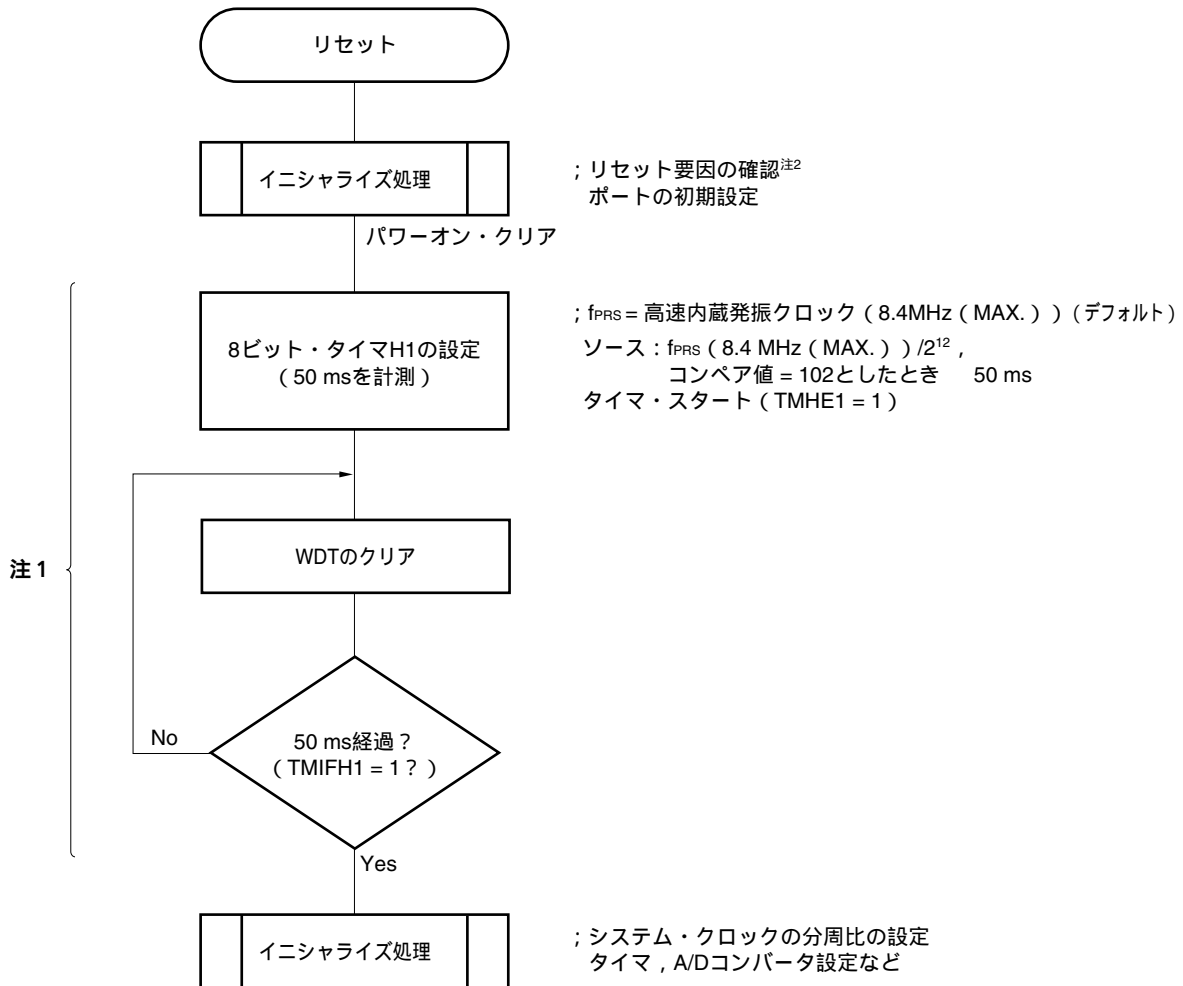
電源電圧 (V_{DD}) がPOC検出電圧 (V_{POC}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図22 - 3 リセット解除後のソフト処理例 (1/2)

・ POC検出電圧付近での電源電圧変動が50 ms以下の場合

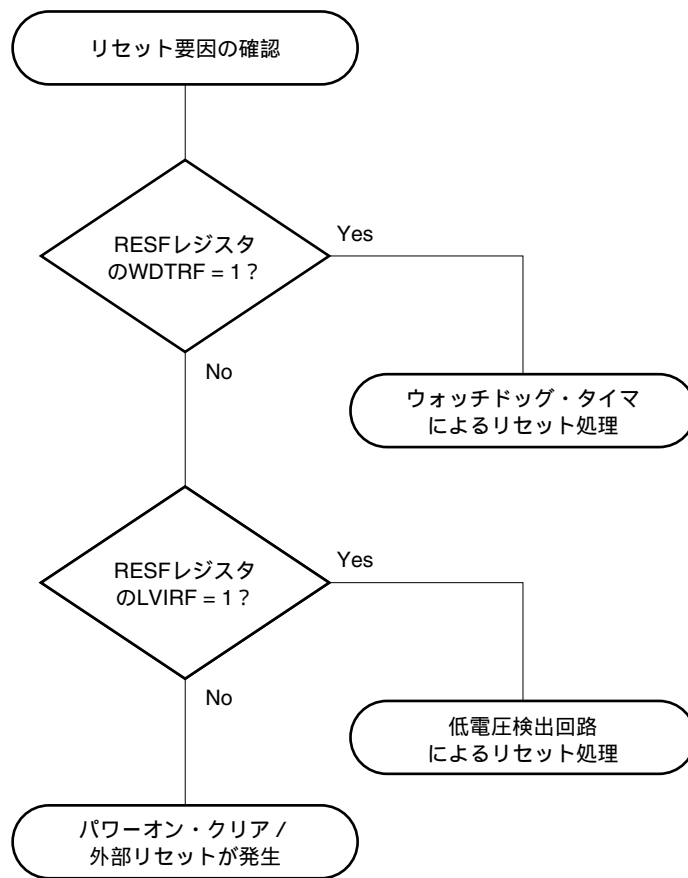


注1. この間に再度リセットが発生した場合、イニシャライズ処理 には移行しません。

2. 次頁にフロー・チャートを示します。

図22 - 3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



第23章 低電圧検出回路

23.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は、78K0/Kx2-Aマイクロコントローラの全製品に搭載されています。

低電圧検出回路は、次のような機能を持ちます。

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI})、または外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21\text{ V (TYP.)}$: 固定) を比較し、内部リセットまたは内部割り込み信号を発生します。
- ・電源電圧 (V_{DD}) / 外部入力端子からの入力電圧 ($EXLVI$) は、ソフトウェアにて選択できます。
- ・リセット / 割り込みは、ソフトウェアにて選択できます。
- ・電源電圧の検出電圧 (V_{LVI}) は、ソフトウェアにて検出レベルを16段階より選択できます。
- ・STOPモード時においても動作可能です。

リセットと割り込み信号は、ソフトウェアの選択により、次のように発生します。

電源電圧 (V_{DD}) のレベル検出を選択 ($LVISEL = 0$)		外部入力端子からの入力電圧 ($EXLVI$) のレベル検出を選択 ($LVISEL = 1$)	
リセット選択 ($LVIMD = 1$)	割り込み選択 ($LVIMD = 0$)	リセット選択 ($LVIMD = 1$)	割り込み選択 ($LVIMD = 0$)
$V_{DD} < V_{LVI}$ になったときに内部リセットを発生し、 $V_{DD} > V_{LVI}$ になったときに内部リセットを解除	電源電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電源電圧上昇時に $V_{DD} > V_{LVI}$ になったときに内部割り込み信号を発生	$EXLVI < V_{EXLVI}$ になったときに内部リセットを発生し、 $EXLVI > V_{EXLVI}$ になったときに内部リセットを解除	入力電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または入力電圧上昇時に $EXLVI > V_{EXLVI}$ になったときに内部割り込み信号を発生

備考 $LVISEL$: 低電圧検出レジスタ ($LVIM$) のビット2

$LVIMD$: $LVIM$ のビット1

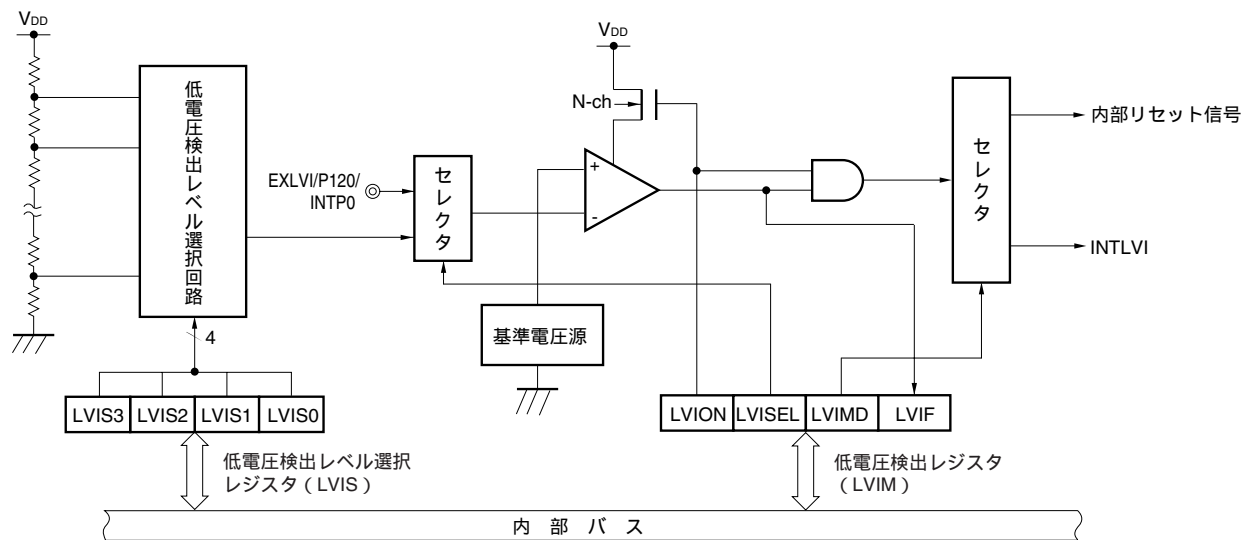
低電圧検出回路動作時では、低電圧検出フラグ ($LVIF$: $LVIM$ のビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

低電圧検出回路をリセットとして使用した場合、リセットが発生するとリセット・コントロール・フラグ・レジスタ ($RESF$) のビット0 ($LVIRF$) がセット (1) されます。 $RESF$ についての詳細は、第21章 **リセット機能** を参照してください。

23.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図23 - 1に示します。

図23 - 1 低電圧検出回路のブロック図



23.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)
- ・ポート・モード・レジスタ12 (PM12)

(1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

LVリセット以外のリセット信号の発生により，00Hになります。

図23 - 2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFBEH リセット時 : 00H^{注1} R/W^{注2}

略号	[7]	6	5	4	3	[2]	[1]	[0]
LVIM	LVION	0	0	0	0	LVISEL	LVIMD	LVIF

LVION ^{注3, 4}	低電圧検出動作許可
0	動作禁止
1	動作許可

LVISEL ^{注3}	電圧検出の選択
0	電源電圧 (V _{DD}) のレベルを検出
1	外部入力端子からの入力電圧 (EXLVI) のレベルを検出

LVIMD ^{注3}	低電圧検出の動作モード (割り込み/リセット) 選択
0	<ul style="list-style-type: none"> LVISEL=0の場合, 電圧降下時に電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) になったとき, または, 電圧上昇時にV_{DD} > V_{LVI}になったとき内部割り込み信号を発生 LVISEL=1の場合, 電圧降下時に外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) になったとき, または電圧上昇時にEXLVI > V_{EXLVI}になったときに割り込み信号発生
1	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) 時に内部リセット発生, にV_{DD} > V_{LVI}時に内部リセット解除 LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) 時に内部リセット発生, EXLVI > V_{EXLVI}時に内部リセット解除

LVIF	低電圧検出フラグ
0	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}), または動作禁止時 LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}), または動作禁止時
1	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI})

注1. LVI以外のリセット時では, "00H" にクリアされます。

- ビット0はRead Onlyです。
- LVION, LVIMD, LVISELはLVIリセット以外のリセット時にクリア (0) されます。LVIリセットではクリア (0) されません。
- LVIONをセット (1) すると, LVI回路内のコンパレータの動作を開始します。LVIONをセット (1) してから動作が安定するまでの時間 (10 μs (MIN.)) を, ソフトウェアでウエイトしてください。また動作安定後, LVI検出電圧未満の状態になってからLVIFがセット (1) されるまで, 200 μs以上の外部入力 (最小パルス幅: 200 μs (MIN.)) が必要です。

注意1. LVIを停止する場合は, 次のいずれかの手順を行ってください。

- ・8ビット・メモリ操作命令の場合: LVIMに "00H" を書き込む
 - ・1ビット・メモリ操作命令の場合: LVIONをクリア (0)
- 外部入力端子からの入力電圧 (EXLVI) は, EXLVI < V_{DD} でなければなりません。
 - LVIを割り込みとして使用する場合, LVI検出電圧未満の状態LVIONをクリア(0)すると, INTLVI信号が発生し, LVIFが1になります。

(2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

LVISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

LVIリセット以外のリセット信号の発生により、00Hになります。

図23 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス：FFBFH リセット時：00H^註 R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0

LVIS3	LVIS2	LVIS1	LVIS0	検出レベル
0	0	0	0	V _{LV10} (4.24 V ± 0.1 V)
0	0	0	1	V _{LV11} (4.09 V ± 0.1 V)
0	0	1	0	V _{LV12} (3.93 V ± 0.1 V)
0	0	1	1	V _{LV13} (3.78 V ± 0.1 V)
0	1	0	0	V _{LV14} (3.62 V ± 0.1 V)
0	1	0	1	V _{LV15} (3.47 V ± 0.1 V)
0	1	1	0	V _{LV16} (3.32 V ± 0.1 V)
0	1	1	1	V _{LV17} (3.16 V ± 0.1 V)
1	0	0	0	V _{LV18} (3.01 V ± 0.1 V)
1	0	0	1	V _{LV19} (2.85 V ± 0.1 V)
1	0	1	0	V _{LV110} (2.70 V ± 0.1 V)
1	0	1	1	V _{LV111} (2.55 V ± 0.1 V)
1	1	0	0	V _{LV112} (2.39 V ± 0.1 V)
1	1	0	1	V _{LV113} (2.24 V ± 0.1 V)
1	1	1	0	V _{LV114} (2.08 V ± 0.1 V)
1	1	1	1	V _{LV115} (1.93 V ± 0.1 V)

注 LVIによるリセットのときには、LVISの値はリセットされず、そのまま値を保持します。それ以外のリセットでは、“00H” にクリアされます。

注意1. ビット4-7には必ず“0”を設定してください。

2. LVI動作中に、LVISの値を変更しないでください。

3. 外部入力端子からの入力電圧 (EXLVI) を検出する場合、検出電圧は固定 (V_{EXLVI} = 1.21 V (TYP.)) です。したがって、LVISの設定は不要です。

(3) ポート・モード・レジスタ12 (PM12)

P120/EXLVI/INTP0端子を外部低電圧検出用電位入力として使用するとき、PM120に1を設定してください。このときP120の出力ラッチは、0または1のどちらでもかまいません。

PM12は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図23 - 4 ポート・モード・レジスタ12 (PM12) のフォーマット

アドレス：FF2CH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM12	1	1	1	PM124 ^註	PM123 ^註	PM122	PM121	PM120

PM12n	P12n端子の入出力モードの選択 (n = 0-4)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 78K0/KB2-Aでは、PM12のビット3, 4には必ず1を設定してください。

23.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

(1) リセットとして使用 (LVIMD = 1)

- ・ LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、V_{DD} < V_{LVI}のとき内部リセットを発生し、V_{DD} > V_{LVI}のとき内部リセットを解除します。
- ・ LVISEL = 1の場合、外部入力端子からの入力電圧 (EXLVI) と検出電圧 (V_{EXLVI} = 1.21 V (TYP.)) を比較し、EXLVI < V_{EXLVI}のとき内部リセットを発生し、EXLVI > V_{EXLVI}のとき内部リセットを解除します。

(2) 割り込みとして使用 (LVIMD = 0)

- ・ LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、電圧降下時にV_{DD} < V_{LVI}になったとき、または電圧上昇時にV_{DD} > V_{LVI}になったとき、割り込み信号 (INTLVI) を発生します。
- ・ LVISEL = 1の場合、外部入力端子からの入力電圧 (EXLVI) と検出電圧 (V_{EXLVI} = 1.21 V (TYP.)) を比較し、電圧降下時にEXLVI < V_{EXLVI}になったとき、または電圧上昇時にEXLVI > V_{EXLVI}になったとき、割り込み信号 (INTLVI) を発生します。

低電圧検出回路動作時では、低電圧検出フラグ (LVIF : LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

備考 LVIMD : 低電圧検出レジスタ (LVIM) のビット1

LVISEL : LVIMのビット2

23.4.1 リセットとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする ($LVIMK = 1$)

低電圧検出レジスタ ($LVIM$) のビット2 ($LVISEL$) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ ($LVIS$) のビット3-0 ($LVIS3$ - $LVIS0$) で検出電圧を設定する

$LVIM$ のビット7 ($LVION$) に “1” (LVI動作許可) を設定する

ソフトウェアで動作安定時間 ($10 \mu s$ (MIN.)) をウェイトする

$LVIM$ のビット0 ($LVIF$) で、「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であることを確認するまで待つ

$LVIM$ のビット1 ($LVIMD$) に “1” (レベル検出時にリセット発生) を設定する

図23 - 5に、 ~ と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

注意1. は必ず行ってください。 $LVIMK = 0$ になっている場合、 の処理を行った時点で割り込みが発生する場合があります。

2. $LVIMD = 1$ とした時点で、「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であれば内部リセット信号は発生しません。

動作停止時

次のいずれかの手順を、必ず実行してください。

・8ビット・メモリ操作命令の場合：

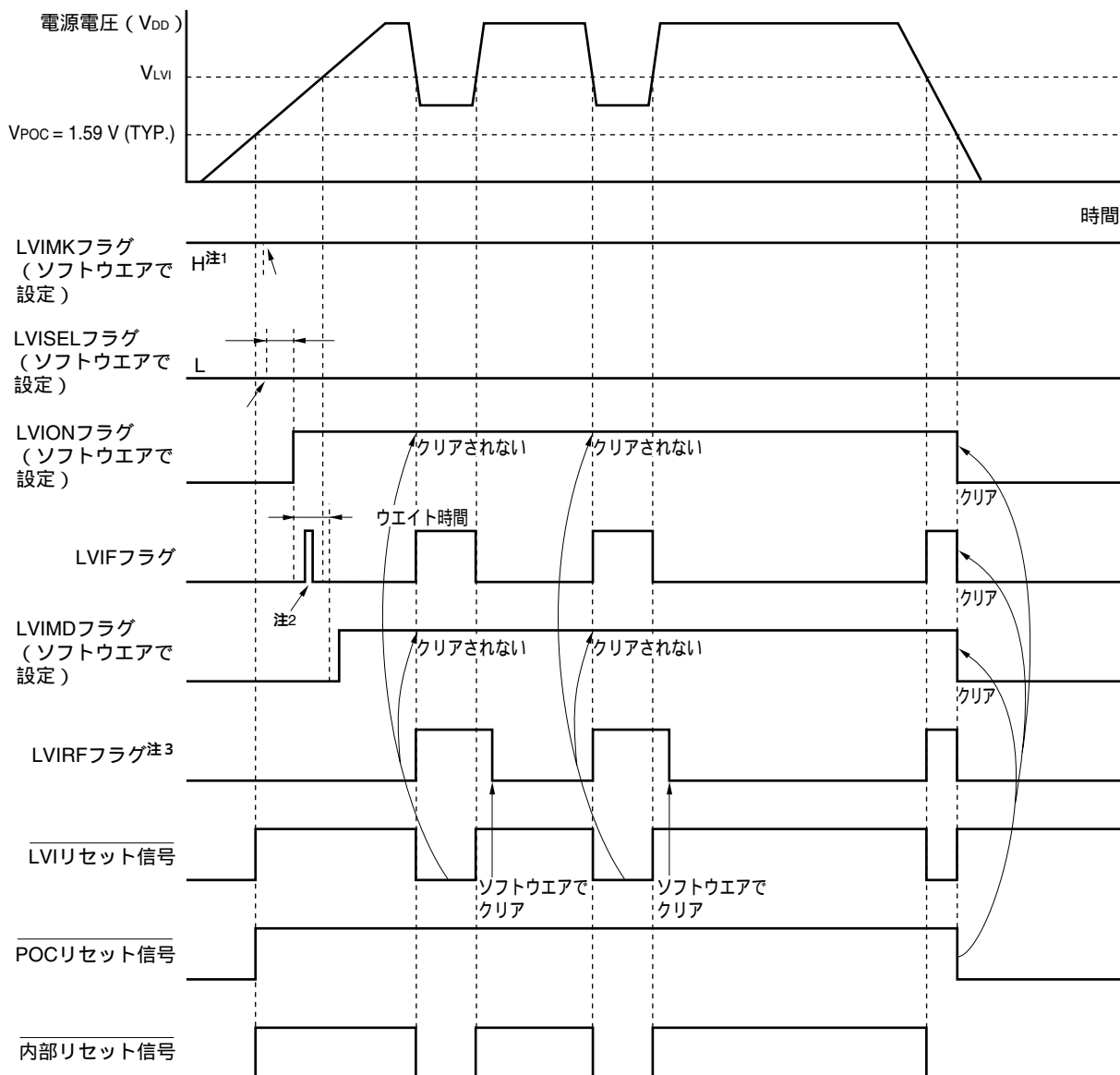
$LVIM$ に “00H” を書き込む

・1ビット・メモリ操作命令の場合：

$LVIMD$ をクリア (0) $LVION$ をクリア (0)

図23 - 5 低電圧検出回路の内部リセット信号発生タイミング(電源電圧(V_{DD})のレベルを検出)(1/2)

(1) 1.59 V POCモード設定時(オプション・バイト: POCMODE = 0)

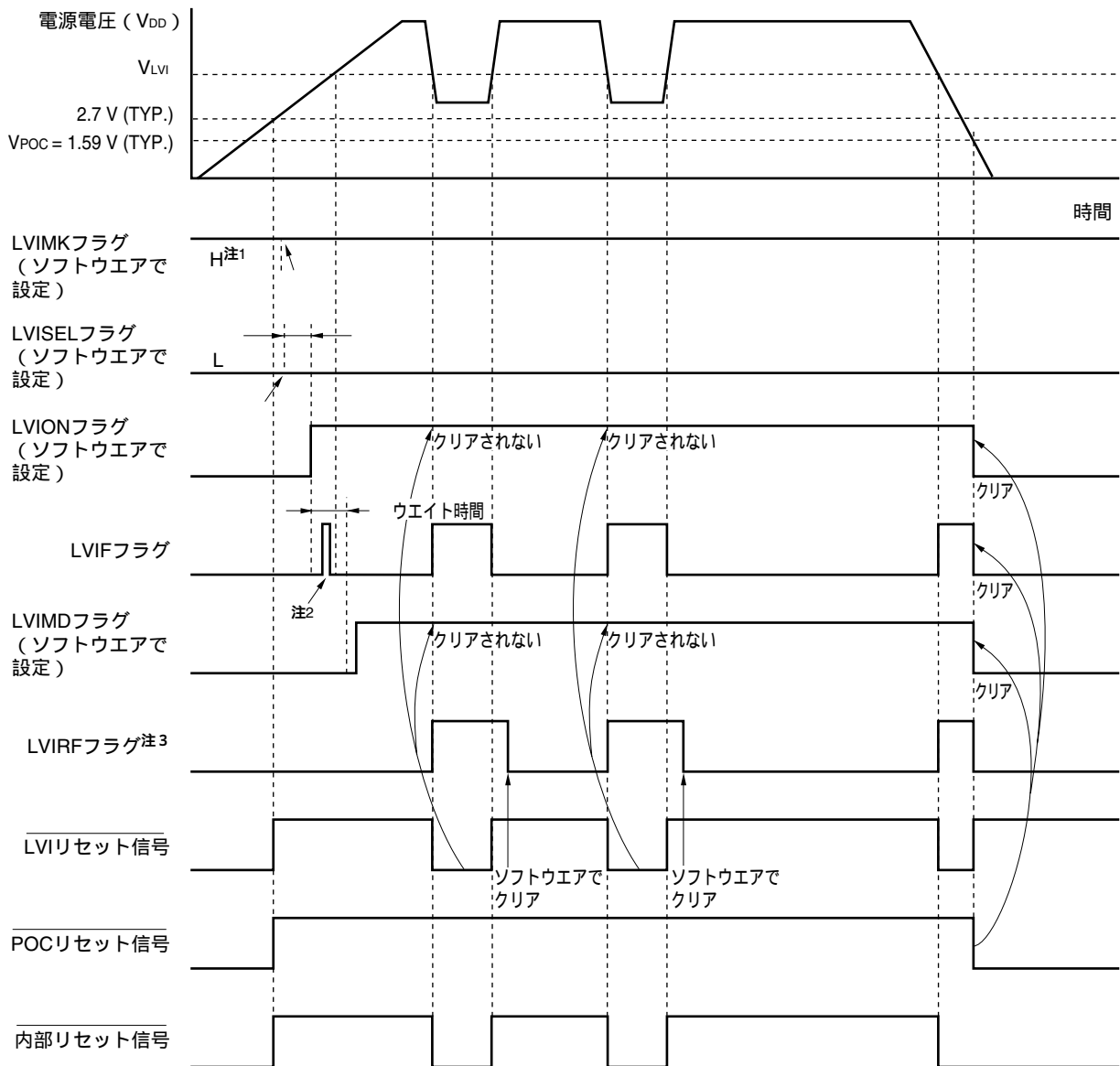


- 注1. LVIMKフラグはリセット信号の発生により, “1” になっています。
- 2. LVIFフラグがセット(1)される可能性があります。
- 3. LVIRFはリセット・コントロール・フラグ・レジスタ(RESF)のビット0です。RESFについての詳細は, 第21章 リセット機能を参照してください。

備考 図23 - 5の ~ は, 23. 4. 1(1) 電源電圧(V_{DD})のレベルを検出する場合 動作開始時の ~ と対応しています。

図23 - 5 低電圧検出回路の内部リセット信号発生のタイミング（電源電圧（ V_{DD} ）のレベルを検出）（2/2）

(2) 2.7 V/1.59 V POCモード設定時（オプション・バイト：POCMODE = 1）



注1. LVIMKフラグはリセット信号の発生により，“1”になっています。

2. LVIFフラグがセット（1）される可能性があります。

3. LVIRFはリセット・コントロール・フラグ・レジスタ（RESF）のビット0です。RESFについての詳細は、第21章 リセット機能を参照してください。

備考 図23 - 5の ~ は、23.4.1 (1) 電源電圧（ V_{DD} ）のレベルを検出する場合 動作開始時の ~ と対応しています。

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

- LVIの割り込みをマスクする (LVIMK = 1)
- 低電圧検出レジスタ(LVIM)のビット2(LVISEL)に“1”(外部入力端子からの入力電圧(EXLVI)のレベルを検出)を設定する
- LVIMのビット7(LVION)に“1”(LVI動作許可)を設定する
- ソフトウェアで動作安定時間(10 μ s (MIN.))をウエイトする
- LVIMのビット0(LVIF)で、「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21$ V (TYP.))」であることを確認するまで待つ
- LVIMのビット1(LVIMD)に“1”(レベル検出時にリセット発生)を設定する

図23 - 6に、 ~ と対応した低電圧検出回路の内部リセット信号発生タイミングを示します。

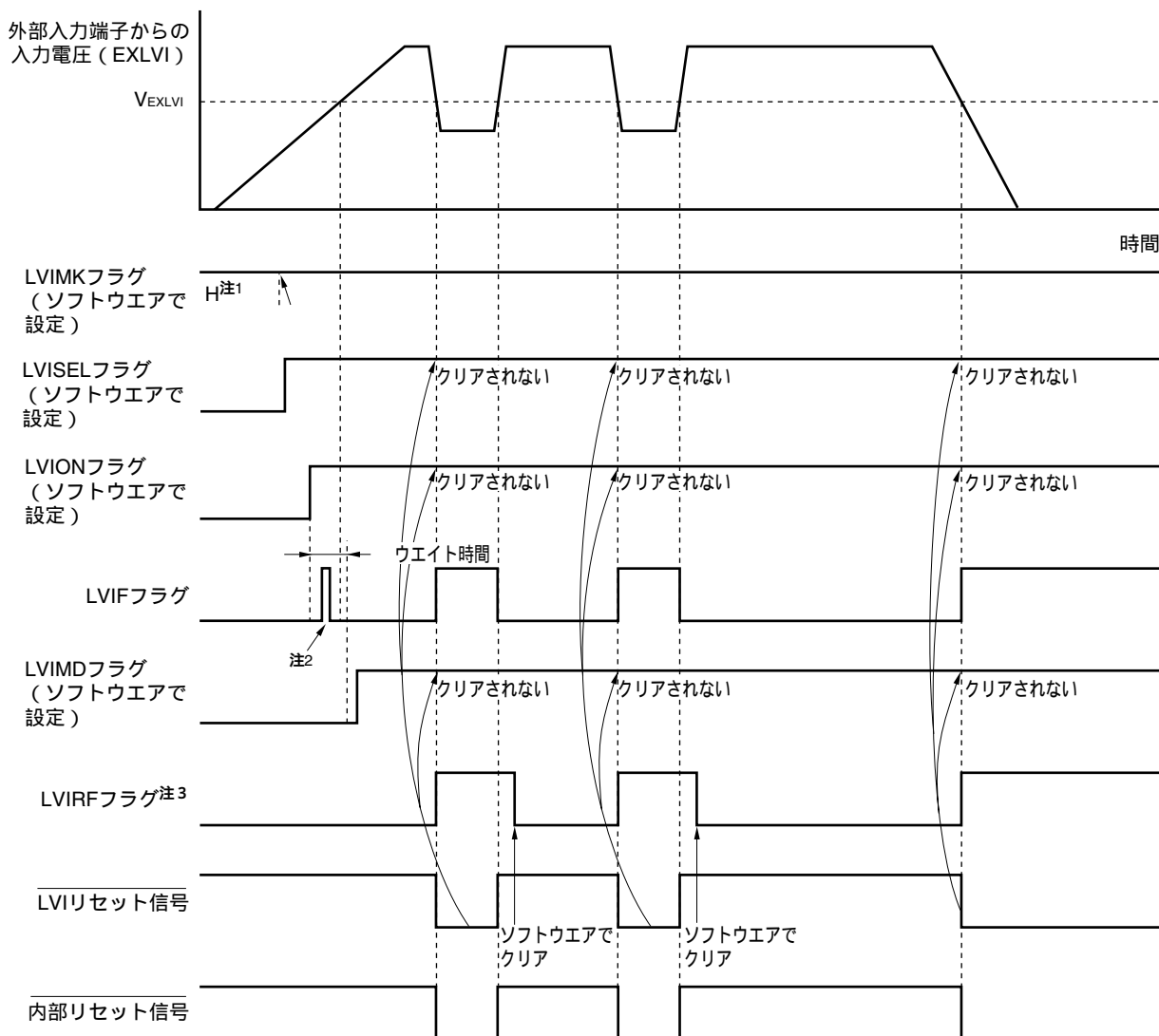
- 注意1.** は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。
2. LVIMD = 1とした時点で、「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21$ V (TYP.))」であれば内部リセット信号は発生しません。
 3. 外部入力端子からの入力電圧(EXLVI)は、 $EXLVI < V_{DD}$ でなければなりません。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：
 - LVIMに“00H”を書き込む
- ・1ビット・メモリ操作命令の場合：
 - LVIMDをクリア(0) LVIONをクリア(0)

図23 - 6 低電圧検出回路の内部リセット信号発生タイミング
 (外部入力端子からの入力電圧 (EXLVI) のレベルを検出)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. LVIFフラグがセット(1)される可能性があります。
3. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は、第21章 リセット機能を参照してください。

備考 図23 - 6の ~ は、23.4.1(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の ~ と対応しています。

23.4.2 割り込みとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする ($LVIMK = 1$)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する
LVIMのビット1 (LVIMD) に “0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)

LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する

ソフトウェアで動作安定時間 ($10 \mu s$ (MIN.)) をウェイトする

LVIMのビット0 (LVIF) で、立ち下がりを検出する場合は「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」を、立ち上がりを検出する場合は「電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})」を確認する

LVIの割り込み要求フラグ (LVIIF) をクリア (0) する

LVIの割り込みマスク・フラグ (LVIMK) を解除する

(ベクタ割り込みを使用する場合) EI命令を実行する

図23 - 7に、 ~ と対応した低電圧検出回路の割り込み信号発生タイミングを示します。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：

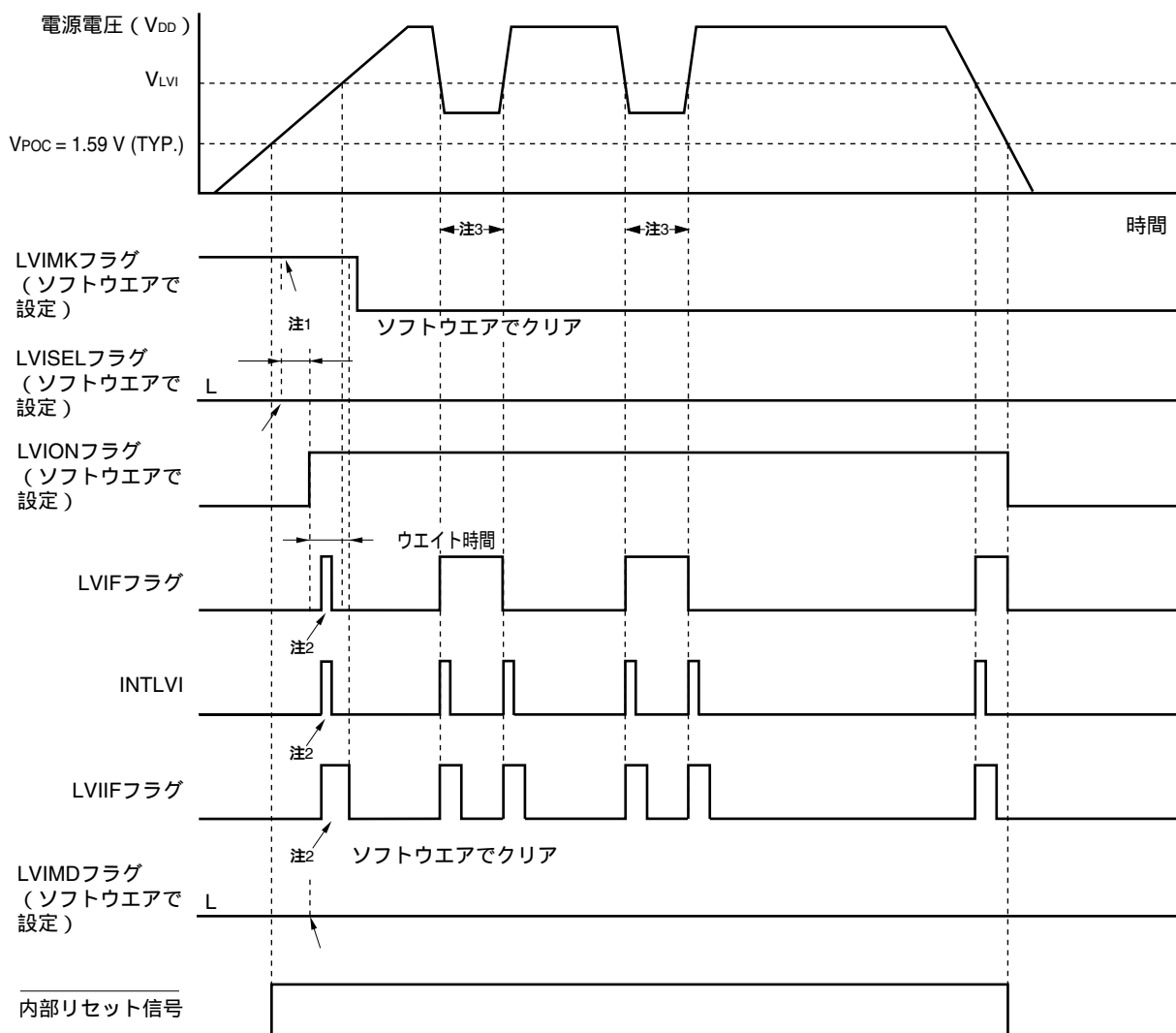
LVIMに “00H” を書き込む

- ・1ビット・メモリ操作命令の場合：

LVIONをクリア (0)

図23 - 7 低電圧検出回路の割り込み信号発生タイミング (電源電圧 (V_{DD}) のレベルを検出) (1/2)

(1) 1.59 V POCモード設定時 (オプション・バイト : POCMODE = 0)

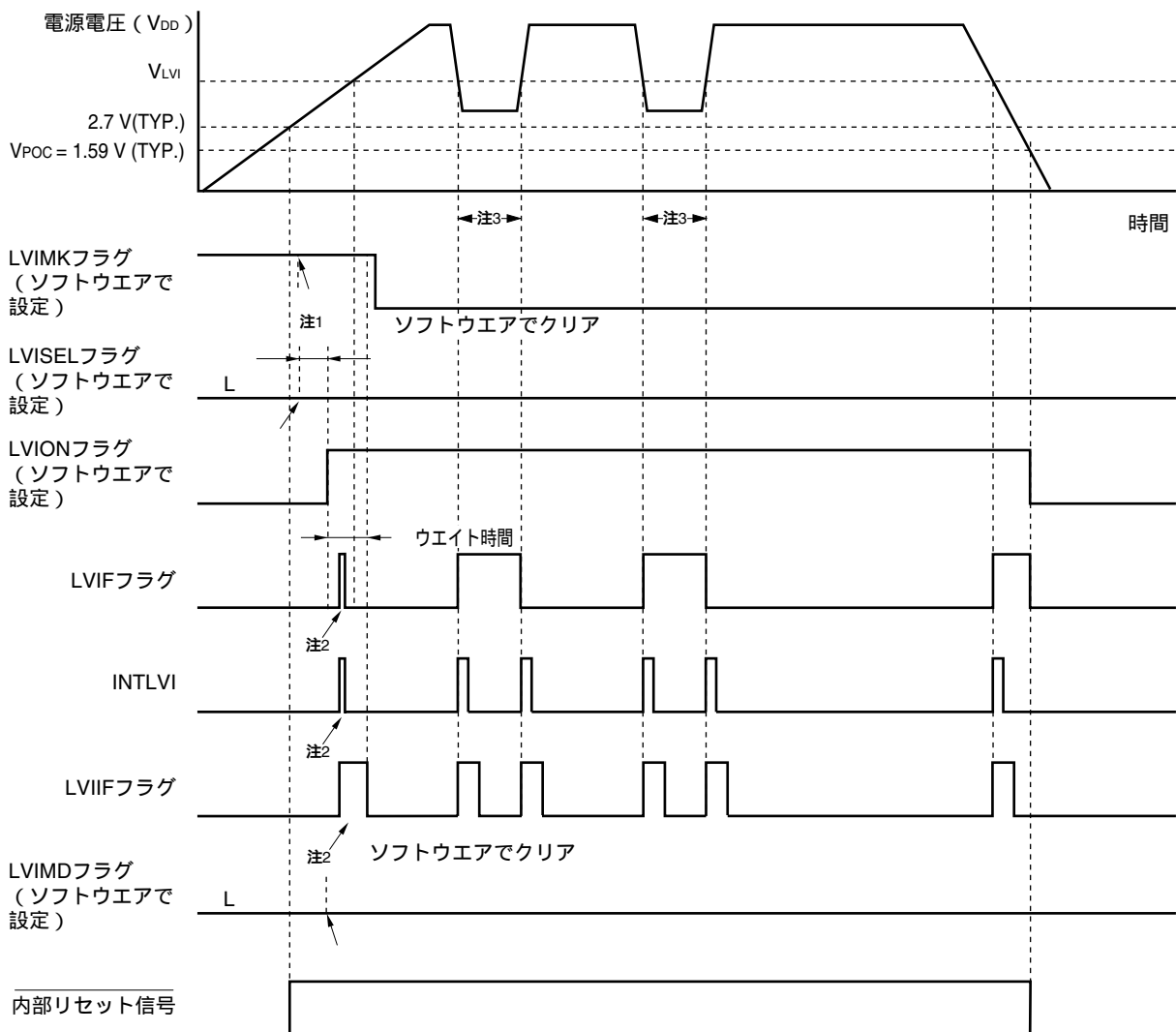


- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIIFフラグがセット (1) される可能性があります。
- 3. LVI検出電圧未満の状態ではLVIONをクリア (0) した場合、INTLVI信号が発生し、LVIIIFが1になります。

備考 図23 - 7の ~ は、23. 4. 2 (1) 電源電圧 (V_{DD}) のレベルを検出する場合 動作開始時の ~ と対応しています。

図23 - 7 低電圧検出回路の割り込み信号発生タイミング (電源電圧 (V_{DD}) のレベルを検出) (2/2)

(2) 2.7 V/1.59 V POCモード設定時 (オプション・バイト: POCMODE = 1)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIIFフラグがセット (1) される可能性があります。
- 3. LVI検出電圧未満の状態ではLVIONをクリア (0) した場合、INTLVI信号が発生し、LVIIIFが1になります。

備考 図23 - 7の ~ は、23. 4. 2 (1) 電源電圧 (V_{DD}) のレベルを検出する場合 動作開始時の ~ と対応しています。

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

- LVIMの割り込みをマスクする (LVIMK = 1)
- 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “ 1 ” (外部入力端子からの入力電圧 (EXLVI) のレベルを検出) を設定する
- LVIMのビット1 (LVIMD) に “ 0 ” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)
- LVIMのビット7 (LVION) に “ 1 ” (LVI動作許可) を設定する
- ソフトウェアで動作安定時間 (10 μ s (MIN.)) をウエイトする
- LVIMのビット0 (LVIF) で、立ち下がりを検出する場合は「外部入力端子からの入力電圧 (EXLVI) 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」を、立ち上がりを検出する場合は「外部入力端子からの入力電圧 (EXLVI) < 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」を確認する
- LVIMの割り込み要求フラグ (LVIIIF) をクリア (0) する
- LVIMの割り込みマスク・フラグ (LVIMK) を解除する
(ベクタ割り込みを使用する場合) EI命令を実行する

図23 - 8に、 ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

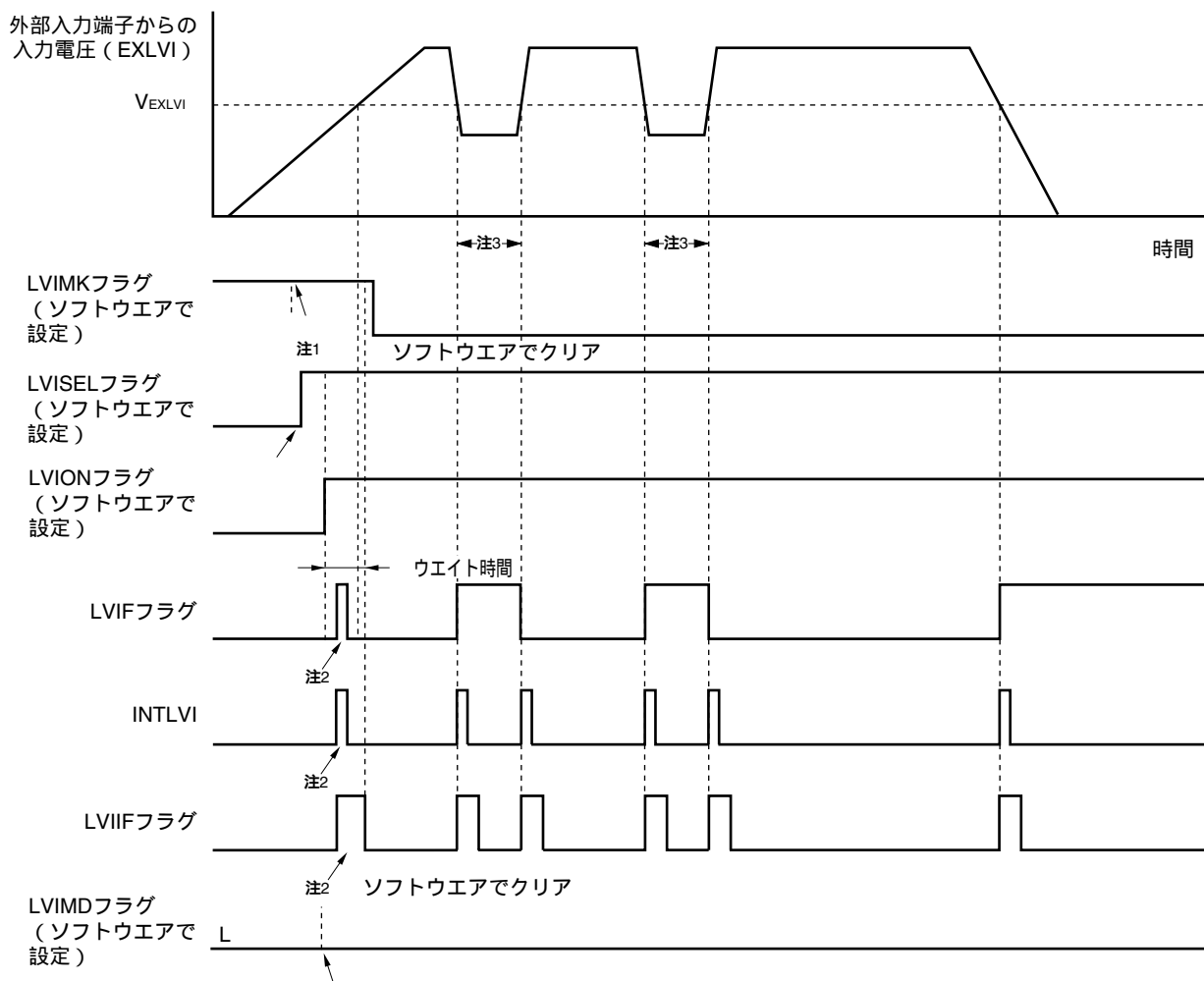
注意 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・ 8ビット・メモリ操作命令の場合：
 - LVIMに “ 00H ” を書き込む
- ・ 1ビット・メモリ操作命令の場合：
 - LVIONをクリア (0)

図23 - 8 低電圧検出回路の割り込み信号発生時のタイミング
(外部入力端子からの入力電圧 (EXLVI) のレベルを検出)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIIFフラグがセット (1) される可能性があります。
- 3. LVI検出電圧未満の状態 LVIONをクリア (0) した場合、INTLVI信号が発生し、LVIIIFが1になります。

備考 図23 - 8の ~ は、23.4.2 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の ~ と対応しています。

23.5 低電圧検出回路の注意事項

電源電圧 (V_{DD}) がLVI検出電圧 (V_{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

(1) リセットとして使用する場合

リセット状態 / リセット解除状態を繰り返すことがあります。

後述の処置 (1) に示す処理を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

(2) 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。後述の処置 (2) の (b) に示す処理を行うようにしてください。

< 処 置 >

(1) リセットとして使用する場合

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください (図23-9を参照)。

(2) 割り込みとして使用する場合

(a) LVI割り込みの処理ルーチン内で、低電圧検出レジスタ (LVIM) のビット0 (LVIF) にて、立ち下がりを検出する場合は “電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) ” を、立ち上がりを検出する場合は “電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) ” を確認し、割り込み要求フラグ・レジスタOL (IFOL) のビット0 (LVIIIF) をクリア (0) してください。

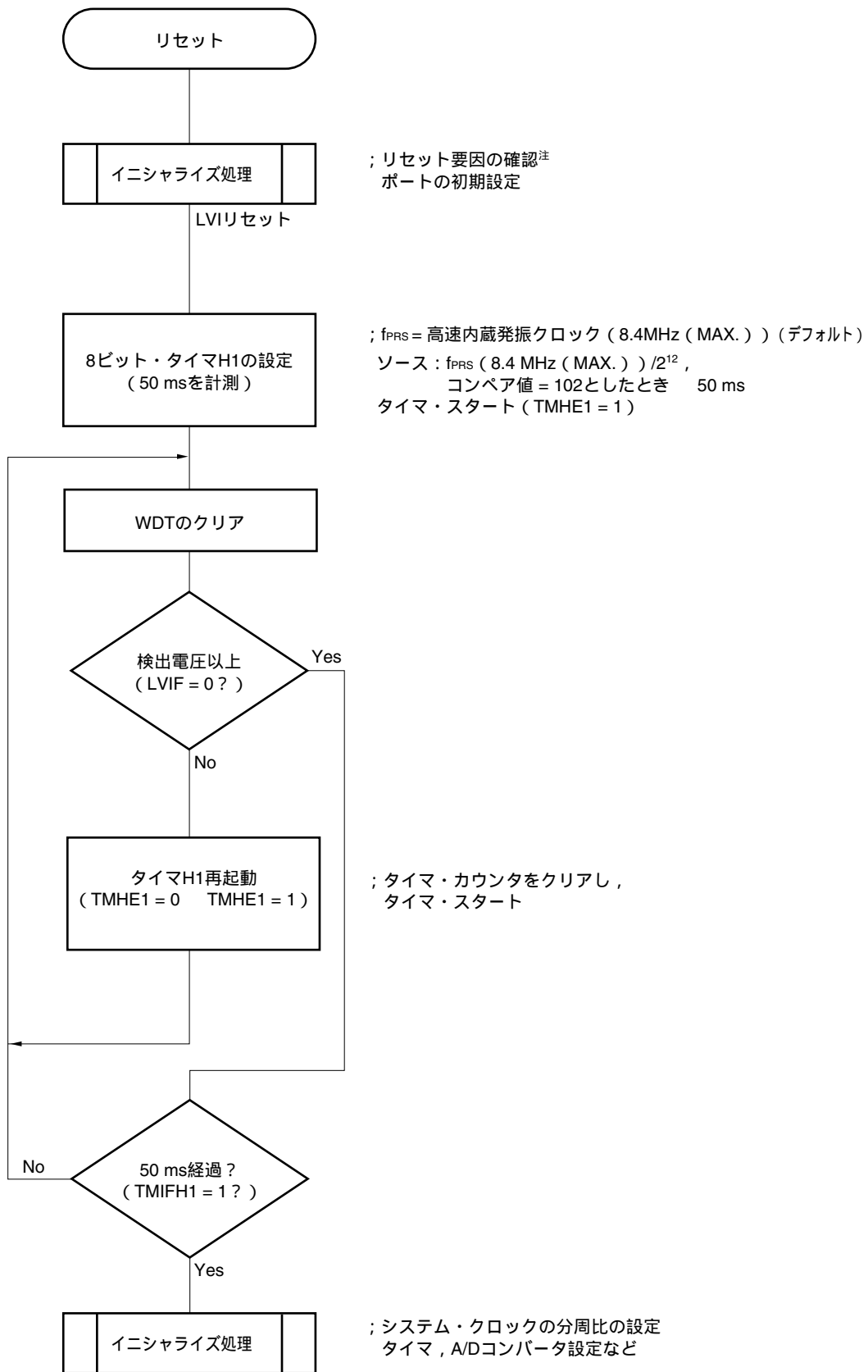
(b) LVI検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウエイトしたあとに、LVIFフラグにて、立ち下がりを検出する場合は “電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) ” を、立ち上がりを検出する場合は “電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) ” を確認し、LVIIIFフラグをクリア (0) してください。

備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “1” を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 ($EXLVI$)
- ・検出電圧 (V_{LVI}) 検出電圧 ($V_{EXLVI} = 1.21V$)

図23 - 9 リセット解除後のソフト処理例 (1/2)

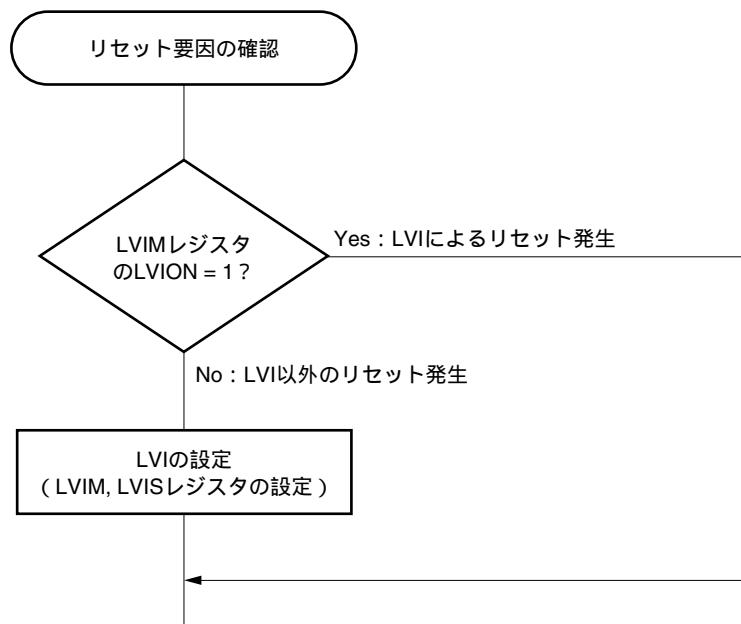
・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合



注 次頁にフロー・チャートを示します。

図23 - 9 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



第24章 オプション・バイト

24.1 オプション・バイトの機能

78K0/Kx2-Aマイクロコントローラのフラッシュ・メモリの0080H-0084Hは、オプション・バイト領域です。電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する場合、0080H-0084Hは1080H-1084Hと切り替わるので、あらかじめ1080H-1084Hにも0080H-0084Hと同じ値を設定してください。

注意 0082H, 0083H (ブート・スワップ使用時は0082H/1082H, 0083H/1083H) には、必ず00Hを設定してください。

(1) 0080H/1080H

低速内蔵発振器の動作

- ・ソフトウェアにより停止可能
- ・停止不可

ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのカウンタの動作

- ・カウンタの動作許可
- ・カウンタの動作禁止

ウォッチドッグ・タイマのウインドウ・オープン期間の設定

注意 ブート・スワップ時は、0080Hと1080Hが切り替わるので、あらかじめ1080Hにも0080Hと同じ値を設定してください。

(2) 0081H/1081H

POCモードの選択

- ・2.7 V/1.59 V POCモード動作時 (POCMODE = 1)

電源投入から2.7 V (TYP.) に達するまでリセット状態になり、2.7 V (TYP.) を越えたとリセットが解除されます。その後、2.7 VでのPOC検出は行われず、1.59 V (TYP.) でPOC検出が行われます。電源投入から1.8 Vに達するまでの電圧の立ち上がり、0.5 V/ms (MIN.) よりも緩やかな場合、2.7 V/1.59 V POCモードの使用を推奨します。

- ・1.59 V POCモード動作時 (POCMODE = 0)

電源投入から1.59 V (TYP.) に達するまでリセット状態になり、1.59 V (TYP.) を越えたとリセットが解除されます。その後、電源投入時と同様に、1.59 V (TYP.) でPOC検出が行われます。

注意 POCMODEは、専用フラッシュ・メモリ・プログラマによる書き込みのみ設定可能です。セルフ・プログラミング、およびセルフ・プログラミング中のブート・スワップ動作では、POCMODEを設定することはできません。ただし、ブート・スワップ動作時には1081Hの値は0081Hにコピーされますので、ブート・スワップ使用時は、1081Hに0081Hと同じ値を設定しておくことを推奨します。

(3) 0084H/1084H

オンチップ・デバッグ動作制御

- ・ オンチップ・デバッグ動作禁止
- ・ オンチップ・デバッグ動作許可，オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
- ・ オンチップ・デバッグ動作許可，オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注意 ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも00Hを設定してください。

24.2 オプション・バイトのフォーマット

オプション・バイトのフォーマットを次に示します。

図24 - 1 オプション・バイトのフォーマット (1/2)

アドレス : 0080H/1080H^注

	7	6	5	4	3	2	1	0
0	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	LSROSC	

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

WDTON	ウォッチドッグ・タイマのカウント / 不正アクセス検出の動作制御
0	カウンタ動作禁止 (リセット解除後, カウント停止), 不正アクセス検出動作禁止
1	カウンタ動作許可 (リセット解除後, カウント開始), 不正アクセス検出動作許可

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間
0	0	0	$2^{10}/f_{RL}$ (3.88 ms)
0	0	1	$2^{11}/f_{RL}$ (7.76 ms)
0	1	0	$2^{12}/f_{RL}$ (15.52 ms)
0	1	1	$2^{13}/f_{RL}$ (31.03 ms)
1	0	0	$2^{14}/f_{RL}$ (62.06 ms)
1	0	1	$2^{15}/f_{RL}$ (124.12 ms)
1	1	0	$2^{16}/f_{RL}$ (248.24 ms)
1	1	1	$2^{17}/f_{RL}$ (496.48 ms)

LSROSC	低速内蔵発振器の動作
0	ソフトウェアにより停止可能 (RCMレジスタのビット0 (LSRSTOP) に1を書き込むことにより停止)
1	停止不可 (LSRSTOPビットに1を書き込んでも停止しない)

注 ブート・スワップ時は, 0080Hと1080Hが切り替わるので, あらかじめ1080Hにも0080Hと同じ値を設定してください。

- 注意1. WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。
2. 1.8 V $V_{DD} < 2.7$ Vで使用する場合, WINDOW1 = WINDOW0 = 0は設定禁止です。
3. フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウインドウ・サイズを設定してください。
4. LSROSC = 0 (ソフトウェアにより停止可能) の場合, 内蔵発振モード・レジスタ (RCM) のビット0 (LSRSTOP) の設定に関係なく, HALT/STOPモード時では, ウォッチドッグ・タイマにカウント・クロックは供給されません。
ただし, 低速内蔵発振クロックで8ビット・タイマH1が動作している場合は, HALT/STOPモード時でも, 8ビット・タイマH1にカウント・クロックが供給されます。
5. ビット7には必ず0を書き込んでください。

- 備考1. f_{RL} : 低速内蔵発振クロック周波数
2. () 内は $f_{RL} = 264$ kHz (MAX.) の場合

図24 - 1 オプション・バイトのフォーマット (2/2)

アドレス : 0081H/1081H^{注1, 2}

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	POCMODE

POCMODE	POCモードの選択
0	1.59 V POCモード (デフォルト)
1	2.7 V/1.59 V POCモード

- 注1. POCMODEは、専用フラッシュ・メモリ・プログラマによる書き込みのみ設定可能です。セルフ・プログラミング、およびセルフ・プログラミング中のブート・スワップ動作では、POCMODEを設定することはできません。ただし、ブート・スワップ動作時には1081Hの値は0081Hにコピーされますので、ブート・スワップ使用時は、1081Hに0081Hと同じ値を設定しておくことを推奨します。
2. POCモードの設定内容を変更する場合は、フラッシュ・メモリの一括消去（チップ消去）後に、再度0081Hに値を設定してください。指定したブロックのメモリ消去後の設定変更は無効となります。

注意 ビット7-1には必ず0を書き込んでください。

アドレス : 0082H/1082H, 0083H/1083H^注

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0

注 0082H, 0083Hは予約領域なので、必ず00Hを設定してください。またブート・スワップ時は、0082H, 0083Hと1082H, 1083Hが切り替わるので、あらかじめ1082H, 1083Hにも00Hを設定してください。

アドレス : 0084H/1084H^注

7	6	5	4	3	2	1	0
0	0	0	0	0	0	OCDEN1	OCDEN0

OCDEN1	OCDEN0	オンチップ・デバッグ動作制御
0	0	動作禁止
0	1	設定禁止
1	0	動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない
1	1	動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する

注 ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも00Hを設定してください。

備考 オンチップ・デバッグ・セキュリティIDについては、第26章 **オンチップ・デバッグ機能**を参照してください。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	AT 0080H	
OPTION:	DB	30H	; ウォッチドッグ・タイマ動作(不定アクセス検出動作)許可, ; ウォッチドッグ・タイマのウインドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{RL}$, ; 低速内蔵発振器をソフトウェアにより停止可能
	DB	00H	; 1.59V POCモード
	DB	00H	; 予約領域
	DB	00H	; 予約領域
	DB	00H	; オンチップ・デバッグ動作禁止

備考 オプション・バイトの参照はリセット処理時に行われます。リセット処理のタイミングについては、**第21章 リセット機能**を参照してください。

第25章 フラッシュ・メモリ

78K0/Kx2-Aマイクロコントローラは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。

25.1 メモリ・サイズ切り替えレジスタ

メモリ・サイズ切り替えレジスタ（IMS）により、内部メモリ容量を選択してください。

IMSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、CFHになります。

注意 リセット解除後に各製品ごとに表25 - 1に示す値を設定してください。

図25 - 1 メモリ・サイズ切り替えレジスタ（IMS）のフォーマット

アドレス：FFF0H リセット時：CFH R/W

略号	7	6	5	4	3	2	1	0
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0
	RAM2	RAM1	RAM0	内部高速RAM容量の選択				
	1	1	0	1024バイト				
	上記以外			設定禁止				
	ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択			
	0	1	0	0	16 Kバイト			
	1	0	0	0	32 Kバイト			
	上記以外				設定禁止			

表25 - 1 メモリ・サイズ切り替えレジスタ（IMS）の設定値

品 名		IMSの設定値
78K0/KB2-A	78K0/KC2-A	
μ PD78F0590	μ PD78F0592	C4H
μ PD78F0591	μ PD78F0593	C8H

25.2 フラッシュ・メモリ・プログラマによる書き込み方法

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上に78K0/Kx2-Aマイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上に78K0/Kx2-Aマイクロコントローラを実装する前に専用プログラム・アダプタ (FAシリーズ) などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

25.3 プログラミング環境

78K0/Kx2-Aマイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図25-2 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・メモリ・プログラマと78K0/Kx2-AマイクロコントローラとのインタフェースはCSI10またはUART6を使用して、書き込み、消去の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

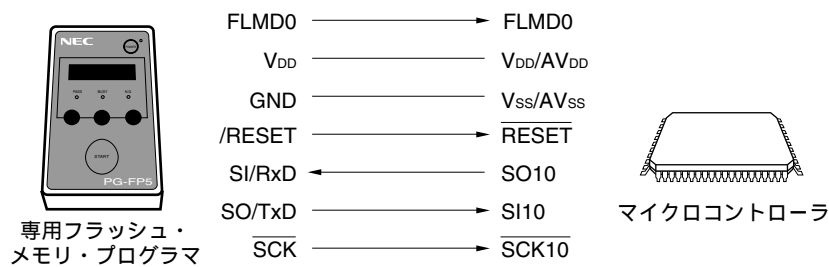
25.4 通信方式

専用フラッシュ・メモリ・プログラマと78K0/Kx2-Aマイクロコントローラとの通信は、78K0/Kx2-AマイクロコントローラのCSI10またはUART6によるシリアル通信で行います。

(1) CSI10

転送レート：2.4 kHz～2.5 MHz

図25-3 専用フラッシュ・メモリ・プログラマとの通信 (CSI10)

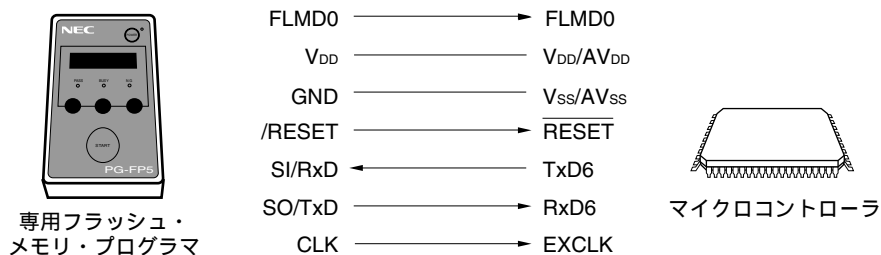


注意 専用フラッシュ・メモリ・プログラマとの通信に使用するCSI10の端子 (SCK10, SI10) は、P60/SCLA0/SCK10, P61/SDAA0/SI10のみ対応しています。専用フラッシュ・メモリ・プログラマとの通信に、P31/INTP5/OCD1A (/SCK10), P32/INTP4/OCD1B (/SI10) は使用できません。

(2) UART6

転送レート：115200 bps

図25-4 専用フラッシュ・メモリ・プログラマとの通信 (UART6)



専用フラッシュ・メモリ・プログラマは78K0/Kx2-Aマイクロコントローラに対して次の信号を生成します。
詳細はPG-FP5, FL-PR5などのマニュアルを参照してください。

表25 - 2 端子接続一覧

専用フラッシュ・メモリ・プログラマ			マイクロ コントローラ	接続時の処置	
信号名	入出力	端子機能	端子名	CSI10	UART6
FLMD0	出力	モード信号	FLMD0		
V _{DD}	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD} , AV _{DD}		
GND	-	グランド	V _{SS} , AV _{SS}		
CLK	出力	マイクロコントローラへのクロック 出力	EXCLK/X2/P122	x ^{注1}	注2
/RESET	出力	リセット信号	RESET		
SI/RxD	入力	受信信号	SO10/TxD6		
SO/TxD	出力	送信信号	SI10/RxD6		
SCK	出力	転送クロック	SCK10		x

注1. CSI10使用時は、高速内蔵発振クロック (f_{RH}) のみ使用できます。

2. UART6使用時は、X1クロック (f_X) または外部メイン・システム・クロック (f_{EXCLK}) のみ使用できます。

備考 : 必ず接続してください。

: ターゲット・ボード上で生成されていれば、接続の必要はありません。

x : 接続の必要はありません。

25.5 オンボード上の端子処理

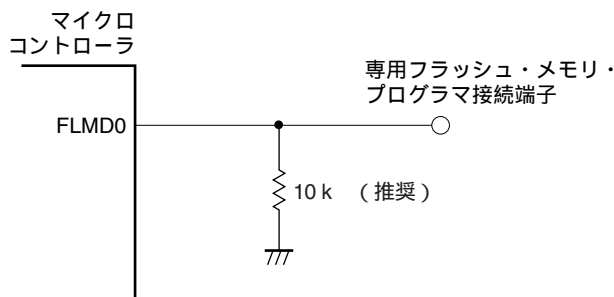
オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

25.5.1 FLMD0端子

通常動作モード時は、FLMD0端子に0 Vを入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子に V_{DD} レベルの書き込み電圧を供給します。FLMD0端子の接続例を次に示します。

図25 - 5 FLMD0端子の接続例



25.5.2 シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表25 - 3 各シリアル・インタフェースが使用する端子

シリアル・インタフェース	使用端子
CSI10	SO10, SI10, SCK10
UART6	TxD6, RxD6

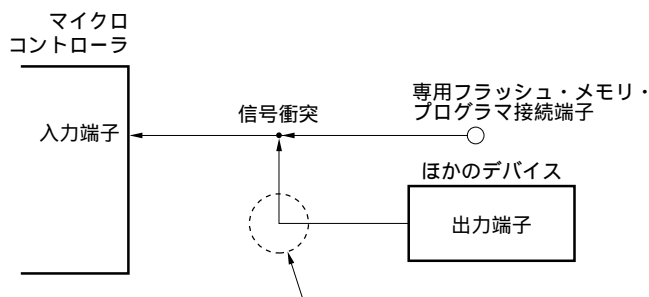
注意 専用フラッシュ・メモリ・プログラマとの通信に使用するCSI10の端子（ $\overline{SCK10}$, SI10）は、P60/SCLA0/SCK10, P61/SDAA0/SI10のみ対応しています。専用フラッシュ・メモリ・プログラマとの通信に、P31/INTP5/OCD1A ($\overline{SCK10}$), P32/INTP4/OCD1B (SI10) は使用できません。

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・メモリ・プログラマ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

図25 - 6 信号の衝突（シリアル・インタフェースの入力端子）

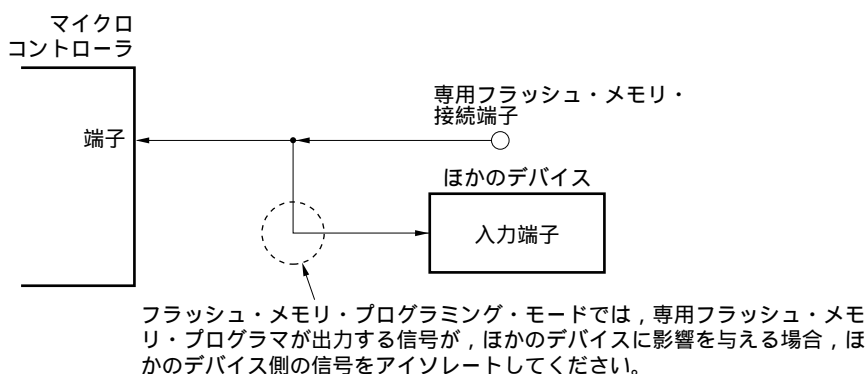
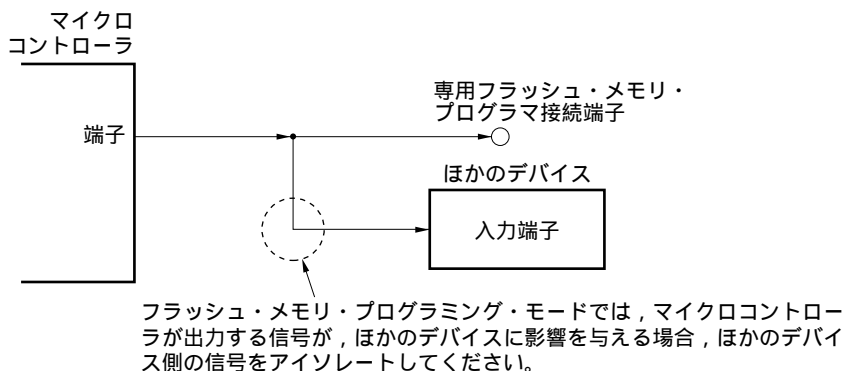


フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・メモリ・プログラマから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・メモリ・プログラマ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図25 - 7 ほかのデバイスの異常動作

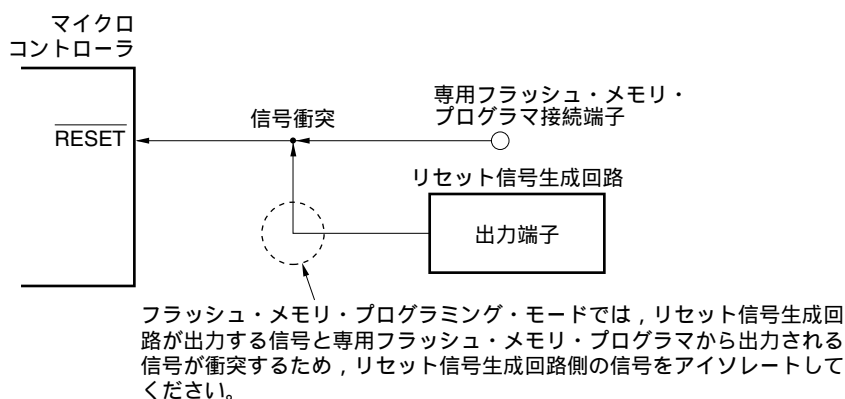


25. 5. 3 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図25 - 8 信号の衝突 (RESET端子)



25.5.4 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

25.5.5 REGC端子

REGC端子は、通常動作時と同様に、コンデンサ (0.47 ~ 1 μ F : 推奨) を介し、GNDに接続してください。

25.5.6 その他の信号端子

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時と同じ状態に接続してください。

ただし、専用フラッシュ・メモリ・プログラマから動作クロックを入力する場合、プログラマのCLKとEXCLK/X2/P122を接続してください。

注意1. CSI10使用時は、高速内蔵発振クロック (f_{RH}) のみ使用できます。

2. UART6使用時は、X1クロック (f_X) または外部メイン・システム・クロック (f_{EXCLK}) のみ使用できます。
3. フラッシュ・メモリ・プログラマによる書き込みをする場合、P31/INTP5/OCD1A, P121/X1/OCD0Aを次のように処理してください。
 - ・ P31/INTP5/OCD1A : 抵抗を介してV_{SS}に接続してください。
 - ・ P121/X1/OCD0A : オープンまたは抵抗を介してV_{SS}に接続してください。

25.5.7 電 源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、 V_{DD} 端子はフラッシュ・メモリ・プログラムの V_{DD} に、 V_{SS} 端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただし、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラムで電圧監視をするため、 V_{DD} 、 V_{SS} 端子はフラッシュ・メモリ・プログラムの V_{DD} 、GNDと必ず接続してください。

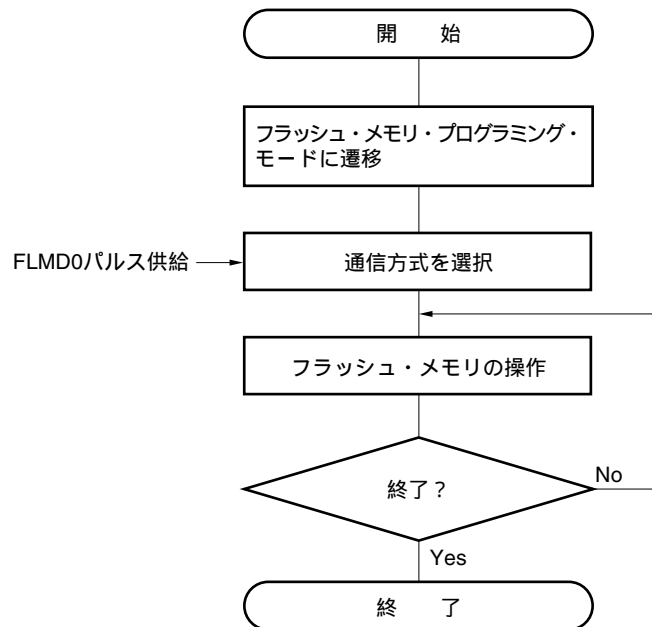
その他の電源 (AV_{DD} 、 AV_{REFM} 、 AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

25.6 プログラミング方法

25.6.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図25 - 9 フラッシュ・メモリの操作手順



25.6.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、78K0/Kx2-A マイクロコントローラをフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、FLMD0端子をV_{DD}設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図25 - 10 フラッシュ・メモリ・プログラミング・モード

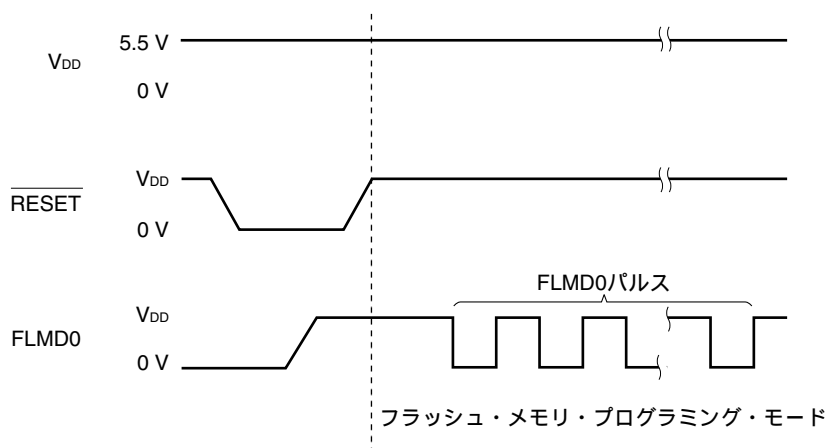


表25 - 4 リセット解除時のFLMD0端子の動作モードとの関係

FLMD0	動作モード
0	通常動作モード
V _{DD}	フラッシュ・メモリ・プログラミング・モード

25.6.3 通信方式の選択

78K0/Kx2-Aマイクロコントローラでは、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルスを入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・メモリ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

表25 - 5 通信方式一覧

通信方式	Standard設定 ^{注1}				使用端子	周辺 クロック	FLMD0 パルス数
	Port	Speed	Frequency	Multiply Rate			
UART (UART6)	UART-Ext-Osc	115200 bps ^{注3}	2 M-20 MHz ^{注2}	1.0	TxD6, RxD6	f _x	0
	UART-Ext-FP5CK					f _{EXCLK}	3
3線式シリアルI/O (CSI10)	CSI-Internal-OSC	2.4 kHz ~ 2.5 MHz	-		SO10, SI10, SCK10	f _{RH}	8

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2. 電圧により設定可能な範囲が異なります。詳細は電気的特性の章を参照してください。
3. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

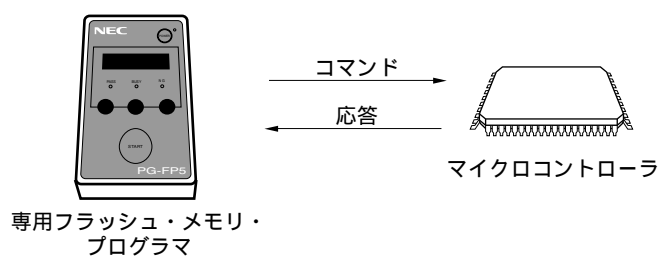
注意 UART6選択時、受信クロックは、FLMD0パルス受信後に専用フラッシュ・メモリ・プログラマから送られてくるリセット・コマンドを基準に計算します。

- 備考** f_x : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック
 f_{RH} : 高速内蔵発振クロック

25.6.4 通信コマンド

78K0/Kx2-Aマイクロコントローラと専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマから78K0/Kx2-Aマイクロコントローラへ送られる信号を「コマンド」と呼び、78K0/Kx2-Aマイクロコントローラから専用フラッシュ・メモリ・プログラマへ送られる信号を「応答」と呼びます。

図25 - 11 通信コマンド



78K0/Kx2-Aマイクロコントローラのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、78K0/Kx2-Aマイクロコントローラがコマンドに対応した各処理を行います。

表25 - 6 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Chip Erase	全フラッシュ・メモリを消去します。
	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランク・チェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。
情報取得	Status	現在の動作状況（ステータス・データ）を取得します。
	Silicon Signature	マイクロコントローラの情報（品名、フラッシュ・メモリ構成など）を取得します。
	Version Get	マイクロコントローラのバージョン、ファームウェア・バージョンを取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
その他	Reset	通信の同期検出に使用します。
	Oscillating Frequency Set	発振周波数を指定します。

また、78K0/Kx2-Aマイクロコントローラは、専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して、応答を返します。78K0/Kx2-Aマイクロコントローラが送出する応答名称を次に示します。

表25 - 7 応答名称

応答名称	機能
ACK	コマンド/データなどのアクノリッジ
NAK	不正なコマンド/データなどのアクノリッジ

25.7 セキュリティ設定

78K0/Kx2-Aマイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。セキュリティの設定は、次のプログラミング・モードより有効になります。

- ・一括消去（チップ消去）禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ全ブロックに対してのブロック消去コマンド、および一括消去（チップ消去）コマンドの実行を禁止します。これを一度禁止に設定すると、一括消去（チップ消去）コマンドが実行できないため、すべての禁止設定（一括消去（チップ消去）禁止も含む）は解除できなくなります。

注意 一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。

また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。

- ・ブロック消去禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- ・書き込み禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンド、およびブロック消去コマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

- ・ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0（0000H-0FFFH）に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。また、一括消去（チップ消去）コマンドの実行を禁止します。

注意 ブート・クラスタ0の書き換えのセキュリティの設定をした場合、以降、そのデバイスに対し、ブート・クラスタ0の書き換え、および一括消去（チップ消去）はできなくなります。

出荷時の初期状態では、一括消去（チップ消去） / ブロック消去 / 書き込み / ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、オンボード / オフボード・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

一括消去（チップ消去）コマンドの実行により、ブロック消去禁止と書き込み禁止は解除されます。

78K0/Kx2-Aマイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表25 - 8に示します。

表25 - 8 セキュリティ機能有効時とコマンドの関係

(1) オンボード/オフボード・プログラミング時

有効なセキュリティ	実行コマンド		
	一括消去 (チップ消去)	ブロック消去	書き込み
一括消去(チップ消去)禁止	一括消去できない	ブロック消去できない	書き込みできる ^注
ブロック消去禁止	一括消去できる		書き込みできる
書き込み禁止			書き込みできない
ブート・クラスタ0の書き換え禁止	一括消去できない	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。一括消去(チップ消去)禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
一括消去(チップ消去)禁止	ブロック消去できる	書き込みできる
ブロック消去禁止		
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

各プログラミング・モード時のセキュリティ設定方法を表25 - 9に示します。

表25 - 9 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード/オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
ブロック消去禁止		一括消去(チップ消去)コマンドを実行する
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	セット・インフォメーション・ライブラリで設定する	設定後、無効にできない
ブロック消去禁止		オンボード/オフボード・プログラミングで、一括消去(チップ消去)コマンドを実行する(セルフ・プログラミングでは無効にできない)
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

25.8 セルフ書き込みによるフラッシュ・メモリ・プログラミング

78K0/Kx2-Aマイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はセルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

また、セルフ・プログラミング中に割り込みが発生した場合は、セルフ・プログラミングを一時中断して割り込み処理を実行することができます。割り込み処理は、セルフ・プログラミングの中断後に通常モードへ戻しEI命令を実行することで行ってください。その後、再びセルフ・プログラミング・モードに移行すると、セルフ・プログラミングをレジュームすることができます。

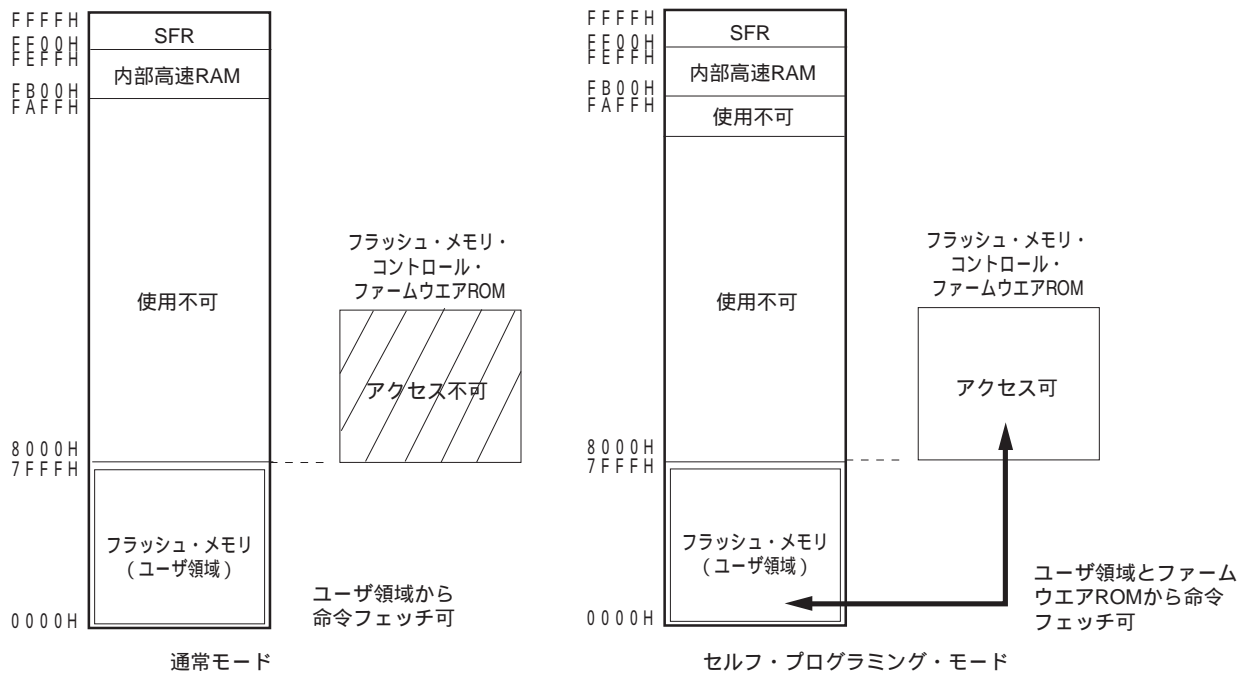
備考 セルフ・プログラミング機能の詳細およびセルフ・プログラミング・ライブラリの詳細については、78K0マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01 (U18274J) を参照してください。

注意1. CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。

2. セルフ・プログラミング時は、RSTOPフラグ（内蔵発振モード・レジスタ（RCM）のビット0）の設定に関わらず、高速内蔵発振器の発振が開始されます。STOP命令を実行しても、高速内蔵発振器の発振を停止することはできません。
3. セルフ・プログラミング時は、FLMD0端子にハイ・レベルを入力してください。
4. セルフ・プログラミング開始前に必ずDI命令を実行してください。
セルフ・プログラミング機能は割り込み要求フラグ（IF0L, IF0H, IF1L, IF1H）を確認しており、割り込み要求が発生した場合、セルフ・プログラミングを中断します。
5. セルフ・プログラミング中はDI状態でもマスクされていない割り込み要求によってセルフ・プログラミングは中断されます。これを回避したい場合は、割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H）で割り込みをマスクしてください。

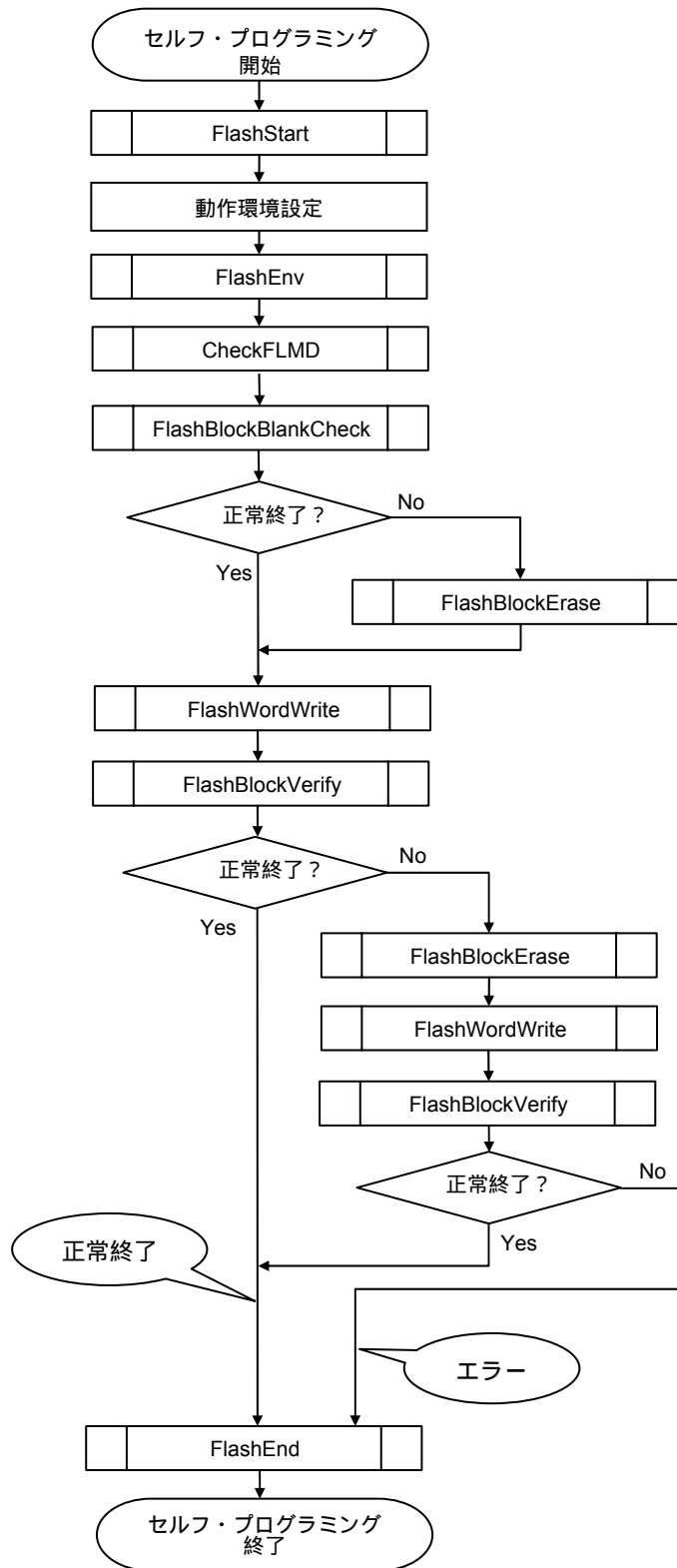
注意6. セルフ・プログラミングのエントリ・プログラムは、0000H-7FFFHに配置してください。

図25 - 12 セルフ・プログラミングの動作モードとメモリ・マップ (μ PD78F0593の場合)



次に、セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図25 - 13 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れ



備考 セルフ・プログラミング・ライブラリの詳細については、78K0マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01 (U18274J) を参照してください。

次に、セルフ・プログラミング・ライブラリの処理時間と割り込み応答時間を示します。

表25 - 10 セルフ・プログラミング・ライブラリの処理時間（参考値）（1/3）

(1) 高速内蔵発振クロック使用時，エントリRAMの配置がショート・ダイレクト・アドレッシング外の場合

ライブラリ名	処理時間（単位：μs）				
	Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル / アセンブラ		
	Min.	Max.	Min.	Max.	
セルフ・プログラミング・スタート・ライブラリ	4.0	4.5	4.0	4.5	
イニシャライズ・ライブラリ	1105.9	1106.6	1105.9	1106.6	
モード・チェック・ライブラリ	905.7	906.1	904.9	905.3	
ブロック・ブランク・チェック・ライブラリ	12776.1	12778.3	12770.9	12772.6	
ブロック・イレース・ライブラリ	26050.4	349971.3	26045.3	349965.6	
ワード・ライト・ライブラリ	1180.1+203 × w	1184.3+2241 × w	1172.9+203 × w	1176.3+2241 × w	
ブロック・ベリファイ・ライブラリ	25337.9	25340.2	25332.8	25334.5	
セルフ・プログラミング・エンド・ライブラリ	4.0	4.5	4.0	4.5	
ゲット・インフォメーション・ライブラリ	オプション値：03H	1072.9	1075.2	1067.5	1069.1
	オプション値：04H	1060.2	1062.6	1054.8	1056.6
	オプション値：05H	1023.8	1028.2	1018.3	1022.1
セット・インフォメーション・ライブラリ	70265.9	759995.0	70264.9	759994.0	
EEPROMライト・ライブラリ	1316.8+347 × w	1320.9+2385 × w	1309.0+347 × w	1312.4+2385 × w	

(2) 高速内蔵発振クロック使用時，エントリRAMの配置がショート・ダイレクト・アドレッシング内の場合

ライブラリ名	処理時間（単位：μs）				
	Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル / アセンブラ		
	Min.	Max.	Min.	Max.	
セルフ・プログラミング・スタート・ライブラリ	4.0	4.5	4.0	4.5	
イニシャライズ・ライブラリ	449.5	450.2	449.5	450.2	
モード・チェック・ライブラリ	249.3	249.7	248.6	248.9	
ブロック・ブランク・チェック・ライブラリ	12119.7	12121.9	12114.6	12116.3	
ブロック・イレース・ライブラリ	25344.7	349266.4	25339.6	349260.8	
ワード・ライト・ライブラリ	445.8+203 × w	449.9+2241 × w	438.5+203 × w	441.9+2241 × w	
ブロック・ベリファイ・ライブラリ	24682.7	24684.9	24677.6	24679.3	
セルフ・プログラミング・エンド・ライブラリ	4.0	4.5	4.0	4.5	
ゲット・インフォメーション・ライブラリ	オプション値：03H	417.6	419.8	412.1	413.8
	オプション値：04H	405.0	407.4	399.5	401.3
	オプション値：05H	367.4	371.8	361.9	365.8
セット・インフォメーション・ライブラリ	69569.3	759297.3	69568.3	759296.2	
EEPROMライト・ライブラリ	795.1+347 × w	799.3+2385 × w	787.4+347 × w	790.8+2385 × w	

- 備考1. 上記の処理時間は、書き込み開始アドレス構造体を内部高速RAMに配置した場合の時間で、かつ高速内蔵発振器の安定動作中（RSTS = 1）の時間です。
2. RSTS：内蔵発振モード・レジスタ（RCM）のビット7
3. w：書き込みデータのワード数（1ワード = 4 バイト）

表25 - 10 セルフ・プログラミング・ライブラリの処理時間（参考値）（2/3）

（3）高速システム・クロック（X1発振または外部クロック入力）使用時，エントリRAMの配置がショート・ダイレクト・アドレッシング外の場合

ライブラリ名	処理時間（単位：μs）			
	Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル / アセンブラ	
	Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ	34/f _{CPU}			
イニシャライズ・ライブラリ	55/f _{CPU} +594			
モード・チェック・ライブラリ	36/f _{CPU} +495		30/f _{CPU} +495	
ブロック・ブランク・チェック・ライブラリ	179/f _{CPU} +6429		136/f _{CPU} +6429	
ブロック・イレース・ライブラリ	179/f _{CPU} +19713	179/f _{CPU} +268079	136/f _{CPU} +19713	136/f _{CPU} +268079
ワード・ライト・ライブラリ	333/f _{CPU} +647+136 × w	333/f _{CPU} +647+1647 × w	272/f _{CPU} +647+136 × w	272/f _{CPU} +647+1647 × w
ブロック・ベリファイ・ライブラリ	179/f _{CPU} +13284		136/f _{CPU} +13284	
セルフ・プログラミング・エンド・ライブラリ	34/f _{CPU}			
ゲット・インフォメーション・ライブラリ	オプション値：03H		134f _{CPU} +581	
	オプション値：04H		144/f _{CPU} +574	
	オプション値：05H		304/f _{CPU} +535	
セット・インフォメーション・ライブラリ	80/f _{CPU} +43181	80/f _{CPU} +572934	72/f _{CPU} +43181	72/f _{CPU} +572934
EEPROMライト・ライブラリ	333/f _{CPU} +729+209 × w	333/f _{CPU} +729+1722 × w	268/f _{CPU} +729+209 × w	268/f _{CPU} +729+1722 × w

備考1. 上記の処理時間は、書き込み開始アドレス構造体を内部高速RAMに配置した場合の時間で、かつ高速内蔵発振器の安定動作中（RSTS = 1）の時間です。

2. RSTS：内蔵発振モード・レジスタ（RCM）のビット7
3. f_{CPU}：CPU動作クロック周波数
4. w：書き込みデータのワード数（1ワード = 4 バイト）

表25 - 10 セルフ・プログラミング・ライブラリの処理時間（参考値）（3/3）

（4）高速システム・クロック（X1発振または外部クロック入力）使用時，エントリRAMの配置がショート・ダイレクト・アドレッシング内の場合

ライブラリ名	処理時間（単位：μs）			
	Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル / アセンブラ	
	Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ	34/f _{CPU}			
イニシャライズ・ライブラリ	55/f _{CPU} +272			
モード・チェック・ライブラリ	36/f _{CPU} +173		30/f _{CPU} +173	
ブロック・ブランク・チェック・ライブラリ	179/f _{CPU} +6108		136/f _{CPU} +6108	
ブロック・イレース・ライブラリ	179/f _{CPU} +19371	179/f _{CPU} +267738	136/f _{CPU} +19371	136/f _{CPU} +267738
ワード・ライト・ライブラリ	333/f _{CPU} +247+ 136 × w	333/f _{CPU} +247+ 1647 × w	272/f _{CPU} +247+ 136 × w	272/f _{CPU} +247+ 1647 × w
ブロック・ペリファイ・ライブラリ	179/f _{CPU} +12964		136/f _{CPU} +12964	
セルフ・プログラミング・エンド・ライブラリ	34/f _{CPU}			
ゲット・インフォメーション・ライブラリ	オプション値：03H		134/f _{CPU} +261	
	オプション値：04H		144/f _{CPU} +254	
	オプション値：05H		304/f _{CPU} +213	
セット・インフォメーション・ライブラリ	80/f _{CPU} +42839	80/f _{CPU} +572592	72/f _{CPU} +42839	72/f _{CPU} +572592
EEPROMライト・ライブラリ	333/f _{CPU} +516+ 209 × w	333/f _{CPU} +516+ 1722 × w	268/f _{CPU} +516+ 209 × w	268/f _{CPU} +516+ 1722 × w

備考1. 上記の処理時間は，書き込み開始アドレス構造体を内部高速RAMに配置した場合の時間で，かつ高速内蔵発振器の安定動作中（RSTS = 1）の時間です。

2. RSTS：内蔵発振モード・レジスタ（RCM）のビット7
3. f_{CPU}：CPU動作クロック周波数
4. w：書き込みデータのワード数（1ワード = 4 バイト）

表25 - 11 セルフ・プログラミング・ライブラリの割り込み応答時間 (参考値) (1/2)

(1) 高速内蔵発振クロック使用時

ライブラリ名	割り込み応答時間 (単位: μs (Max.))			
	Cコンパイラのノーマル・モデル		Cコンパイラのスタティック・モデル / アセンブラ	
	エントリRAMの配置がショート・ダイレクト・アドレッシング外	エントリRAMの配置がショート・ダイレクト・アドレッシング内	エントリRAMの配置がショート・ダイレクト・アドレッシング外	エントリRAMの配置がショート・ダイレクト・アドレッシング内
ブロック・ブランク・チェック・ライブラリ	1100.9	431.9	1095.3	426.3
ブロック・イレース・ライブラリ	1452.9	783.9	1447.3	778.3
ワード・ライト・ライブラリ	1247.2	579.2	1239.2	571.2
ブロック・ベリファイ・ライブラリ	1125.9	455.9	1120.3	450.3
セット・インフォメーション・ライブラリ	906.9	312.0	905.8	311.0
EEPROMライト・ライブラリ	1215.2	547.2	1213.9	545.9

備考1. 上記の割り込み応答時間は、高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。

2. RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

(2) 高速システム・クロック使用時 (Cコンパイラのノーマル・モデル)

ライブラリ名	割り込み応答時間 (単位: μs (Max.))			
	RSTOP = 0, RSTS = 1		RSTOP = 1	
	エントリRAMの配置がショート・ダイレクト・アドレッシング外	エントリRAMの配置がショート・ダイレクト・アドレッシング内	エントリRAMの配置がショート・ダイレクト・アドレッシング外	エントリRAMの配置がショート・ダイレクト・アドレッシング内
ブロック・ブランク・チェック・ライブラリ	$179/f_{\text{CPU}}+567$	$179/f_{\text{CPU}}+246$	$179/f_{\text{CPU}}+1708$	$179/f_{\text{CPU}}+569$
ブロック・イレース・ライブラリ	$179/f_{\text{CPU}}+780$	$179/f_{\text{CPU}}+459$	$179/f_{\text{CPU}}+1921$	$179/f_{\text{CPU}}+782$
ワード・ライト・ライブラリ	$333/f_{\text{CPU}}+763$	$333/f_{\text{CPU}}+443$	$333/f_{\text{CPU}}+1871$	$333/f_{\text{CPU}}+767$
ブロック・ベリファイ・ライブラリ	$179/f_{\text{CPU}}+580$	$179/f_{\text{CPU}}+259$	$179/f_{\text{CPU}}+1721$	$179/f_{\text{CPU}}+582$
セット・インフォメーション・ライブラリ	$80/f_{\text{CPU}}+456$	$80/f_{\text{CPU}}+200$	$80/f_{\text{CPU}}+1598$	$80/f_{\text{CPU}}+459$
EEPROMライト・ライブラリ ^注	$29/f_{\text{CPU}}+767$ ----- $333/f_{\text{CPU}}+696$	$29/f_{\text{CPU}}+447$ ----- $333/f_{\text{CPU}}+376$	$29/f_{\text{CPU}}+767$ ----- $333/f_{\text{CPU}}+1838$	$29/f_{\text{CPU}}+447$ ----- $333/f_{\text{CPU}}+700$

注 EEPROMライト・ライブラリの割り込み応答時間は、 f_{CPU} の値によって、どちらか長い時間のほうがMAX.値となります。

備考1. f_{CPU} : CPU動作クロック周波数

2. RSTOP : 内蔵発振モード・レジスタ (RCM) のビット0

3. RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

表25 - 11 セルフ・プログラミング・ライブラリの割り込み応答時間 (参考値) (2/2)

(3) 高速システム・クロック使用時 (Cコンパイラのスタティック・モデル/アセンブラ)

ライブラリ名	割り込み応答時間 (単位: μ s (Max.))			
	RSTOP = 0, RSTS = 1		RSTOP = 1	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	$136/f_{CPU}+567$	$136/f_{CPU}+246$	$136/f_{CPU}+1708$	$136/f_{CPU}+569$
ブロック・イレース・ライブラリ	$136/f_{CPU}+780$	$136/f_{CPU}+459$	$136/f_{CPU}+1921$	$136/f_{CPU}+782$
ワード・ライト・ライブラリ	$272/f_{CPU}+763$	$272/f_{CPU}+443$	$272/f_{CPU}+1871$	$272/f_{CPU}+767$
ブロック・ベリファイ・ライブラリ	$136/f_{CPU}+580$	$136/f_{CPU}+259$	$136/f_{CPU}+1721$	$136/f_{CPU}+582$
セット・インフォメーション・ラ イブラリ	$72/f_{CPU}+456$	$72/f_{CPU}+200$	$72/f_{CPU}+1598$	$72/f_{CPU}+459$
EEPROMライト・ライブラリ ^注	$19/f_{CPU}+767$ ----- $268/f_{CPU}+696$	$19/f_{CPU}+447$ ----- $268/f_{CPU}+376$	$19/f_{CPU}+767$ ----- $268/f_{CPU}+1838$	$19/f_{CPU}+447$ ----- $268/f_{CPU}+700$

注 EEPROMライト・ライブラリの割り込み応答時間は、 f_{CPU} の値によって、どちらか長い時間のほうがMAX.値となります。

備考1. f_{CPU} : CPU動作クロック周波数

2. RSTOP : 内蔵発振モード・レジスタ (RCM) のビット0

3. RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

25. 8. 1 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートができなくなります。

この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0^註の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、78K0/Kx2-Aマイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行います。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

ブート・クラスタ0への書き込みが正常に終了した場合は、78K0/Kx2-Aマイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、ブート領域を元に戻します。

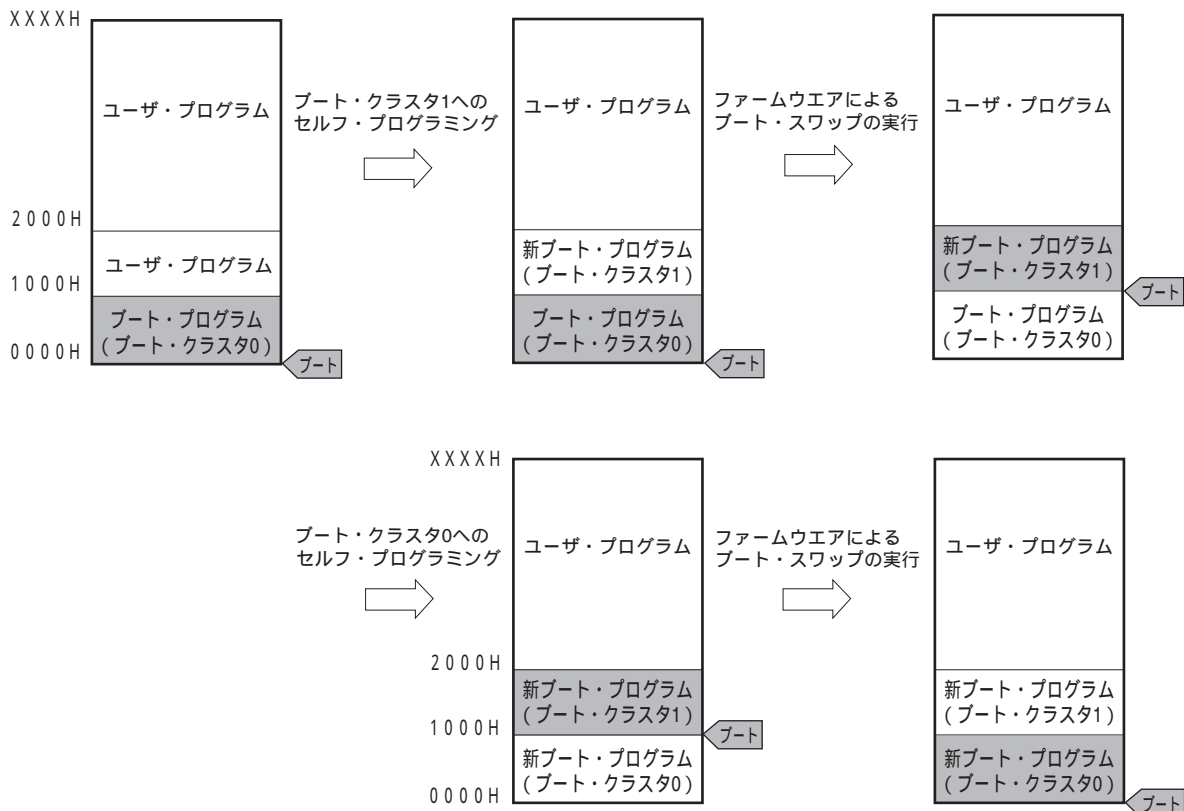
注 ブート・クラスタは4Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

ブート・クラスタ0 (0000H~0FFFH) : 本来のブート・プログラム領域です。

ブート・クラスタ1 (1000H~1FFFH) : ブート・スワップ対象の領域です。

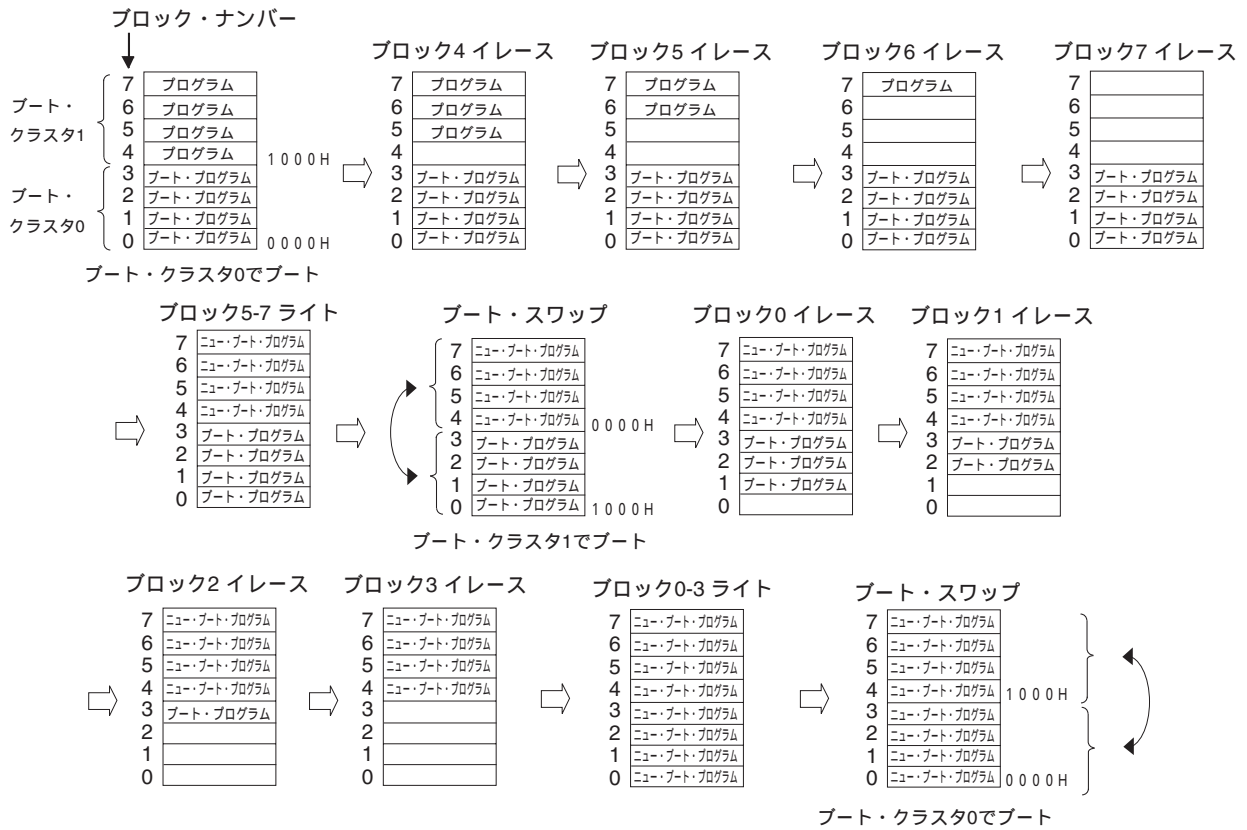
注意 ブート・スワップを行う場合、専用フラッシュ・メモリ・プログラマでE.P.Vコマンドを使用しないでください。

図25 - 14 ブート・スワップ機能



備考 ブート・クラスタ1は、ブート・フラグ設定後にリセットが発生したとき、0000H-0FFFHになります。

図25 - 15 ブート・スワップの実行例



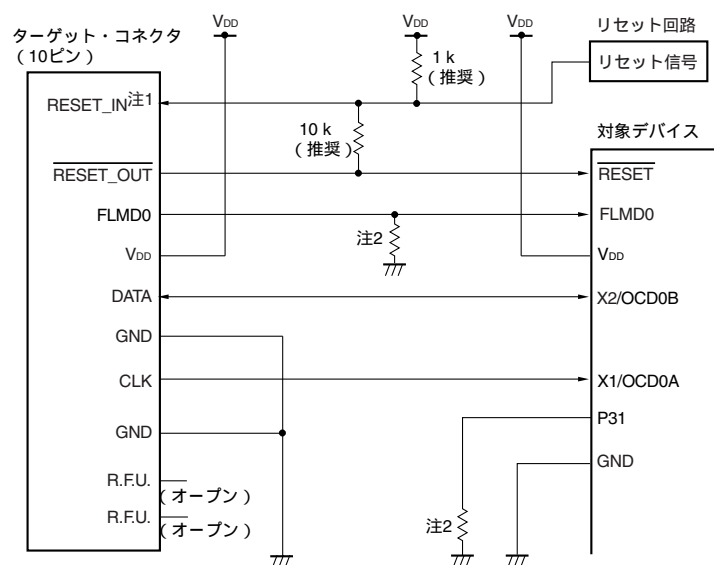
第26章 オンチップ・デバッグ機能

26.1 QB-MINI2と78K0/Kx2-Aマイクロコントローラの接続

78K0/Kx2-Aマイクロコントローラは、オンチップ・デバッグ対応のオンチップ・デバッグ・エミュレータ (QB-MINI2) を介して、ホスト・マシンとの通信を行う場合、 V_{DD} 、FLMD0、 $\overline{\text{RESET}}$ 、OCD0A/X1 (または OCD1A/P31)、OCD0B/X2 (またはOCD1B/P32)、 V_{SS} 端子を使用します。OCD0A/X1とOCD1A/P31、OCD0B/X2とOCD1B/P32はどちらを使用するか、選択できます。

注意 78K0/Kx2-Aマイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図26 - 1 QB-MINI2と78K0/Kx2-Aマイクロコントローラの接続例 (OCD0A/X1, OCD0B/X2使用時)



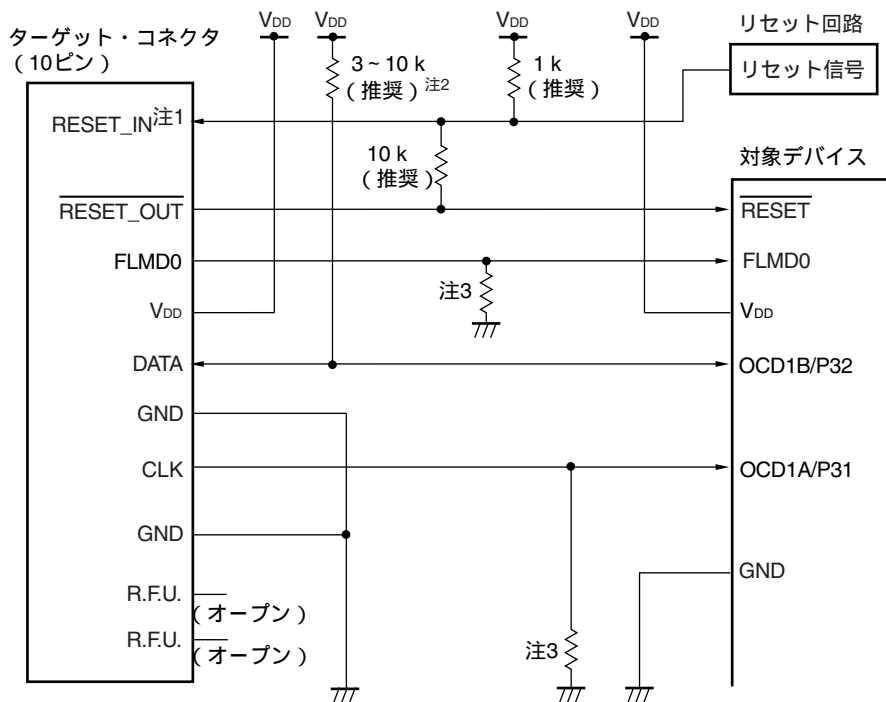
注1. リセット信号の出力がN-chオープン・ドレインのバッファ (出力抵抗: 100 Ω 以下) によるものと想定した回路との接続です。詳細につきましては、QB-MINI2 ユーザーズ・マニュアル (U18371J) を参照してください。

2. プルダウン抵抗値は470 Ω 以上 (10 k Ω : 推奨) にしてください。

注意1. オンチップ・デバッグ時は、OCD0A/X1端子よりクロック入力します。

2. OCD0A/X1, OCD0B/X2端子を使用する場合、OCD1A/P31端子を外部でプルダウンするか、またはP130端子 (リセットがかかるとロウ・レベルを出力) を使用した外付け回路で制御してください。

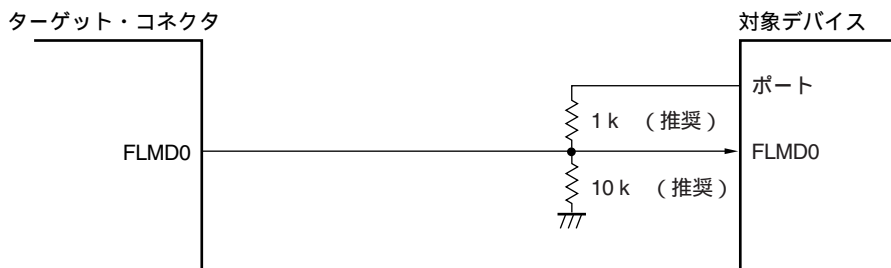
図26 - 2 QB-MINI2と78K0/Kx2-Aマイクロコントローラの接続例 (OCD1A/P31, OCD1B/P32使用時)



- 注1. リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗：100 Ω以下）によるものと想定した回路との接続です。詳細につきましては、QB-MINI2 ユーザーズ・マニュアル (U18371J) を参照してください。
2. OCD1B/P32を入力ポートに設定している場合の端子処理です (QB-MINI2未接続時にオープンになるのを防ぐため)。
3. プルダウン抵抗値は470 Ω以上 (10 kΩ：推奨) にしてください。

オンチップ・デバッグでセルフ・プログラミングを行う場合、FLMD0端子を次の図のように接続してください。

図26 - 3 オンチップ・デバッグでセルフ・プログラミングを行う場合のFLMD0端子の処理



注意 FLMD0端子を制御するポートは、第28章 電気的特性に記載されているハイ・レベル出力電流とFLMD0電源電圧 (MIN. 値: $0.8V_{DD}$) の値を満たすように、十分注意してご使用ください。

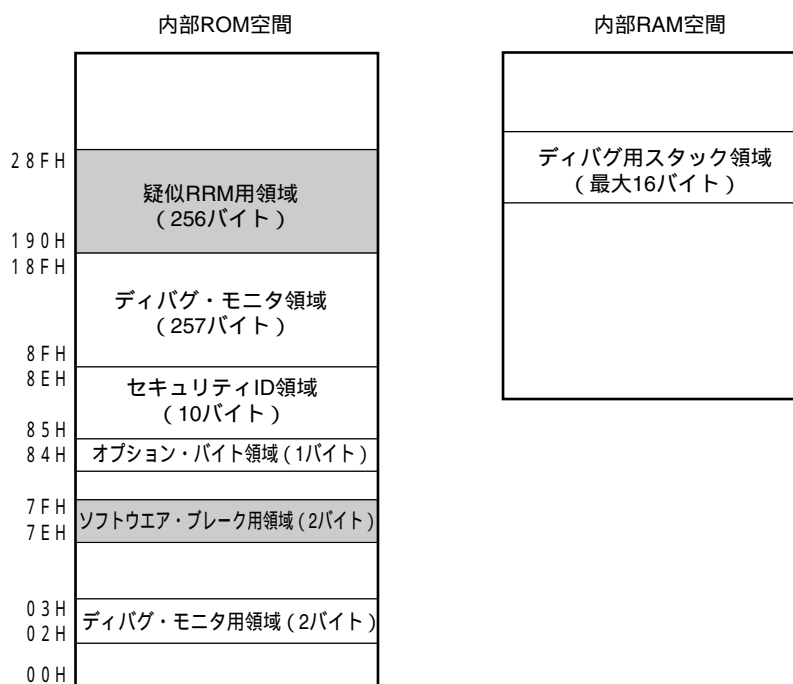
26.2 QB-MINI2が使用する予約領域

QB-MINI2は、78K0/Kx2-Aマイクロコントローラとの通信，または各デバッグ機能を実現するために，図26 - 4で示した予約領域を使用します。図中のグレーで示した予約領域は使用するデバッグ機能に応じて使用し，それ以外の予約領域はデバッグ時に必ず使用します。これらの予約領域はユーザ・プログラムやコンパイラ・オプションで確保できます。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は，あらかじめブート・クラスタ1にも同じ値を設定してください。

予約領域の詳細につきましては，QB-MINI2 ユーザーズ・マニュアル (U18371J) を参照してください。

図26 - 4 QB-MINI2が使用する予約領域



備考 グレーで示した予約領域 : 使用するデバッグ機能に応じて使用する領域
 それ以外の予約領域 : デバッグ時に必ず使用する領域

第27章 命令セットの概要

78K0/Kx2-Aマイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語(命令コード)については、78K/0シリーズ ユーザーズ・マニュアル 命令編(U12326J)を参照してください。

27.1 凡 例

27.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・ # : イミーディエト・データ指定
- ・ ! : 絶対アドレス指定
- ・ \$: 相対アドレス指定
- ・ [] : 間接アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（下表の中のカッコ内の名称, R0, R1, R2など）のいずれの形式でも記述可能です。

表27 - 1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0) , A (R1) , C (R2) , B (R3) , E (R4) , D (R5) , L (R6) , H (R7)
rp	AX (RP0) , BC (RP1) , DE (RP2) , HL (RP3)
sfr	特殊機能レジスタ略号 ^注
sfrp	特殊機能レジスタ略号 (16ビット操作可能なレジスタの偶数アドレスのみ) ^注
saddr	FE20H-FF1FH イミーディエト・データまたはラベル
saddrp	FE20H-FF1FH イミーディエト・データまたはラベル (偶数アドレスのみ)
addr16	0000H-FFFFH イミーディエト・データまたはラベル (16ビット・データ転送命令時は偶数アドレスのみ)
addr11	0800H-0FFFH イミーディエト・データまたはラベル
addr5	0040H-007FH イミーディエト・データまたはラベル (偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3 - 6 特殊機能レジスタ一覧を参照してください。

27.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
x ^H , x ^L	: 16ビット・レジスタの上位8ビット, 下位8ビット
	: 論理積 (AND)
	: 論理和 (OR)
	: 排他的論理和 (exclusive OR)
	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

27.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

27.2 オペレーション一覧

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	-	r byte			
		saddr, #byte	3	6	7	(saddr) byte			
		sfr, #byte	3	-	7	sfr byte			
		A, r ^{注3}	1	2	-	A r			
		r, A ^{注3}	1	2	-	r A			
		A, saddr	2	4	5	A (saddr)			
		saddr, A	2	4	5	(saddr) A			
		A, sfr	2	-	5	A sfr			
		sfr, A	2	-	5	sfr A			
		A, !addr16	3	8	9	A (addr16)			
		!addr16, A	3	8	9	(addr16) A			
		PSW, #byte	3	-	7	PSW byte	x	x	x
		A, PSW	2	-	5	A PSW			
		PSW, A	2	-	5	PSW A	x	x	x
		A, [DE]	1	4	5	A (DE)			
		[DE], A	1	4	5	(DE) A			
		A, [HL]	1	4	5	A (HL)			
		[HL], A	1	4	5	(HL) A			
		A, [HL + byte]	2	8	9	A (HL + byte)			
		[HL + byte], A	2	8	9	(HL + byte) A			
	A, [HL + B]	1	6	7	A (HL + B)				
	[HL + B], A	1	6	7	(HL + B) A				
	A, [HL + C]	1	6	7	A (HL + C)				
	[HL + C], A	1	6	7	(HL + C) A				
	XCH	A, r ^{注3}	1	2	-	A r			
		A, saddr	2	4	6	A (saddr)			
		A, sfr	2	-	6	A sfr			
		A, !addr16	3	8	10	A (addr16)			
A, [DE]		1	4	6	A (DE)				
A, [HL]		1	4	6	A (HL)				
A, [HL + byte]		2	8	10	A (HL + byte)				
A, [HL + B]		2	8	10	A (HL + B)				
A, [HL + C]	2	8	10	A (HL + C)					

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	rp, #word	3	6	-	rp word			
		saddrp, #word	4	8	10	(saddrp) word			
		sfrp, #word	4	-	10	sfrp word			
		AX, saddrp	2	6	8	AX (saddrp)			
		saddrp, AX	2	6	8	(saddrp) AX			
		AX, sfrp	2	-	8	AX sfrp			
		sfrp, AX	2	-	8	sfrp AX			
		AX, rp <small>注3</small>	1	4	-	AX rp			
		rp, AX <small>注3</small>	1	4	-	rp AX			
		AX, !addr16	3	10	12	AX (addr16)			
	!addr16, AX	3	10	12	(addr16) AX				
XCHW	AX, rp <small>注3</small>	1	4	-	AX rp				
8ビット演算	ADD	A, #byte	2	4	-	A, CY A + byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte	x	x	x
		A, r <small>注4</small>	2	4	-	A, CY A + r	x	x	x
		r, A	2	4	-	r, CY r + A	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B)	x	x	x
	A, [HL + C]	2	8	9	A, CY A + (HL + C)	x	x	x	
	ADDC	A, #byte	2	4	-	A, CY A + byte + CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte + CY	x	x	x
		A, r <small>注4</small>	2	4	-	A, CY A + r + CY	x	x	x
		r, A	2	4	-	r, CY r + A + CY	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr) + CY	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16) + CY	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL) + CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte) + CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B) + CY	x	x	x
A, [HL + C]		2	8	9	A, CY A + (HL + C) + CY	x	x	x	

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . rp = BC, DE, HLのときのみ。

4 . r = Aを除く。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUB	A, #byte	2	4	-	A, CY A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte	x	x	x
		A, r <small>注3</small>	2	4	-	A, CY A - r	x	x	x
		r, A	2	4	-	r, CY r - A	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B)	x	x	x
	A, [HL + C]	2	8	9	A, CY A - (HL + C)	x	x	x	
	SUBC	A, #byte	2	4	-	A, CY A - byte - CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte - CY	x	x	x
		A, r <small>注3</small>	2	4	-	A, CY A - r - CY	x	x	x
		r, A	2	4	-	r, CY r - A - CY	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr) - CY	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16) - CY	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL) - CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte) - CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B) - CY	x	x	x
	A, [HL + C]	2	8	9	A, CY A - (HL + C) - CY	x	x	x	
	AND	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r <small>注3</small>	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
A, [HL + byte]		2	8	9	A A (HL + byte)	x			
A, [HL + B]		2	8	9	A A (HL + B)	x			
A, [HL + C]	2	8	9	A A (HL + C)	x				

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r <small>注3</small>	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
	A, [HL + C]	2	8	9	A A (HL + C)	x			
	XOR	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r <small>注3</small>	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
	A, [HL + C]	2	8	9	A A (HL + C)	x			
	CMP	A, #byte	2	4	-	A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr) - byte	x	x	x
		A, r <small>注3</small>	2	4	-	A - r	x	x	x
		r, A	2	4	-	r - A	x	x	x
		A, saddr	2	4	5	A - (saddr)	x	x	x
		A, !addr16	3	8	9	A - (addr16)	x	x	x
		A, [HL]	1	4	5	A - (HL)	x	x	x
A, [HL + byte]		2	8	9	A - (HL + byte)	x	x	x	
A, [HL + B]		2	8	9	A - (HL + B)	x	x	x	
A, [HL + C]	2	8	9	A - (HL + C)	x	x	x		
16ビット演算	ADDW	AX, #word	3	6	-	AX, CY AX + word	x	x	x
	SUBW	AX, #word	3	6	-	AX, CY AX - word	x	x	x
	CMPW	AX, #word	3	6	-	AX - word	x	x	x
乗除算	MULU	X	2	16	-	AX A × X			
	DIVUW	C	2	25	-	AX(商), C(余り) AX ÷ C			

- 注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。
 2. 内部高速RAM以外の領域をアクセスしたとき。
 3. r = Aを除く。

- 備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f_{CPU})の1クロック分です。
 2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	2	-	r r + 1	x	x	
		saddr	2	4	6	(saddr) (saddr) + 1	x	x	
	DEC	r	1	2	-	r r - 1	x	x	
		saddr	2	4	6	(saddr) (saddr) - 1	x	x	
	INCW	rp	1	4	-	rp rp + 1			
	DECW	rp	1	4	-	rp rp - 1			
ローテート	ROR	A, 1	1	2	-	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
	ROL	A, 1	1	2	-	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
	RORC	A, 1	1	2	-	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
	ROL4	A, 1	1	2	-	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
	ROR4	[HL]	2	10	12	A ₃₋₀ (HL) ₃₋₀ , (HL) ₇₋₄ A ₃₋₀ , (HL) ₃₋₀ (HL) ₇₋₄			
	ROL4	[HL]	2	10	12	A ₃₋₀ (HL) ₇₋₄ , (HL) ₃₋₀ A ₃₋₀ , (HL) ₇₋₄ (HL) ₃₋₀			
BCD補正	ADJBA		2	4	-	Decimal Adjust Accumulator after Addition	x	x	x
	ADJBS		2	4	-	Decimal Adjust Accumulator after Subtract	x	x	x
ビット操作	MOV1	CY, saddr.bit	3	6	7	CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY sfr.bit			x
		CY, A.bit	2	4	-	CY A.bit			x
		CY, PSW.bit	3	-	7	CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY (HL).bit			x
		saddr.bit, CY	3	6	8	(saddr.bit) CY			
		sfr.bit, CY	3	-	8	sfr.bit CY			
		A.bit, CY	2	4	-	A.bit CY			
		PSW.bit, CY	3	-	8	PSW.bit CY	x	x	
	[HL].bit, CY	2	6	8	(HL).bit CY				
	AND1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	OR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	SET1	saddr.bit	2	4	6	(saddr.bit) 1			
		sfr.bit	3	-	8	sfr.bit 1			
		A.bit	2	4	-	A.bit 1			
		PSW.bit	2	-	6	PSW.bit 1	x	x	x
		[HL].bit	2	6	8	(HL).bit 1			
	CLR1	saddr.bit	2	4	6	(saddr.bit) 0			
		sfr.bit	3	-	8	sfr.bit 0			
		A.bit	2	4	-	A.bit 0			
		PSW.bit	2	-	6	PSW.bit 0	x	x	x
		[HL].bit	2	6	8	(HL).bit 0			
	SET1	CY	1	2	-	CY 1			1
	CLR1	CY	1	2	-	CY 0			0
NOT1	CY	1	2	-	CY \overline{CY}			x	
コール・リターン	CALL	!addr16	3	7	-	(SP - 1) (PC + 3) _H , (SP - 2) (PC + 3) _L , PC addr16, SP SP - 2			
	CALLF	!addr11	2	5	-	(SP - 1) (PC + 2) _H , (SP - 2) (PC + 2) _L , PC ₁₅₋₁₁ 00001, PC ₁₀₋₀ addr11, SP SP - 2			
	CALLT	[addr5]	1	6	-	(SP - 1) (PC + 1) _H , (SP - 2) (PC + 1) _L , PC _H (addr5 + 1), PC _L (addr5), SP SP - 2			
	BRK		1	6	-	(SP - 1) PSW, (SP - 2) (PC + 1) _H , (SP - 3) (PC + 1) _L , PC _H (003FH), PC _L (003EH), SP SP - 3, IE 0			
	RET		1	6	-	PC _H (SP + 1), PC _L (SP), SP SP + 2			
	RETI		1	6	-	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3	R	R	R
	RETB		1	6	-	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3	R	R	R

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	1	2	-	(SP - 1) PSW, SP SP - 1			
		rp	1	4	-	(SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2			
	POP	PSW	1	2	-	PSW (SP), SP SP + 1	R	R	R
		rp	1	4	-	rp _H (SP + 1), rp _L (SP), SP SP + 2			
	MOVW	SP, #word	4	-	10	SP word			
		SP, AX	2	-	8	SP AX			
AX, SP		2	-	8	AX SP				
無条件分岐	BR	!addr16	3	6	-	PC addr16			
		\$addr16	2	6	-	PC PC + 2 + jdisp8			
		AX	2	8	-	PC _H A, PC _L X			
条件付き分岐	BC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	PC PC + 3 + jdisp8 if (saddr.bit) = 1			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr16	3	-	9	PC PC + 3 + jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	PC PC + 4 + jdisp8 if (saddr.bit) = 1 then reset (saddr.bit)			
		sfr.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x
		[HL].bit, \$addr16	3	10	12	PC PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	-	B B - 1, then PC PC + 2 + jdisp8 if B 0			
		C, \$addr16	2	6	-	C C - 1, then PC PC + 2 + jdisp8 if C 0			
		saddr, \$addr16	3	8	10	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if(saddr) 0			
CPU制御	SEL	RBn	2	4	-	RBS1, 0 n			
	NOP		1	2	-	No Operation			
	EI		2	-	6	IE 1(Enable Interrupt)			
	DI		2	-	6	IE 0(Disable Interrupt)			
	HALT		2	6	-	Set HALT Mode			
	STOP		2	6	-	Set STOP Mode			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f_{CPU})の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

27.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte] [HL + B] [HL + C]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL + byte] [HL + B] [HL + C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド \ 第1オペランド	#word	AX	rp ^注	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド \ 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第1オペランド \ 第2オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

第28章 電気的特性

- 注意1. 78K0/Kx2-Aマイクロコントローラは開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. 製品により、搭載している端子が次のように異なります。

(1) ポート機能

ポート	78K0/KB2-A	78K0/KC2-A
	30ピン製品	48ピン製品
ポート0	-	P00-P02
ポート1	P10-P13	
ポート2	P20-P25	P20-P27
ポート3	P31, P32, P35	P31-P35
ポート4	-	P40-P42
ポート6	P60, P61	
ポート7	-	P70-P75
ポート8	P80-P83	
ポート12	P120-P122	P120-P124

(次ページに、続きの表があります)

(2) ポート以外の機能

機能	78K0/KB2-A		78K0/KC2-A	
	30ピン製品		48ピン製品	
電源, グランド	V _{DD} , V _{SS} , AV _{REF} , AV _{DD} , AV _{SS}		V _{DD} , V _{SS} , AV _{REFP} , AV _{REFM} , AV _{DD} , AV _{SS}	
レギュレータ	REGC			
リセット	RESET			
クロック発振	X1, X2, EXCLK		X1, X2, XT1, XT2, EXCLK	
フラッシュ書き込み	FLMD0			
割り込み	INTP0, INTP1, INTP4-INTP7		INTP0-INTP9	
キー割り込み	-		KR0-KR5	
タイマ	TM00	TI000, TI010, TO00		
	TM50	TI50, TO50		
	TM51	TI51, TO51		
	TMH0	TOH0		
	TMH1	TOH1		
シリアル・インタフェース	UART6	RxD6, TxD6		
	IICA	SCLA0, SDAA0		
	CSI10	SCK10, SI10, SO10	SCK10, SI10, SO10, SSI10	
A/Dコンバータ	ANI0-ANI5, ANI8-ANI11		ANI0-ANI6, ANI8-ANI11, ANI15	
クロック出力	-		PCL	
リアルタイム・カウンタ出力	-		RTC1HZ, RTCCL, RTCDIV	
LVI回路	EXLVI			
オンチップ・デバッグ機能	OCD0A, OCD1A, OCD0B, OCD1B			

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

絶対最大定格 (TA = 25) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 6.5	V
	V _{SS}		- 0.5 ~ + 0.3	V
	AV _{DD}		- 0.5 ~ V _{DD} + 0.3 ^注	V
	AV _{SS}		- 0.5 ~ + 0.3	V
REGC端子入力電圧	V _{I_{REGC}}		- 0.5 ~ + 3.6 かつ - 0.5 ~ V _{DD}	V
入力電圧	V _{I1}	P00-P02, P10-P13, P31-P35, P40-P42, P70-P75, P120-P124, X1, X2, XT1, XT2, RESET, FLMD0	- 0.3 ~ V _{DD} + 0.3 ^注	V
	V _{I2}	P60, P61 (N-chオープン・ドレイン)	- 0.3 ~ + 6.5 ^注	V
	V _{I3}	P20-P27, P80-P83	- 0.3 ~ AV _{DD} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^注	V
出力電圧	V _{O1}	P20-P27, P80-P83 以外	- 0.3 ~ V _{DD} + 0.3 ^注	V
	V _{O2}	P20-P27, P80-P83	- 0.3 ~ AV _{DD} + 0.3 ^注	V
アナログ入力電圧	V _{AN1}	ANI0-ANI6, ANI8-ANI11, ANI15, AMP0+, AMP1+, AMP2+, AMP0-, AMP1-, AMP2-	- 0.3 ~ AV _{DD} + 0.3 ^注 かつ - 0.3 ~ V _{DD} + 0.3 ^注	V
アナログ出力電圧	V _{ANO1}	AMP0OUT, AMP1OUT, AMP2OUT	- 0.3 ~ AV _{DD} + 0.3	V
アナログ基準電圧入力	AV _{REFP}		- 0.3 ~ AV _{DD} + 0.3 ^注	V
	AV _{REFM}		- 0.3 ~ AV _{DD} + 0.3 ^注 かつ AV _{REFM} AV _{REFP} ^注	V

注 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

絶対最大定格 (TA = 25) (2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	I _{OH}	1端子	P00-P02, P10-P13, P31-P35, P40-P42, P70-P75, P120	- 10	mA
		端子合計 - 80 mA	P00-P02, P40-P42, P120	- 25	mA
			P10-P13, P31-P35, P70-P75	- 55	mA
		1端子	P20-P27, P80-P83	- 0.5	mA
		端子合計		- 2	mA
		1端子	P121-P124	- 1	mA
		端子合計		- 4	mA
		1端子	AMP0OUT, AMP1OUT, AMP2OUT	- 1	mA
端子合計	- 3	mA			
ロウ・レベル出力電流	I _{OL}	1端子	P00-P02, P10-P13, P31-P35, P40-P42, P60, P61, P70-P75, P120	30	mA
		端子合計 200 mA	P00-P02, P40-P42, P120	60	mA
			P10-P13, P31-P35, P60, P61, P70-P75	140	mA
		1端子	P20-P27, P80-P83	1	mA
		端子合計		5	mA
		1端子	P121-P124	4	mA
		端子合計		10	mA
		1端子	AMP0OUT, AMP1OUT, AMP2OUT	1	mA
端子合計	3	mA			
動作周囲温度	T _A			- 40 ~ + 85	
保存温度	T _{stg}			- 65 ~ + 150	

注意1. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

2. 1端子当たりに流すことができる電流値は、1端子当たりの電流値と端子合計の電流値の両方の値を満たす必要があります。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

X1発振回路特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = 5.5$ V, $V_{SS} = AV_{SS} = 0$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子, 水晶振動子		X1クロック 発振周波数 (f_x) ^{注1}	2.7 V $V_{DD} = 5.5$ V	1.0 ^{注2}		20.0	MHz
			1.8 V $V_{DD} < 2.7$ V	1.0		5.0	MHz

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. オンボード・プログラミング時にUART6を使用する場合は、2.0 MHz (MIN.) です。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

内蔵発振回路特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = 5.5$ V, $V_{SS} = AV_{SS} = 0$ V)

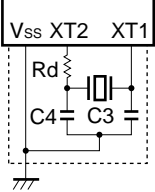
発振子	項目	条件		MIN.	TYP.	MAX.	単位
8 MHz 内蔵発振器	高速内蔵発振クロック 周波数 (f_{RH}) ^注	RSTS = 1	2.7 V $V_{DD} = 5.5$ V	7.6	8.0	8.4	MHz
			1.8 V $V_{DD} < 2.7$ V	7.6	8.0	10.4	MHz
		RSTS = 0		2.48	5.6	9.86	MHz
240 kHz 内蔵発振器	低速内蔵発振クロック 周波数 (f_{RL})	2.7 V $V_{DD} = 5.5$ V		216	240	264	kHz
		1.8 V $V_{DD} < 2.7$ V		192	240	264	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

備考 RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

XT1発振回路特性^{注1}

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = 5.5$ V, $V_{SS} = AV_{SS} = 0$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1クロック発振周 波数 (f_{XT}) ^{注2}		32	32.768	35	kHz

注1. 78K0/KB2-Aには、XT1発振回路はありません。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がXT1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (1/5)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = 5.5$ V, $AV_{DD} = V_{DD}$, $V_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	IOH1	P00-P02, P10-P13, P31-P35, P40-P42, P70-P75, P120 1端子	4.0 V $V_{DD} = 5.5$ V			- 3.0	mA
			2.7 V $V_{DD} < 4.0$ V			- 2.5	mA
			1.8 V $V_{DD} < 2.7$ V			- 1.0	mA
		P00-P02, P40-P42, P120 合計 ^{注3}	4.0 V $V_{DD} = 5.5$ V			- 20.0	mA
			2.7 V $V_{DD} < 4.0$ V			- 10.0	mA
			1.8 V $V_{DD} < 2.7$ V			- 5.0	mA
		P10-P13, P31-P35, P70-P75 合計 ^{注3}	4.0 V $V_{DD} = 5.5$ V			- 30.0	mA
			2.7 V $V_{DD} < 4.0$ V			- 19.0	mA
			1.8 V $V_{DD} < 2.7$ V			- 10.0	mA
	上記の全端子合計 ^{注3}	4.0 V $V_{DD} = 5.5$ V			- 50.0	mA	
		2.7 V $V_{DD} < 4.0$ V			- 29.0	mA	
		1.8 V $V_{DD} < 2.7$ V			- 15.0	mA	
	IOH2	P20-P27, P80-P83 1端子 P121-P124 1端子	$AV_{DD} = V_{DD}$			- 0.1	mA
						- 0.1	mA
ロウ・レベル出力電流 ^{注2}	IOL1	P00-P02, P10-P13, P31-P35, P40-P42, P70-P75, P120 1端子	4.0 V $V_{DD} = 5.5$ V			8.5	mA
			2.7 V $V_{DD} < 4.0$ V			5.0	mA
			1.8 V $V_{DD} < 2.7$ V			2.0	mA
		P60, P61 1端子	4.0 V $V_{DD} = 5.5$ V			15.0	mA
			2.7 V $V_{DD} < 4.0$ V			5.0	mA
			1.8 V $V_{DD} < 2.7$ V			2.0	mA
		P00-P02, P40-P42, P120 合計 ^{注3}	4.0 V $V_{DD} = 5.5$ V			20.0	mA
			2.7 V $V_{DD} < 4.0$ V			15.0	mA
			1.8 V $V_{DD} < 2.7$ V			9.0	mA
		P10-P13, P31-P35, P60, P61, P70-P75 合計 ^{注3}	4.0 V $V_{DD} = 5.5$ V			45.0	mA
			2.7 V $V_{DD} < 4.0$ V			35.0	mA
			1.8 V $V_{DD} < 2.7$ V			20.0	mA
		上記の全端子合計 ^{注3}	4.0 V $V_{DD} = 5.5$ V			65.0	mA
			2.7 V $V_{DD} < 4.0$ V			50.0	mA
			1.8 V $V_{DD} < 2.7$ V			29.0	mA
	IOL2	P20-P27, P80-P83 1端子 P121-P124 1端子	$AV_{DD} = V_{DD}$			0.4	mA
						0.4	mA

注1. V_{DD} から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. 出力端子からGNDに流れ込んでも、デバイスの動作を保証する電流値です。

3. デューティ = 70%の条件(ある一定の時間をtとすると、電流を出力する時間が $0.7 \times t$ 、電流を出力しない時間が $0.3 \times t$ の場合)でのスペックです。デューティ = 70%以外の端子合計の出力電流は下記の計算式で求めることができます。

・ I_{OH}のデューティがn%の場合：端子合計の出力電流 = $(I_{OH} \times 0.7) / (n \times 0.01)$

< 計算例 > デューティ = 50%, I_{OH} = - 20.0 mAの場合

端子合計の出力電流 = $(- 20.0 \times 0.7) / (50 \times 0.01) = - 28.0$ mA

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (2/5)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = 5.5$ V, $AV_{DD} = V_{DD}$, $V_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	P40, P41, P121-P124, EXCLK	$0.7V_{DD}$		V_{DD}	V
	V_{IH2}	P00-P02, P10-P13, P31-P35, P42, P70-P75, P120, $RESET\bar{}$	$0.8V_{DD}$		V_{DD}	V
	V_{IH3}	P20-P27, P80-P83	$AV_{DD} = V_{DD}$	$0.7AV_{DD}$	AV_{DD}	V
	V_{IH4}	P60, P61		$0.7V_{DD}$	6.0	V
ロウ・レベル入力電圧	V_{IL1}	P40, P41, P60, P61, P121-P124, EXCLK	0		$0.3V_{DD}$	V
	V_{IL2}	P00-P02, P10-P13, P31-P35, P42, P70-P75, P120, $RESET\bar{}$	0		$0.2V_{DD}$	V
	V_{IL3}	P20-P27, P80-P83	$AV_{DD} = V_{DD}$	0	$0.3AV_{DD}$	V
ハイ・レベル出力電圧	V_{OH1}	P00-P02, P10-P13, P31-P35, P40-P42, P70-P75, P120	4.0 V $V_{DD} = 5.5$ V, $I_{OH1} = -3.0$ mA	$V_{DD} - 0.7$		V
			2.7 V $V_{DD} < 4.0$ V, $I_{OH1} = -2.5$ mA	$V_{DD} - 0.5$		V
			1.8 V $V_{DD} < 2.7$ V, $I_{OH1} = -1.0$ mA	$V_{DD} - 0.5$		V
	V_{OH2}	P20-P27, P80-P83	$AV_{DD} = V_{DD}$, $I_{OH2} = -100$ μ A	$AV_{DD} - 0.5$		V
			P121-P124	$I_{OH2} = -100$ μ A	$V_{DD} - 0.5$	

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (3/5)

($T_A = -40 \sim +85$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $AV_{DD} = V_{DD}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位			
ロウ・レベル出力電圧	VOL1	P00-P02, P10-P13, P31-P35, P40-P42, P70-P75, P120	4.0 V $V_{DD} = 5.5\text{ V}$, $I_{OL1} = 8.5\text{ mA}$			0.7	V		
			2.7 V $V_{DD} < 4.0\text{ V}$, $I_{OL1} = 5.0\text{ mA}$			0.7	V		
			1.8 V $V_{DD} < 2.7\text{ V}$, $I_{OL1} = 2.0\text{ mA}$			0.5	V		
			1.8 V $V_{DD} < 2.7\text{ V}$, $I_{OL1} = 0.5\text{ mA}$			0.4	V		
	VOL2	P20-P27, P80-P83 P121-P124	$AV_{DD} = V_{DD}$, $I_{OL2} = 0.4\text{ mA}$			0.4	V		
			$I_{OL2} = 0.4\text{ mA}$			0.4	V		
	VOL3	P60, P61	4.0 V $V_{DD} = 5.5\text{ V}$, $I_{OL1} = 15.0\text{ mA}$			2.0	V		
			4.0 V $V_{DD} = 5.5\text{ V}$, $I_{OL1} = 5.0\text{ mA}$			0.4	V		
			2.7 V $V_{DD} < 4.0\text{ V}$, $I_{OL1} = 5.0\text{ mA}$			0.6	V		
			2.7 V $V_{DD} < 4.0\text{ V}$, $I_{OL1} = 3.0\text{ mA}$			0.4	V		
1.8 V $V_{DD} < 2.7\text{ V}$, $I_{OL1} = 2.0\text{ mA}$					0.4	V			
ハイ・レベル入力リーク電流	ILIH1	P00-P02, P10-P13, P31-P35, P40-P42, P60, P61, P70-P75, P120, $\overline{\text{FLMD0}}$, $\overline{\text{RESET}}$	$V_I = V_{DD}$			1	μA		
			ILIH2	P20-P27, P80-P83	$V_I = AV_{DD}$, $AV_{DD} = V_{DD}$			1	μA
					ILIH3	P121-P124 (X1, X2, XT1, XT2)	$V_I = V_{DD}$ IOポート・モード		
	OSCモード			20			μA		
ロウ・レベル入力リーク電流	ILIL1	P00-P02, P10-P13, P31-P35, P40-P42, P60, P61, P70-P75, P120, $\overline{\text{FLMD0}}$, $\overline{\text{RESET}}$	$V_I = V_{SS}$			- 1	μA		
			ILIL2	P20-P27, P80-P83	$V_I = V_{SS}$, $AV_{DD} = V_{DD}$			- 1	μA
	ILIL3	P121-P124 (X1, X2, XT1, XT2)	$V_I = V_{SS}$	IOポート・モード			- 1	μA	
				OSCモード			- 20	μA	
プルアップ抵抗値	RU	$V_I = V_{SS}$	10	20	100	k Ω			
FLMD0電源電圧	VIL	通常動作時	0		0.2V _{DD}	V			
	VIH	セルフ・プログラミング時	0.8V _{DD}		V _{DD}	V			

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (4/5)

($T_A = -40 \sim +85$, $V_{DD} = 1.8 \text{ V}$, $V_{DD} = 5.5 \text{ V}$, $AV_{DD} = V_{DD}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	動作モード	$f_{XH} = 20 \text{ MHz}$, $V_{DD} = 5.0 \text{ V}$ ^{注2}	方形波入力		3.2	5.5	mA
				発振子接続		4.5	6.9	mA
			$f_{XH} = 20 \text{ MHz}$, $V_{DD} = 3.0 \text{ V}$ ^{注2}	方形波入力		3.2	5.5	mA
				発振子接続		4.2	6.6	mA
			$f_{XH} = 10 \text{ MHz}$, $V_{DD} = 5.0 \text{ V}$ ^{注2,3}	方形波入力		1.6	2.8	mA
				発振子接続		2.3	3.9	mA
			$f_{XH} = 10 \text{ MHz}$, $V_{DD} = 3.0 \text{ V}$ ^{注2,3}	方形波入力		1.5	2.7	mA
				発振子接続		2.2	3.2	mA
			$f_{XH} = 5 \text{ MHz}$, $V_{DD} = 3.0 \text{ V}$ ^{注2,3}	方形波入力		0.9	1.6	mA
				発振子接続		1.3	2.0	mA
		$f_{XH} = 5 \text{ MHz}$, $V_{DD} = 2.0 \text{ V}$ ^{注2,3}	方形波入力		0.7	1.4	mA	
			発振子接続		1.0	1.6	mA	
			$f_{RH} = 8 \text{ MHz}$, $V_{DD} = 5.0 \text{ V}$ ^{注4}			1.4	2.5	mA
			$f_{SUB} = 32.768 \text{ kHz}$, $V_{DD} = 5.0 \text{ V}$ ^{注5}	発振子接続		11	30	μA
				発振子接続		6	28	μA
	IDD2	HALTモード	$f_{XH} = 20 \text{ MHz}$, $V_{DD} = 5.0 \text{ V}$ ^{注2}	方形波入力		0.8	2.6	mA
				発振子接続		2.0	4.4	mA
			$f_{XH} = 20 \text{ MHz}$, $V_{DD} = 3.0 \text{ V}$ ^{注2}	方形波入力		0.8	2.6	mA
				発振子接続		1.7	4.1	mA
$f_{XH} = 10 \text{ MHz}$, $V_{DD} = 5.0 \text{ V}$ ^{注2,3}			方形波入力		0.4	1.3	mA	
			発振子接続		1.0	2.4	mA	
$f_{XH} = 10 \text{ MHz}$, $V_{DD} = 3.0 \text{ V}$ ^{注2,3}			方形波入力		0.4	1.3	mA	
			発振子接続		0.7	2.1	mA	
$f_{XH} = 5 \text{ MHz}$, $V_{DD} = 3.0 \text{ V}$ ^{注2,3}			方形波入力		0.2	0.65	mA	
			発振子接続		0.5	1.1	mA	
		$f_{RH} = 8 \text{ MHz}$, $V_{DD} = 5.0 \text{ V}$ ^{注4}			0.4	1.2	mA	
IDD3 ^{注6}	STOPモード				1	20	μA	
			$T_A = -40 \sim +70$		1	10	μA	

(注は次ページに記載されています)

- 注1. 内部電源 (V_{DD}) に流れるトータル電流です。周辺動作電流と入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。ただし、ポートのプルアップ抵抗と出力電流は含みません。
2. 8 MHz内蔵発振器, 240 kHz内蔵発振器, XT1発振回路の動作電流と, A/Dコンバータ, オペアンプ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
 3. AMPH (クロック動作モード選択レジスタ (OSCCTL) のビット0) = 0設定時。
 4. X1発振回路, XT1発振回路, 240 kHz内蔵発振器の動作電流と, A/Dコンバータ, オペアンプ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
 5. X1発振回路, 8 MHz内蔵発振器, 240 kHz内蔵発振器の動作電流と, A/Dコンバータ, オペアンプ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
 6. 240 kHz内蔵発振器, XT1発振回路の動作電流とA/Dコンバータ, オペアンプ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。

- 備考1. f_{XH} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{RH} : 高速内蔵発振クロック周波数
 3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (5/5)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = 5.5\text{ V}$, $AV_{DD} = V_{DD}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ウォッチドッグ・タイマ動作電流	I_{WDT} ^{注1}	240 kHz 低速内蔵発振クロック動作時			5	10	$\mu\text{ A}$	
LVI動作電流	I_{LVI} ^{注2}				9	18	$\mu\text{ A}$	
A/Dコンバータ動作電流	I_{ADC} ^{注3}	最高速変換時	標準モード1	$AV_{DD} = 5.0\text{ V}$		1.7	3.4	 mA
				$AV_{DD} = 3.0\text{ V}$		0.7	1.4	 mA
			標準モード2	$AV_{DD} = 2.3\text{ V}$		0.5	1.2	 mA
			低電圧モード	$AV_{DD} = 1.8\text{ V}$		0.3	0.8	 mA
オペアンプ動作電流	I_{AMP} ^{注4}		モード1	$AV_{DD} = 3.0\text{ V}$		25	37.5	$\mu\text{ A}$
			モード2			50	75	$\mu\text{ A}$
			モード3			153	230	$\mu\text{ A}$
RTC動作電流	I_{RTC} ^{注5}	$f_{SUB} = 32.768\text{ kHz}$		$V_{DD} = 3.0\text{ V}$		0.2	1.0	$\mu\text{ A}$
				$V_{DD} = 2.0\text{ V}$		0.2	1.0	$\mu\text{ A}$

- 注1. ウォッチドッグ・タイマにのみ流れる電流です (240 kHz内蔵発振器の動作電流を含みます)。ウォッチドッグ・タイマが動作中の場合、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{WDT} を加算した値が、78K0/Kx2-Aマイクロコントローラの電流値となります。
2. LVI回路にのみ流れる電流です。LVI回路が動作中の場合、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{LVI} を加算した値が、78K0/Kx2-Aマイクロコントローラの電流値となります。
3. A/Dコンバータ (AV_{DD} 端子) にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、 I_{DD1} または I_{DD2} に I_{ADC} を加算した値が、78K0/Kx2-Aマイクロコントローラの電流値となります。
4. オペアンプ (AV_{DD} 端子) にのみ流れる電流です。動作モード、HALTモード時またはSTOPモード時にオペアンプが動作中の場合、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{AMP} を加算した値が、78K0/Kx2-Aマイクロコントローラの電流値となります。
5. リアルタイム・カウンタ (V_{DD} 端子) にのみ流れる電流です (XT1発振器の動作電流は含みません)。動作モードまたはHALTモード時にリアルタイム・カウンタが動作中の場合、78K0/Kx2-Aマイクロコントローラの電流のTYP.値は、 I_{DD1} または I_{DD2} のTYP.値に I_{RTC} のTYP.値を加算した値となります。 I_{DD1} または I_{DD2} のMAX.値にはリアルタイム・カウンタの動作電流も含まれます。

- 備考1. f_{XH} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{RH} : 高速内蔵発振クロック周波数
3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

AC特性

(1) 基本動作

($T_A = -40 \sim +85$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $AV_{DD} = V_{DD}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T _{CY}	メイン・システム・クロック (f _{XP}) 動作	2.7 V $V_{DD} \leq 5.5\text{ V}$	0.1		32	$\mu\text{ s}$
			1.8 V $V_{DD} < 2.7\text{ V}$	0.4 ^{注1}		32	$\mu\text{ s}$
		サブシステム・クロック (f _{SUB}) 動作 ^{注2}		114	122	125	$\mu\text{ s}$
周辺ハードウェア・ク ロック周波数	f _{PRS}	f _{PRS} = f _{XH} (XSEL = 1)	4.0 V $V_{DD} \leq 5.5\text{ V}$			20	MHz
			2.7 V $V_{DD} < 4.0\text{ V}$			20 ^{注3}	MHz
			1.8 V $V_{DD} < 2.7\text{ V}$			5	MHz
		f _{PRS} = f _{RH} (XSEL = 0)	2.7 V $V_{DD} \leq 5.5\text{ V}$	7.6		8.4	MHz
			1.8 V $V_{DD} < 2.7\text{ V}$ ^{注4}	7.6		10.4	MHz
外部メイン・システ ム・クロック周波数	f _{EXCLK}	2.7 V $V_{DD} \leq 5.5\text{ V}$	1.0 ^{注5}		20.0	MHz	
		1.8 V $V_{DD} < 2.7\text{ V}$	1.0		5.0	MHz	
外部メイン・システム・ クロック入力ハイ/ロ ウ・レベル幅	t _{EXCLKH} , t _{EXCLKL}	4.0 V $V_{DD} \leq 5.5\text{ V}$	24			ns	
		2.7 V $V_{DD} < 4.0\text{ V}$	24			ns	
		1.8 V $V_{DD} < 2.7\text{ V}$	96			ns	
TI000, TI010入力ハイ・ レベル幅, ロウ・レベル 幅	t _{TIH0} , t _{TIL0}	4.0 V $V_{DD} \leq 5.5\text{ V}$	$2f_{sam} + 0.1$ ^{注6}			$\mu\text{ s}$	
		2.7 V $V_{DD} < 4.0\text{ V}$	$2f_{sam} + 0.2$ ^{注6}			$\mu\text{ s}$	
		1.8 V $V_{DD} < 2.7\text{ V}$	$2f_{sam} + 0.5$ ^{注6}			$\mu\text{ s}$	
TI50, TI51入力周波数	f _{TI5}	4.0 V $V_{DD} \leq 5.5\text{ V}$			10	MHz	
		2.7 V $V_{DD} < 4.0\text{ V}$			10	MHz	
		1.8 V $V_{DD} < 2.7\text{ V}$			5	MHz	
TI50, TI51入力ハイ・レ ベル幅, ロウ・レベル幅	t _{TIH5} , t _{TIL5}	4.0 V $V_{DD} \leq 5.5\text{ V}$	50			ns	
		2.7 V $V_{DD} < 4.0\text{ V}$	50			ns	
		1.8 V $V_{DD} < 2.7\text{ V}$	100			ns	
割り込み入力ハイ・レベ ル幅, ロウ・レベル幅	t _{INTH} , t _{INTL}		1			$\mu\text{ s}$	
キー割り込み入力ロ ウ・レベル幅	t _{KR}		250			ns	
RESETロウ・レベル幅	t _{RSL}		10			$\mu\text{ s}$	

注1. 8 MHz内蔵発振器で動作時は、0.38 μs となります。

2. 78K0/KB2-Aには、サブシステム・クロックはありません。

3. メイン・システム・クロック周波数の特性です。周辺機能で設定する分周クロックは、f_{XH}/2 (10 MHz) 以下にしてください。ただし乗除算器回路については、f_{XH} (20 MHz) での動作が可能です。

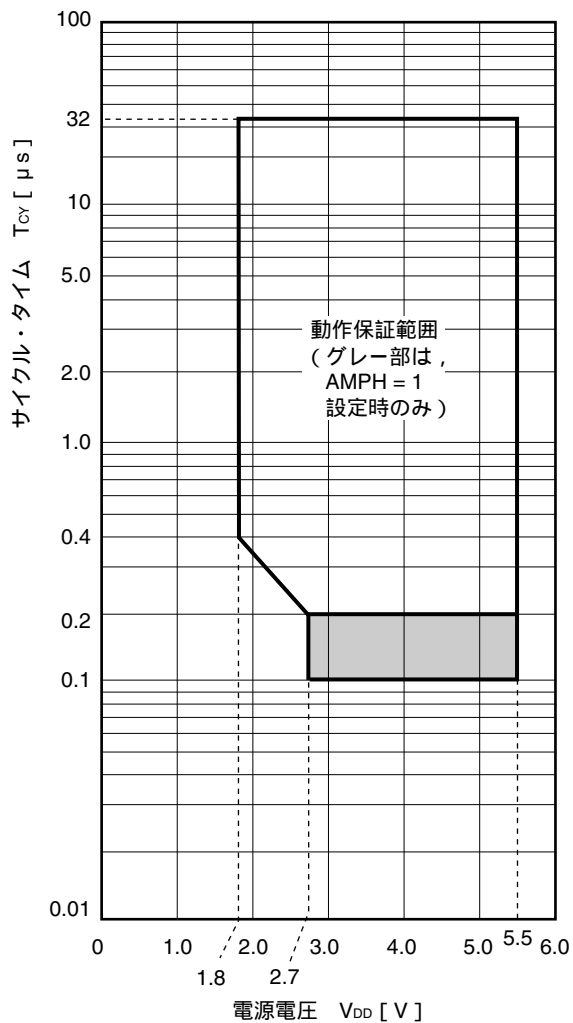
4. メイン・システム・クロック周波数の特性です。周辺機能で設定する分周クロックは、f_{RH}/2以下にしてください。

5. オンボード・プログラミング時にUART6を使用する場合は、2.0 MHz (MIN.) です。

6. プリスケアラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) により、f_{sam} = f_{PRS}, f_{PRS}/4, f_{PRS}/256の選択が可能です。ただし、カウント・クロックとしてTI000, TI001有効エッジを選択した場合は、f_{sam} = f_{PRS}となります。

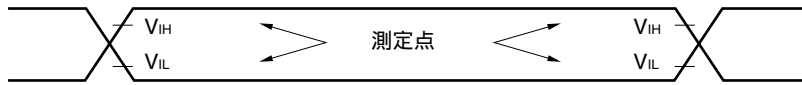
注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

T_{CY} vs V_{DD} (メイン・システム・クロック動作時)

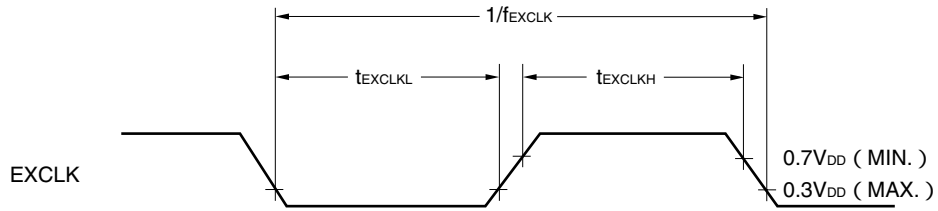


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

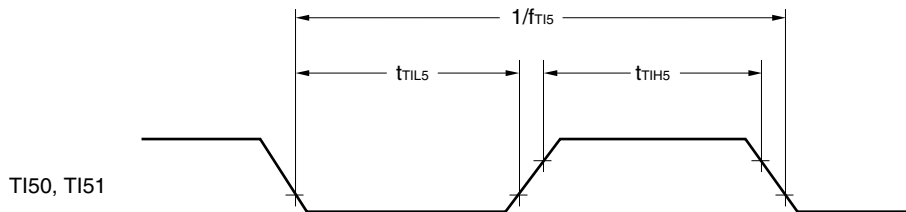
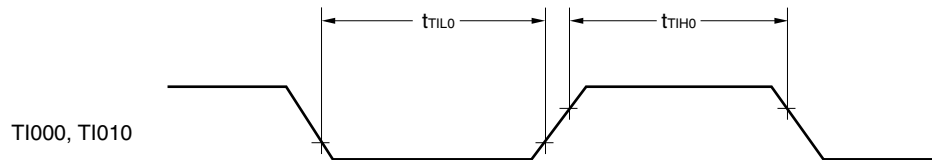
ACタイミング測定点



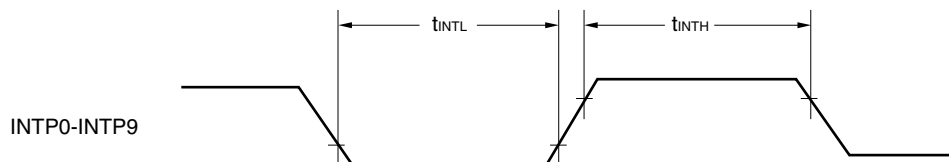
外部メイン・システム・クロック・タイミング



TIタイミング

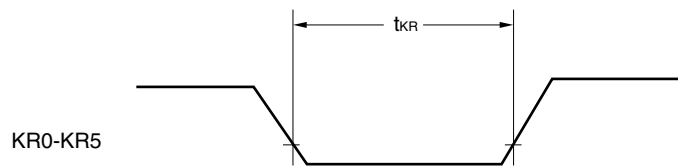


割り込み要求入力タイミング

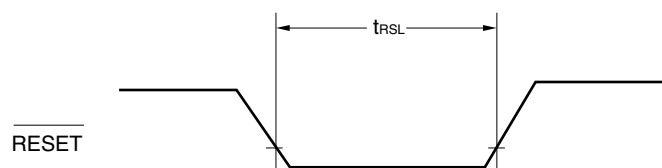


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

キー割り込み入力タイミング



$\overline{\text{RESET}}$ 入力タイミング



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース

($T_A = -40 \sim +85$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

(a) UART6 (専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					625	kbps

(b) IICA

項目	略号	条件	標準モード		高速モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f _{SCL}	高速モード : f _{PRS} 3.5 MHz 標準モード : f _{PRS} 1 MHz	0	100	0	400	kHz
スタート・コンディションおよびストップ・コンディションのセットアップ時間	t _{SU : STA}		4.7	-	0.6	-	μs
ホールド時間 ^{注1}	t _{HD : STA}		4.0	-	0.6	-	μs
SCLA0 = "L"のホールド・タイム	t _{LOW}		4.7	-	1.3	-	μs
SCLA0 = "H"のホールド・タイム	t _{HIGH}		4.0	-	0.6	-	μs
データ・セットアップ時間 (受信時)	t _{SU : DAT}		250	-	100	-	ns
データ・ホールド時間 (送信時) ^{注2, 3}	t _{HD : DAT}		0	3.45	0	0.9	μs
ストップ・コンディションのセットアップ時間	t _{SU : STO}		4.0	-	0.6	-	μs
ストップ・コンディションとスタート・コンディションの間のバス・フリー時間	t _{BUF}		4.7	-	1.3	-	μs
SDAA0およびSCLA0信号の立ち上がり時間	t _r			1000	2.0 + 0.1C _b	300	ns
SDAA0およびSCLA0信号の立ち下がり時間	t _f			300	2.0 + 0.1C _b	300	ns
通信ライン (SCLA0, SDAA0) ごとの合計負荷容量値	C _b			400		400	pF

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. t_{HD : DAT}の最大値 (MAX.) は, 通常転送時の数値であり, $\overline{\text{ACK}}$ (アクノリッジ) タイミングでは, ウエイトがかかります。

3. データ・ホールド時間は, IICAロウ・レベル幅設定レジスタ (IICWL) の設定により, 変化します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(c) CSI10 (マスタ・モード, $\overline{\text{SCK10}}$...内部クロック出力)^{注1}

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	t _{KCY1}	4.0 V V _{DD} 5.5 V	160			ns
		2.7 V V _{DD} < 4.0 V	250			ns
		1.8 V V _{DD} < 2.7 V	500			ns
SCK10ハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}	4.0 V V _{DD} 5.5 V	t _{KCY1} /2 - 15 ^{注2}			ns
		2.7 V V _{DD} < 4.0 V	t _{KCY1} /2 - 25 ^{注2}			ns
		1.8 V V _{DD} < 2.7 V	t _{KCY1} /2 - 50 ^{注2}			ns
SI10セットアップ時間 (対SCK10)	t _{SIK1}	4.0 V V _{DD} 5.5 V	55			ns
		2.7 V V _{DD} < 4.0 V	80			ns
		1.8 V V _{DD} < 2.7 V	170			ns
SI10ホールド時間 (対SCK10)	t _{KSI1}		30			ns
SCK10 SO10出力遅延時間	t _{KSO1}	C = 50 pF ^{注3}			40	ns

注1. マスタ・モードは、入力切り替え制御レジスタ (ISC) のビット2 (ISC2) に1を設定した場合のみ使用できます。

2. 高速システム・クロック (f_{XH}) 使用時の数値です。
3. Cは、 $\overline{\text{SCK10}}$, SO10出力ラインの負荷容量です。

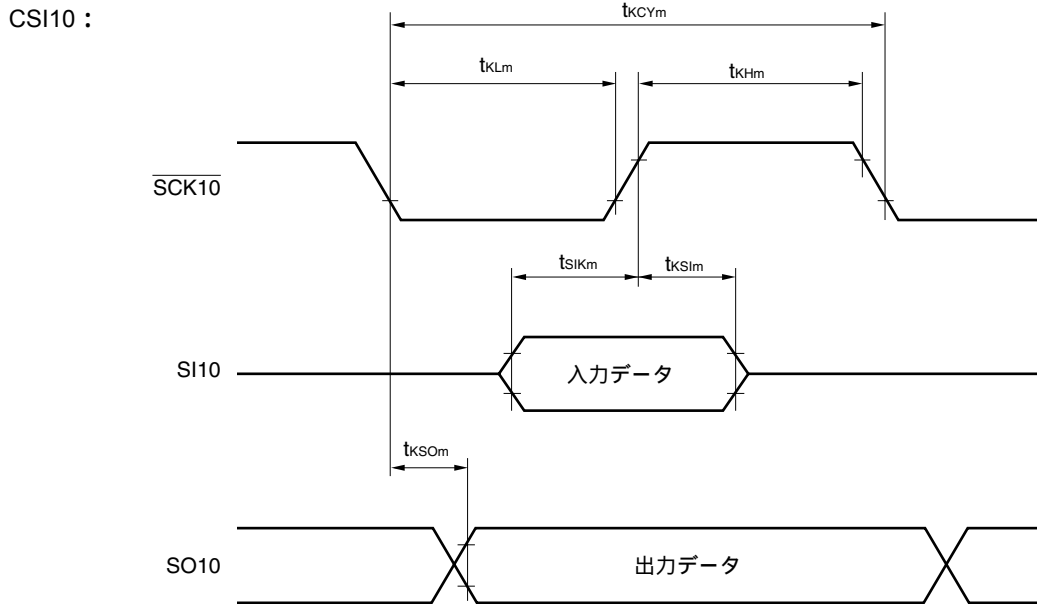
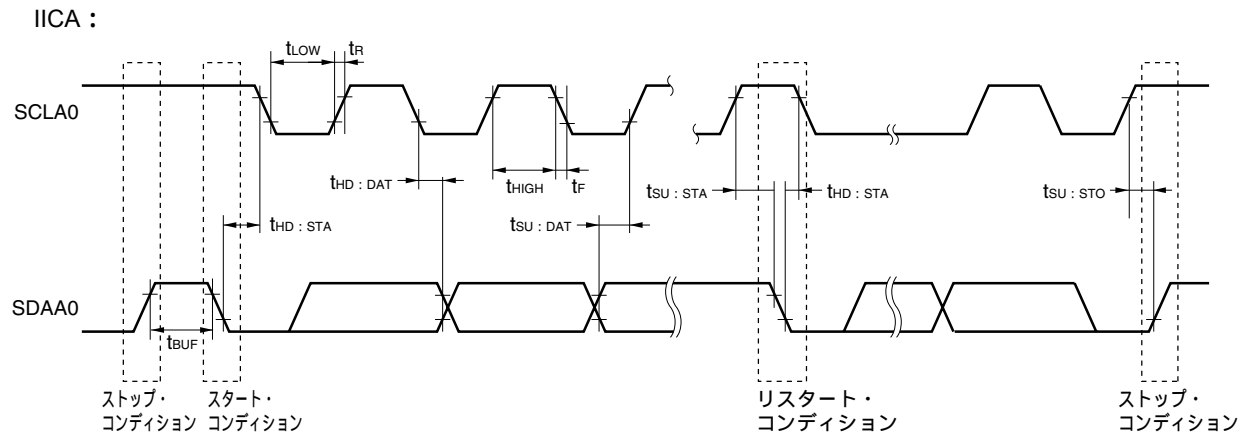
(d) CSI10 (スレーブ・モード, $\overline{\text{SCK10}}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	t _{KCY2}		400			ns
SCK10ハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}		t _{KCY2} /2			ns
SI10セットアップ時間 (対SCK10)	t _{SIK2}		80			ns
SI10ホールド時間 (対SCK10)	t _{KSI2}		50			ns
SCK10 SO10出力遅延時間	t _{KSO2}	C = 50 pF ^注				
		4.0 V V _{DD} 5.5 V			120	ns
		2.7 V V _{DD} < 4.0 V			120	ns
		1.8 V V _{DD} < 2.7 V			165	ns

注 Cは、SO10出力ラインの負荷容量です。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

シリアル転送タイミング



備考 m = 1, 2

アナログ特性

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(1) A/Dコンバータ (1/2)

(a) $T_A = -40 \sim +85$, 2.3 V AV_{REFP} AV_{DD} , 2.3V AV_{DD} V_{DD} 5.5 V, $V_{SS} = AV_{SS} = AV_{REFM} = 0$ V

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		12	12	12	bit
総合誤差 ^{注1}	A _{INL}			± 2.0	± 8.0	LSB
変換時間	t _{CONV}	標準モード1, 2 ^{注2}	5			μs
		低電圧モード ^{注2}	6.25			μs
ゼロスケール誤差 ^{注1}	E _{ZS}			± 2.0	± 6.0	LSB
フルスケール誤差 ^{注1}	E _{FS}			± 2.0	± 6.0	LSB
積分直線性誤差 ^{注1}	I _{LE}				± 4.0	LSB
微分直線性誤差 ^{注1}	D _{LE}			± 1.0	± 2.0	LSB
アナログ入力電圧範囲	V _{AIN}	78K0/KB2-Aの場合	0		AV _{REF}	V
		78K0/KC2-AでAV _{REFM} を使用する場合	AV _{REFM}		AV _{REFP}	V
基準電源電流	I _{REF}			46	220	μA

(b) $T_A = -40 \sim +85$, 1.8 V AV_{REFP} AV_{DD} , 1.8V AV_{DD} V_{DD} 5.5 V, $V_{SS} = AV_{SS} = AV_{REFM} = 0$ V

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		12	12	12	bit
総合誤差 ^{注1}	A _{INL}	2.3 V AV_{REFP} 5.5 V		± 2.0	± 12	LSB
		1.8 V $AV_{REFP} < 2.3$ V		± 3.0	± 12	LSB
変換時間	t _{CONV}	標準モード1, 2 ^{注2}	5			μs
		低電圧モード ^{注2}	21			μs
ゼロスケール誤差 ^{注1}	E _{ZS}			± 2.0	± 10.0	LSB
フルスケール誤差 ^{注1}	E _{FS}			± 2.0	± 10.0	LSB
積分直線性誤差 ^{注1}	I _{LE}				± 8.0	LSB
微分直線性誤差 ^{注1}	D _{LE}				± 3.0	LSB
アナログ入力電圧範囲	V _{AIN}	78K0/KB2-Aの場合	0		AV _{REF}	V
		78K0/KC2-AでAV _{REFM} を使用する場合	AV _{REFM}		AV _{REFP}	V
基準電源電流	I _{REF}			46	220	μA

注1. 量子化誤差 (± 1/2 LSB) を含みません。

2. 各モードで使用できる電圧範囲は次のとおりです。

標準モード1: 2.7 V AV_{DD} 5.5 V

標準モード2: 2.3 V AV_{DD} 5.5 V

低電圧モード: 1.8 V AV_{DD} 5.5 V

標準モード2, 低電圧モードでは, A/Dコンバータ昇圧回路を動作 (VRGV = 1) させてください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(1) A/Dコンバータ (2/2)

(c) $T_A = 0 \sim +50$, 1.8 V AV_{REFP} AV_{DD} , 2.3V AV_{DD} V_{DD} 3.6 V, $V_{SS} = AV_{SS} = AV_{REFM} = 0$ V

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	R_{ES}		12	12	12	bit
総合誤差 ^{注1}	A_{INL}	2.3 V AV_{REFP} 3.6 V		± 2.0	± 8.0	LSB
		1.8 V $AV_{REFP} < 2.3$ V		± 3.0	± 8.0	LSB
変換時間	t_{CONV}	標準モード1, 2 ^{注2}	5			μs
		低電圧モード ^{注2}	6.25			μs
ゼロスケール誤差 ^{注1}	E_{ZS}			± 2.0	± 6.0	LSB
フルスケール誤差 ^{注1}	E_{FS}			± 2.0	± 6.0	LSB
積分直線性誤差 ^{注1}	I_{LE}				± 4.0	LSB
微分直線性誤差 ^{注1}	D_{LE}			± 1.0	± 2.0	LSB
アナログ入力電圧範囲	V_{AIN}	78K0/KB2-Aの場合	0		AV_{REF}	V
		78K0/KC2-Aで AV_{REFM} を使用する場合	AV_{REFM}		AV_{REFP}	V
基準電源電流	I_{REF}			46	200	μA

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. 各モードで使用できる電圧範囲は次のとおりです。

標準モード1: 2.7 V AV_{DD} 5.5 V

標準モード2: 2.3 V AV_{DD} 5.5 V

低電圧モード: 1.8 V AV_{DD} 5.5 V

標準モード2, 低電圧モードでは, A/Dコンバータ昇圧回路を動作 ($VRGV = 1$) させてください。

(2) オペアンプ

($T_A = -40 \sim +85$, 2.0 V AV_{DD} V_{DD} 5.5 V, $V_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
同相入力電圧	V_{IAMP}	$AV_{DD} = 3.0$ V	0		$AV_{DD0} - 0.6$	V
入力オフセット電圧	V_{IOAMP}				± 10	mV
最大出力電圧 (ハイ・レベル)	V_{OHAMP}	$AV_{DD} = 3.0$ V/2.3 V, $I_{SOURCE} = -500 \mu A$	$AV_{DD0} - 0.2$			V
最大出力電圧 (ロウ・レベル)	V_{OLAMP}	$AV_{DD} = 3.0$ V/2.3 V, $I_{SOURCE} = 500 \mu A$			0.1	V
開ループ利得				100		dB
スルー・レート	SR_{AMP}	$AV_{DD} = 3.0$ V	モード1		0.2	$V/\mu s$
			モード2		0.4	$V/\mu s$
			モード3		1.4	$V/\mu s$
ターン・オン時間	t_{ONAMP}	$AV_{DD} = 3.0$ V	モード1		60	μs
			モード2		30	μs
			モード3		10	μs

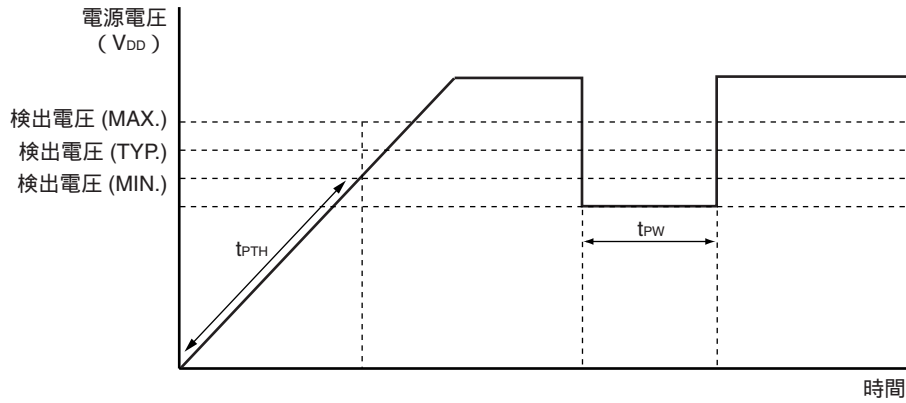
注 オペアンプの動作を許可してから、オペアンプ動作のDC特性およびAC特性を満足できる状態になるまでの時間です。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

1.59 V POC回路特性 ($T_A = -40 \sim +85$, $V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POC}		1.44	1.59	1.74	V
電源電圧立ち上がり傾き	t_{PTH}	$V_{DD} : 0 V$ V_{POC} の変化傾き	0.5			V/ms
最小パルス幅	t_{PW}		200			μs

1.59 V POC回路タイミング

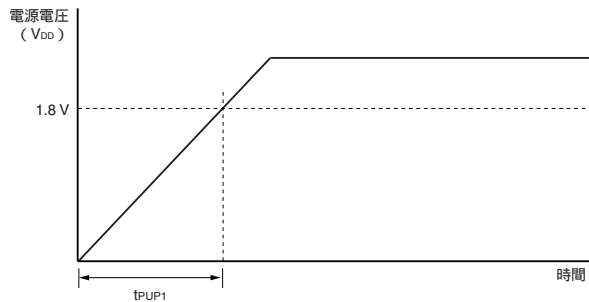


電源電圧立ち上げ時間 ($T_A = -40 \sim +85$, $V_{SS} = 0 V$)

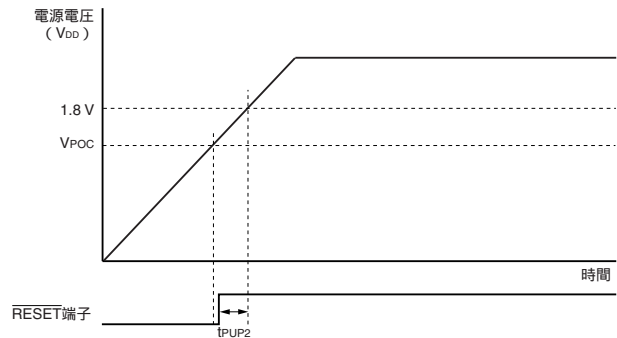
項目	略号	条件	MIN.	TYP.	MAX.	単位
1.8 V ($V_{DD} (MIN.)$) までの立ち上げ最大時間 ($V_{DD} : 0 V$ 1.8 V)	t_{PUP1}	POCMODE (オプション・バイト) = 0 , \overline{RESET} 入力未使用時			3.6	ms
1.8 V ($V_{DD} (MIN.)$) までの立ち上げ最大時間 (\overline{RESET} 入力解除 $V_{DD} : 1.8 V$)	t_{PUP2}	POCMODE (オプション・バイト) = 0 , \overline{RESET} 入力使用時			1.9	ms

電源電圧立ち上げのタイミング

・ \overline{RESET} 端子入力未使用時



・ \overline{RESET} 端子入力使用時



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

2.7 V POC回路特性 (TA = -40 ~ +85 , VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧投入時検出電圧	VDDPOC	POCMODE (オプション・バイト) = 1	2.50	2.70	2.90	V

備考 POC回路の動作は、POCMODE (オプション・バイト) の設定により、次のようになります。

オプション・バイトの設定	POCモード	動作
POCMODE = 0	1.59 Vモード動作	電源投入からV _{POC} = 1.59 V (TYP.) に達するまでリセット状態になり、V _{POC} を越えたりリセットが解除されます。その後、電源投入時と同様に、V _{POC} でPOC検出が行われます。 POCMODE = 0の場合、t _{PUP1} またはt _{PUP2} の時間で電源電圧を立ち上げる必要があります。
POCMODE = 1	2.7 V/1.59 Vモード動作	電源投入からV _{DDPOC} = 2.7 V (TYP.) に達するまでリセット状態になり、V _{DDPOC} を越えたりリセットが解除されます。その後、V _{DDPOC} でのPOC検出は行われず、V _{POC} = 1.59 V (TYP.) でPOC検出が行われます。 電源投入から1.8 Vに達するまでの電圧の立ち上がり、t _{PTH} よりも緩やかな場合、2.7 V/1.59 V POCモードの使用を推奨します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

LVI回路特性 ($T_A = -40 \sim +85$, $V_{POC} = V_{DD} = 5.5 V, AV_{REFP} = AV_{DD} = V_{DD}, V_{SS} = 0 V$)

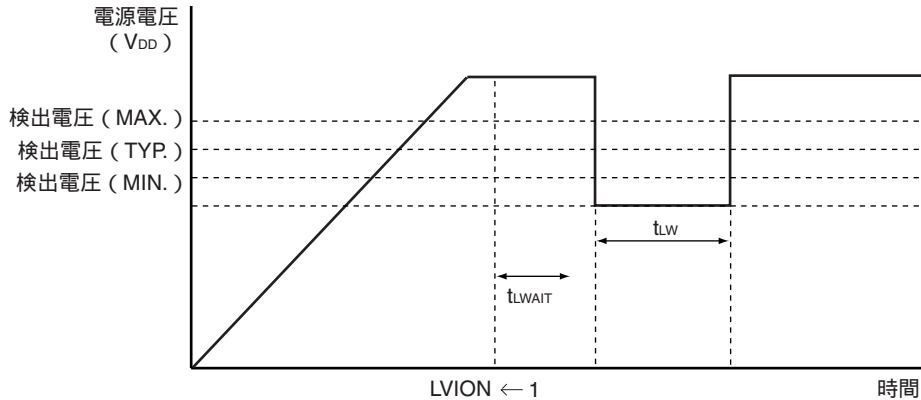
項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧 電源電圧レベル	V_{LVI0}		4.14	4.24	4.34	V
	V_{LVI1}		3.99	4.09	4.19	V
	V_{LVI2}		3.83	3.93	4.03	V
	V_{LVI3}		3.68	3.78	3.88	V
	V_{LVI4}		3.52	3.62	3.72	V
	V_{LVI5}		3.37	3.47	3.57	V
	V_{LVI6}		3.22	3.32	3.42	V
	V_{LVI7}		3.06	3.16	3.26	V
	V_{LVI8}		2.91	3.01	3.11	V
	V_{LVI9}		2.75	2.85	2.95	V
	V_{LVI10}		2.60	2.70	2.80	V
	V_{LVI11}		2.45	2.55	2.65	V
	V_{LVI12}		2.29	2.39	2.49	V
	V_{LVI13}		2.14	2.24	2.34	V
	V_{LVI14}		1.98	2.08	2.18	V
V_{LVI15}		1.83	1.93	2.03	V	
外部入力端子 ^{注1}	EXLVI	$EXLVI < V_{DD}, 1.8 V \leq V_{DD} \leq 5.5 V$	1.11	1.21	1.31	V
最小パルス幅	t_{LW}		200			μs
動作安定待ち時間 ^{注2}	t_{LWAIT}		10			μs

注1. EXLVI/P120/INTP0端子を使用します。

2. 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。ソフトウェアで、この時間以上待つように設定してください。

備考 $V_{LVI(n-1)} > V_{LVI n} : n = 1-15$

LVI回路タイミング

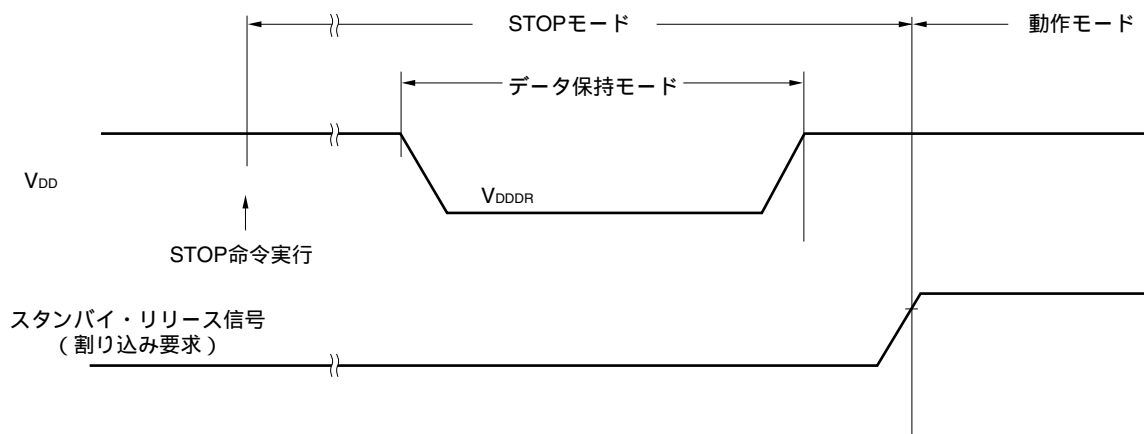


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.44 ^注		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85$, $2.7 V \leq V_{DD} \leq 5.5 V$, $AV_{REFP} = AV_{DD}$, $V_{DD}, V_{SS} = AV_{SS} = 0 V$)

・基本特性

項目	略号	条件		MIN.	TYP.	MAX.	単位
V_{DD} 電源電流	I_{DD}	$f_{XP} = 10 \text{ MHz (TYP.)}, 20 \text{ MHz (MAX.)}$			4.5	11.0	mA
消去時間 注1, 2	全ブロック	T_{eraca}			20	200	ms
	ブロック 単位	T_{erasa}			20	200	ms
書き込み時間 (8ビット単位) 注1	T_{wrwa}				10	100	μs
1チップあたりの書き換え回数	C_{enwr}	消去1回 + 消去後の書き込み1回 =	フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリ注4を使用時、プログラム更新用途	保持15年	1000		回
		書き換え回数1回とする注3。	当社提供のEEPROMエミュレーション・ライブラリ注5使用時、書き換えROMサイズ：4 Kバイト、データ更新用途	保持5年	10000		回
			上記以外の条件注6	保持10年	100		回

注1. フラッシュ・メモリの特性です。

- 消去前のプリライトおよび消去ベリファイ時間（ライトバック時間）は含まれません。
- 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。
- 「78K0/Kx2 フラッシュ・メモリ・セルフ・プログラミング ユーザーズ・マニュアル(資料番号: U17516J)」で指定されるサンプル・ライブラリを除きます。
- 「78K0/Kx2 EEPROMエミュレーション アプリケーション・ノート (資料番号: U17517J)」で指定されるサンプル・プログラムを除きます。
- 「78K0/Kx2 フラッシュ・メモリ・セルフ・プログラミング ユーザーズ・マニュアル(資料番号: U17516J)」で指定されるサンプル・ライブラリ、および「78K0/Kx2 EEPROMエミュレーション アプリケーション・ノート (資料番号: U17517J)」で指定されるサンプル・プログラム使用時を含みます。

備考1. f_{XP} : メイン・システム・クロック発振周波数

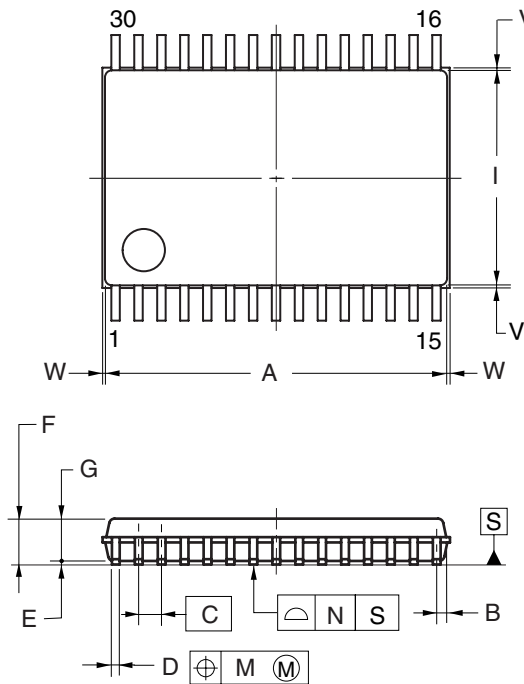
- シリアル書き込みオペレーション特性につきましては、78K0/Kx2 アプリケーション・ノート フラッシュ・メモリ・プログラミング (プログラマ編) (U17739J) を参照してください。

第29章 外形図

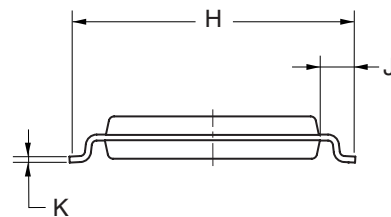
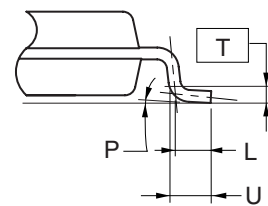
29.1 78K0/KB2-A

・ μ PD78F0590MC-CAB-AX, 78F0591MC-CAB-AX

30-PIN PLASTIC SSOP (7.62mm (300))



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
A	9.70±0.10
B	0.30
C	0.65 (T.P.)
D	0.22 ^{+0.10} _{-0.05}
E	0.10±0.05
F	1.30±0.10
G	1.20
H	8.10±0.20
I	6.10±0.10
J	1.00±0.20
K	0.15 ^{+0.05} _{-0.01}
L	0.50
M	0.13
N	0.10
P	3° ^{+5°} _{-3°}
T	0.25(T.P.)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

P30MC-65-CAB

NOTE

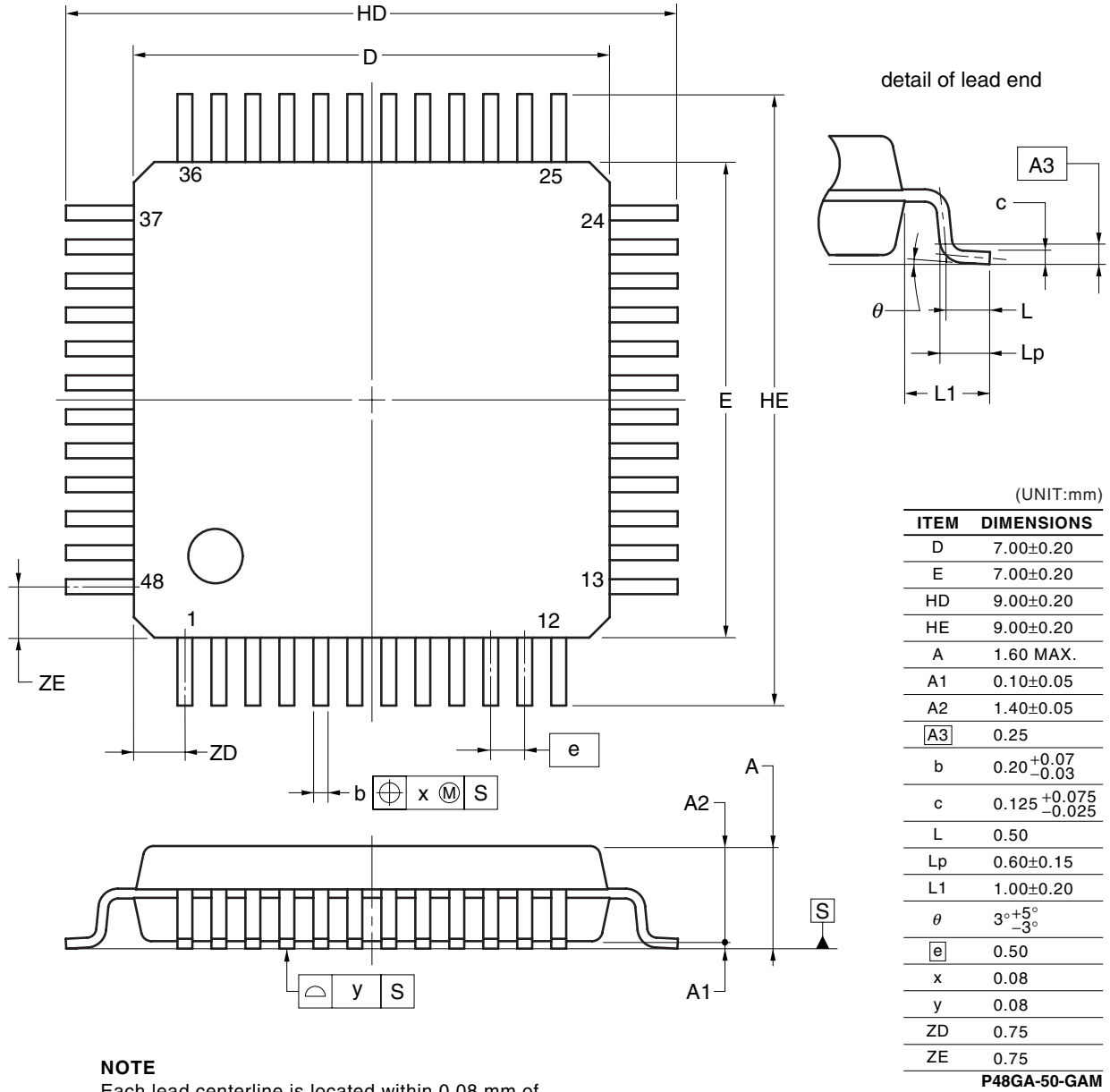
Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

© NEC Electronics Corporation 2005

29.2 78K0/KC2-A

・ μ PD78F0592GA-GAM-AX, 78F0593GA-GAM-AX

48-PIN PLASTIC LQFP (FINE PITCH) (7x7)



© NEC Electronics Corporation 2005

第30章 ウェイトに関する注意事項

30.1 ウェイトに関する注意事項

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。

したがって、競合の恐れがある周辺ハードウェアへのアクセス時には、CPUは正しいデータの受け渡しが行われるまで、処理を繰り返し実行します。

その結果、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となるため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります（ウェイト・クロック数については表30-1を参照）。リアルタイム性が要求される処理を行う場合は、注意してください。

30.2 ウェイトが発生する周辺ハードウェア

CPUからのアクセス時にウェイト要求が発生するレジスタとCPUのウェイト・クロック数を表30-1に示します。

表30-1 ウェイトが発生するレジスタとCPUのウェイト・クロック数

周辺ハードウェア	対象レジスタ	対象アクセス	ウェイト・クロック数
シリアル・インタフェース UART6	ASIS6	リード	1クロック（固定）
シリアル・インタフェース IICA	IICAS0	リード	1クロック（固定）

注意 周辺ハードウェア・クロック（ f_{PRS} ）が停止しているときに、上記の対象レジスタにウェイト要求が発生するアクセス方法で、アクセスしないでください。

備考 クロックは、CPUクロック（ f_{CPU} ）を示します。

付録A 改版履歴

A. 1 本版で改訂された主な箇所

箇所	内容	分類
全般	品名愛称を追加 ・78K0/KB2-A : μ PD78F0590, 78F0591 ・78K0/KC2-A : μ PD78F0592, 78F0593	(d)
第1章 概説		
p.18	1.2 応用分野の記述を追加	(c)
p.25	1.6 機能概要の78K0/KC2-Aのベクタ割り込み数を修正	(a)
第12章 A/Dコンバータ		
章全体	変換モード名を変更 ・変換モード1 標準モード1 ・変換モード2 標準モード2 ・変換モード3 低電圧モード	(c)
第16章 シリアル・インタフェースIICA		
p.452	16.4.2 IICWL, IICWHレジスタによる転送クロック設定方法の転送クロックの式を修正	(a)
p.452	16.4.2 IICWL, IICWHレジスタによる転送クロック設定方法に注意を追加	(c)
第28章 電気的特性		
章全体	ターゲット・スペックから正式スペックに変更	(b)
付録A 改版履歴		
p.668	章を追加	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加 / 変更, (c) : 説明, 注意事項の追加 / 変更,
(d) : パッケージ, オーダ名称, 管理区分の追加 / 変更, (e) : 関連資料の追加 / 変更

(メモ)

【発行】NECエレクトロニクス株式会社 (<http://www.necel.co.jp/>)

【問い合わせ先】 <http://www.necel.com/contact/ja/>